

# UART 通信

Document Version Control			
Version	Date	Author	Changes
1.0	2022.5.6	王雨霄	实现了 UART 通信协议

## 一、功能概述

本设计对 UART 通信协议进行了 Verilog 实现，能够在不同的系统时钟频率下进行任意波特率通信（本设计中的通信波特率由系统时钟分频而来，使用者需根据波特率选取合适的系统时钟频率），支持数据位、校验位、停止位等数据传输格式的配臵，能够与 AXIS 总线进行简单连接（未包含 AXIS 总线的 FIFO 功能）。

## 二、接口概述

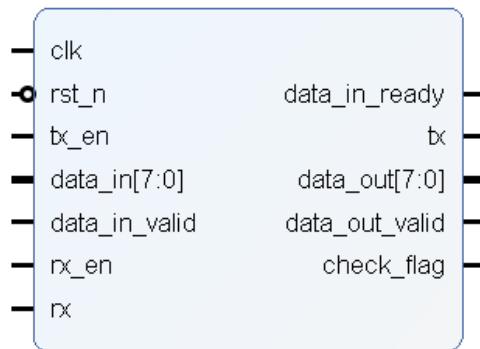


图 1.在 VIVADO 中将设计导出为 IP 核

信号名称	功能
clk	系统时钟
rst_n	低电平异步复位信号
tx_en	发送模块使能信号（高电平有效，tx_en置0时，发送模块不工作）
data_in[7:0]	data_in[7:0]为待发送数据；另外两个信号的功能参考AXIS总线
data_in_valid	
data_in_ready	
tx	FPGA端UART协议的TX发送口
rx_en	接收模块使能信号（高电平有效，rx_en置0时，接收模块不工作）
data_out[7:0]	data_out[7:0]为接收到的数据；data_out_valid的功能参考AXIS总线
data_out_valid	
check_flag	校验标志信号（若校验失败，check_flag被拉高，直至rx端有新数据到来；data_out_valid可作为check_flag信号的有效性标志）
rx	FPGA端UART协议的RX接收口

图 2.接口功能表

## 三、参数配置

### 1、system\_clk

设定系统时钟频率（单位 Hz）；例如系统时钟为 50M Hz 时，该参数设为 50000000。

2、band\_rate

设定串口通信波特率（单位 bits/s）；UART 通信的常用波特率有 9600、115200 等。

3、data\_bits

设定数据位的位宽（单位 bits），根据 UART 协议标准，该参数可在 5-8 取值。

本模块的对外数据接口 data\_in、data\_out 均为 8 bits 位宽，当实际传输的数据位位宽低于 8 bits 时，data\_in、data\_out 均采用低位有效的原则，例如当 data\_bits=5 时，data\_in、data\_out 均按照如下格式传输数据：

bits	7	6	5	4	3	2	1	0
value	0	0	0	data				

图 3. 数据接口格式

4、check\_mode

设定校验模式：

- check\_mode=0——无校验位；
- check\_mode=1——偶校验位；
- check\_mode=2——奇校验位；
- check\_mode=3——固定 0 校验位；
- check\_mode=4——固定 1 校验位

5、stop\_mode

设定停止位格式：

- stop\_mode=0——1 位停止位；
- stop\_mode=1——1.5 位停止位；
- stop\_mode=2——2 位停止位

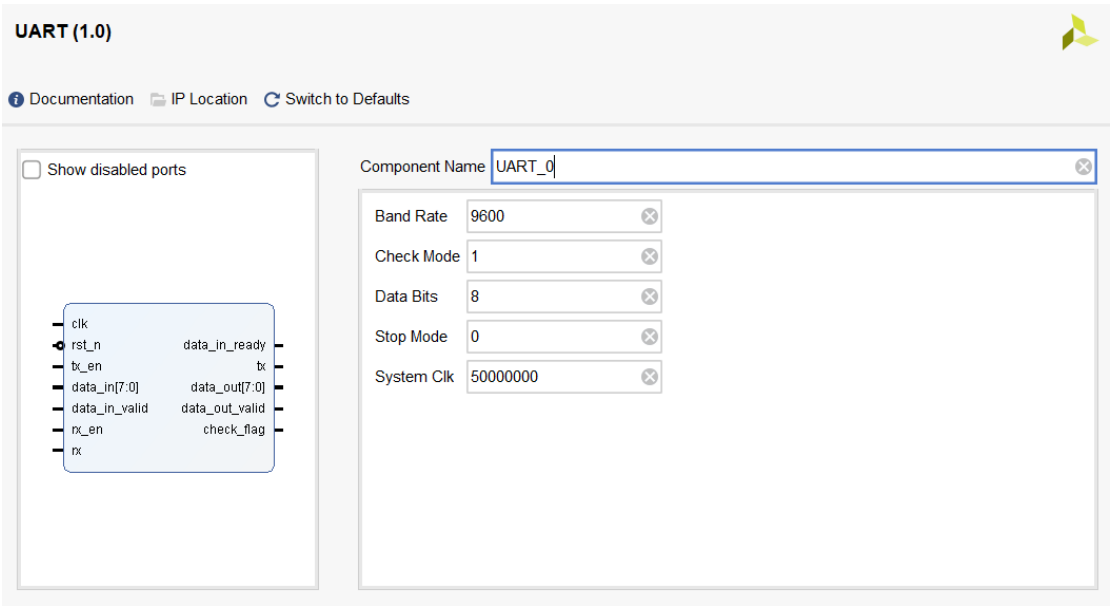


图 4. 将设计导出为 IP 核后的参数配置界面