**多通道DDS**

|  |  |  |  |
| --- | --- | --- | --- |
| Document Version Control | | | |
| Version | Date | Author | Changes |
| 1.0.0 | 2024.9.15 | 王雨霄 | 实现了多通道DDS |

1. **功能概述**

对高速DAC进行调测时，常需要产生高采样率的单音信号，若直接采用Xilinx官方DDS核来达到这一目的，则需为IP核提供高频时钟（如DAC5681，采样率最高可达1GSPS，则DDS核需要在1GHz时钟下工作），这将导致工程出现时序违例；故本设计对多通道DDS进行了Verilog实现，通过调整相位控制字及相位偏移，使多个DDS核并行工作，组合产生目标信号，从而降低单个DDS核所需的工作时钟频率。

本设计主要功能特性如下：

1. 采用Xilinx官方DDS核产生信号，支持噪声整形等功能；
2. 支持自定义DDS并行度；
3. 支持动态修改信号频率；
4. 采用标准AXIS接口；
5. **接口概述**

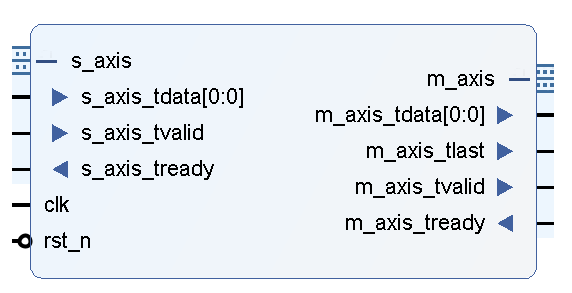
****

图1. 模块接口



图2. 接口功能表

以一个2行4列的块交织器为例，对输入-输出关系进行说明。若按时间先后，向块交织器内依次输入A、B、C、D、E、F、G、H八个数据，则依照“按行写入”的原则，块交织器内的数据存储如下：



当输入数据填满交织器后，依照“按列读出”的原则，块交织器将依次输出A、E、B、F、C、G、D、H八个数据。

1. **参数配置**

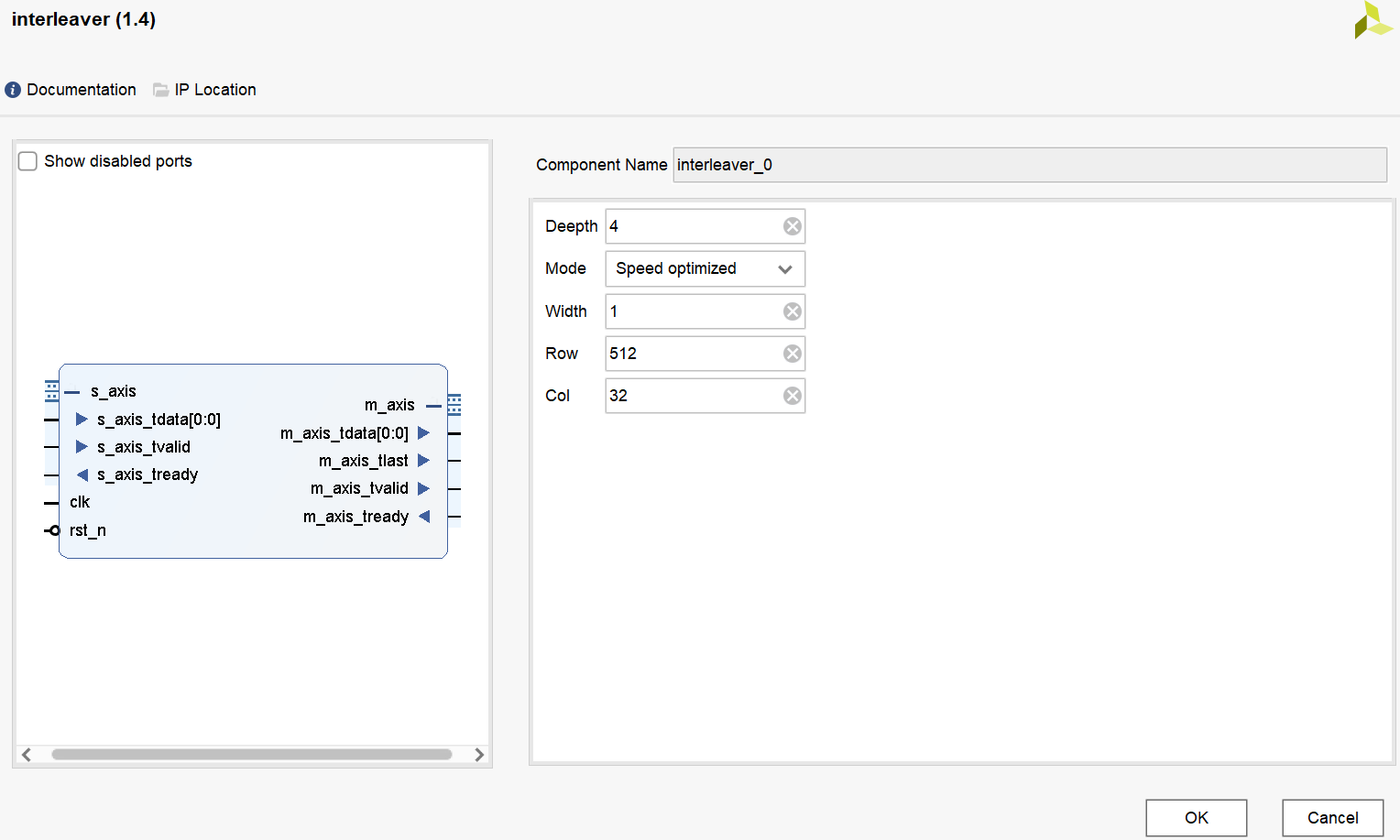


图3. 将设计导出为IP核后的参数配置界面

**1、deepth**

设定输入接口的内置FIFO深度（需为2的n次方）。

**2、mode**

设定工作模式：

当mode取"Area\_optimized"时，为面积优先模式，此时交织器中仅包含一个功能单元，在输出本次交织结果的过程中，不能继续接受新的数据输入，只有当本次交织结果全部输出后，才能继续接收新数据，从而引起数据吞吐量减半；



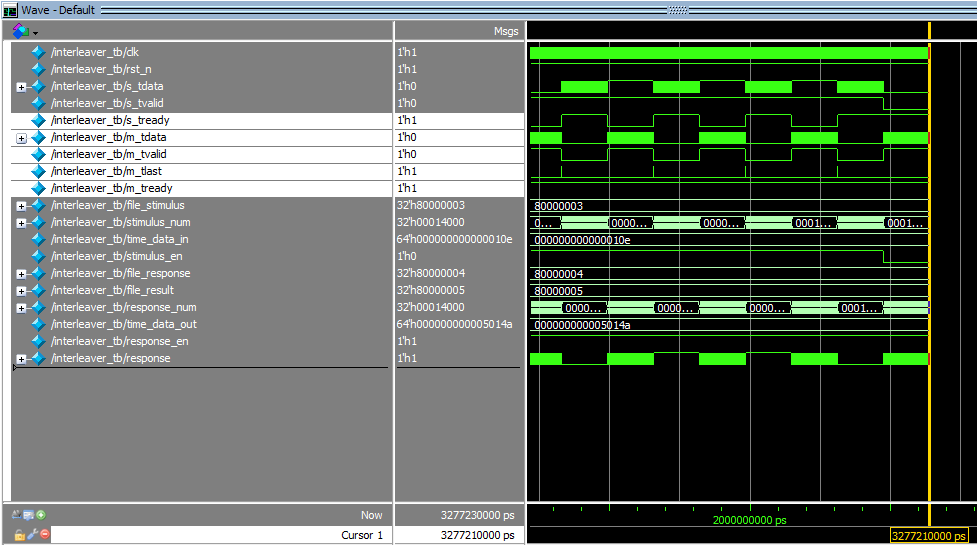
图4. 面积优先模式示意图

当mode取"Speed\_optimized"时，为速度优先模式，此时交织器中包含了两个功能单元交替工作，使得交织器能够连续接受数据输入。

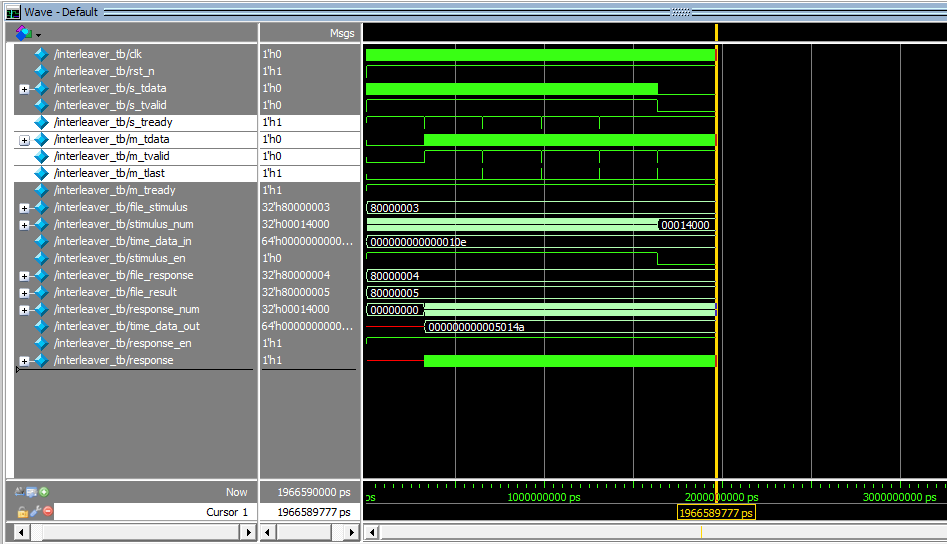


图5. 速度优先模式示意图

mode取"Area\_optimized"时的仿真结果：



mode取"Speed\_optimized"时的仿真结果：



可见，同样是对5帧数据进行交织，mode取"Speed\_optimized"时，交织过程连续进行，消耗时间更短。

**3、width**

设定单个交织元素的位宽（即输入数据位宽），用于支持多进制交织器。

**4、row**

设定块交织器的行数。

**5、col**

设定块交织器的列数。

**注：**

k行n列的交织器对应的解交织器可通过n行k列的交织器来实现（例如，可通过一个5行4列的交织器来实现对4行5列的交织器的输出结果进行解交织操作）。

1. **脚本使用**

本节旨在描述通过脚本+源码文件来对设计进行Modelsim-RTL仿真并将设计导出为IP核的操作步骤。

**（1）.环境配置**

脚本在使用过程中会通过bat命令调用Vivado和Modelsim，因此，需要先将这些应用的相关路径添加至用户环境变量中（Vivado在安装完成后不会自动添加环境变量，需要手动添加其安装路径下的bin文件夹路径至用户环境变量中；Modelsim在安装过程中会自动添加环境变量，倘若安装完成后用户环境变量中未出现红框内的win64文件夹路径，可尝试重启电脑，若重启后仍未出现此路径，则需手动添加Modelsim安装路径下的win64文件夹路径至用户环境变量中）：

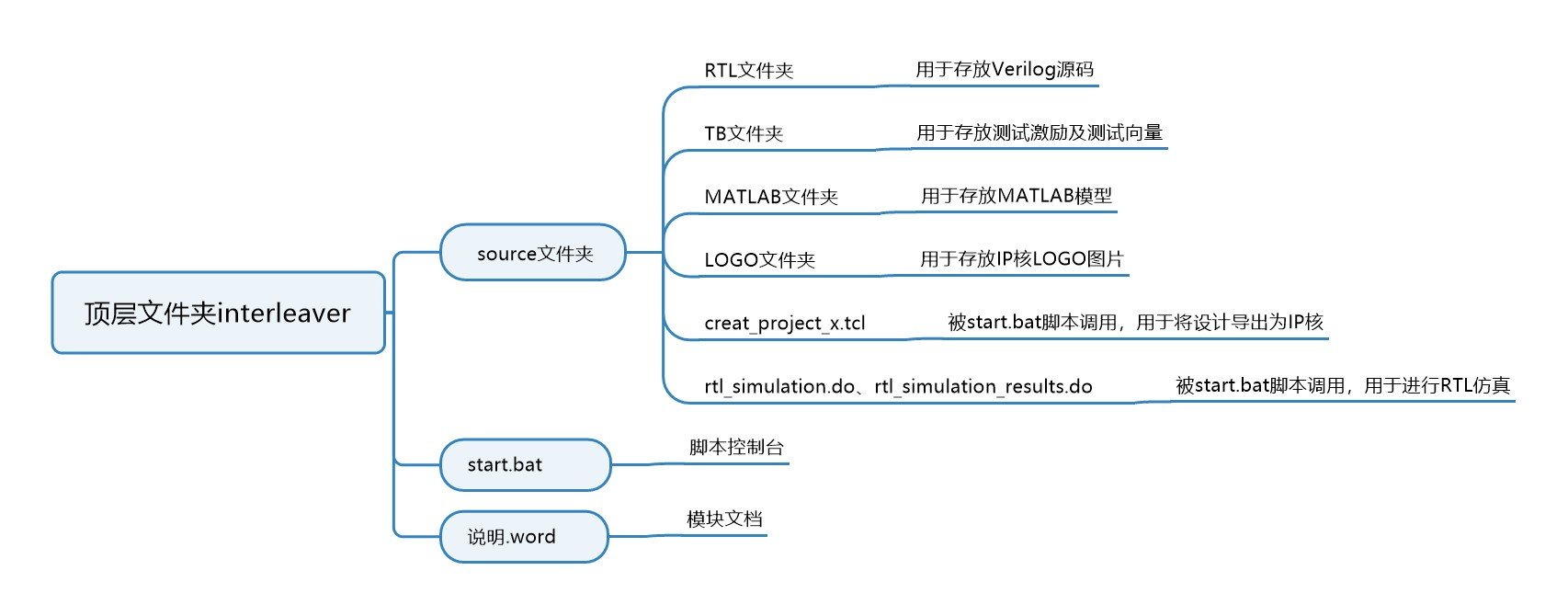




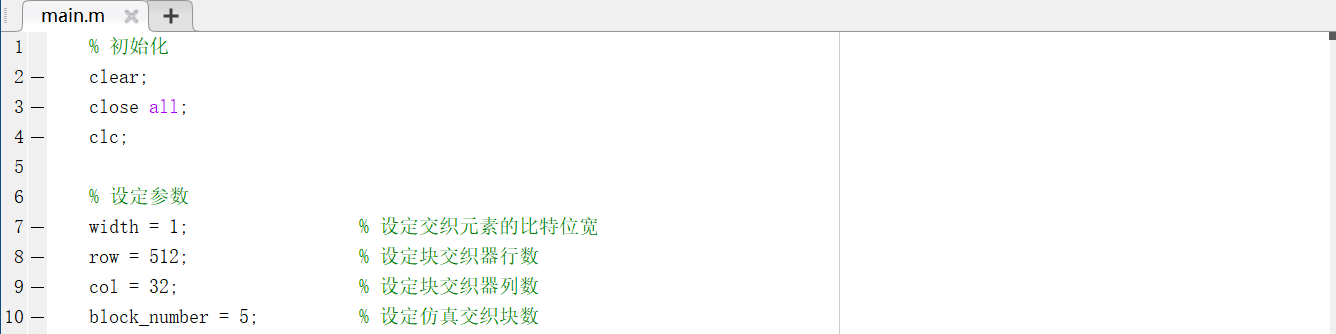
注：本工程使用Vivado **2021.2**、Moedlsim **2020.4**、MATLAB **2020B**进行操作。

**（2）.RTL仿真**

本工程的文件结构目录如下：



为运行RTL仿真，首先进入“source/MATLAB”文件夹中，通过MATLAB打开“main.m”文件：

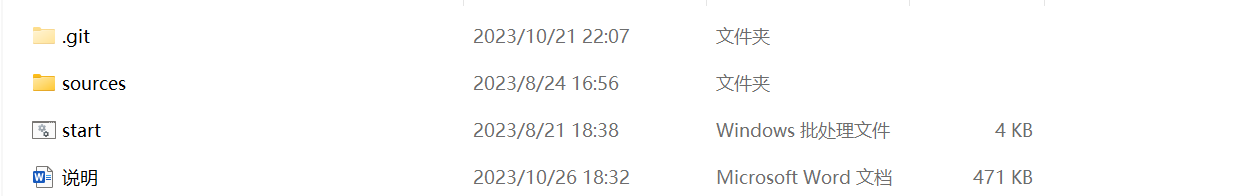


此代码旨在建立块交织器的MATLAB模型，并为RTL仿真提供输入、输出测试向量；其中，第7、8、9行的width、row、col值应与IP核参数设置保持一致，第10行的block\_number用于设置仿真的交织块数量。

参数设定完成后，运行此.m文件，可见TB文件夹中生成了“stimulus.txt”与“response.txt”两个文件，即为RTL仿真所需的测试向量文件：

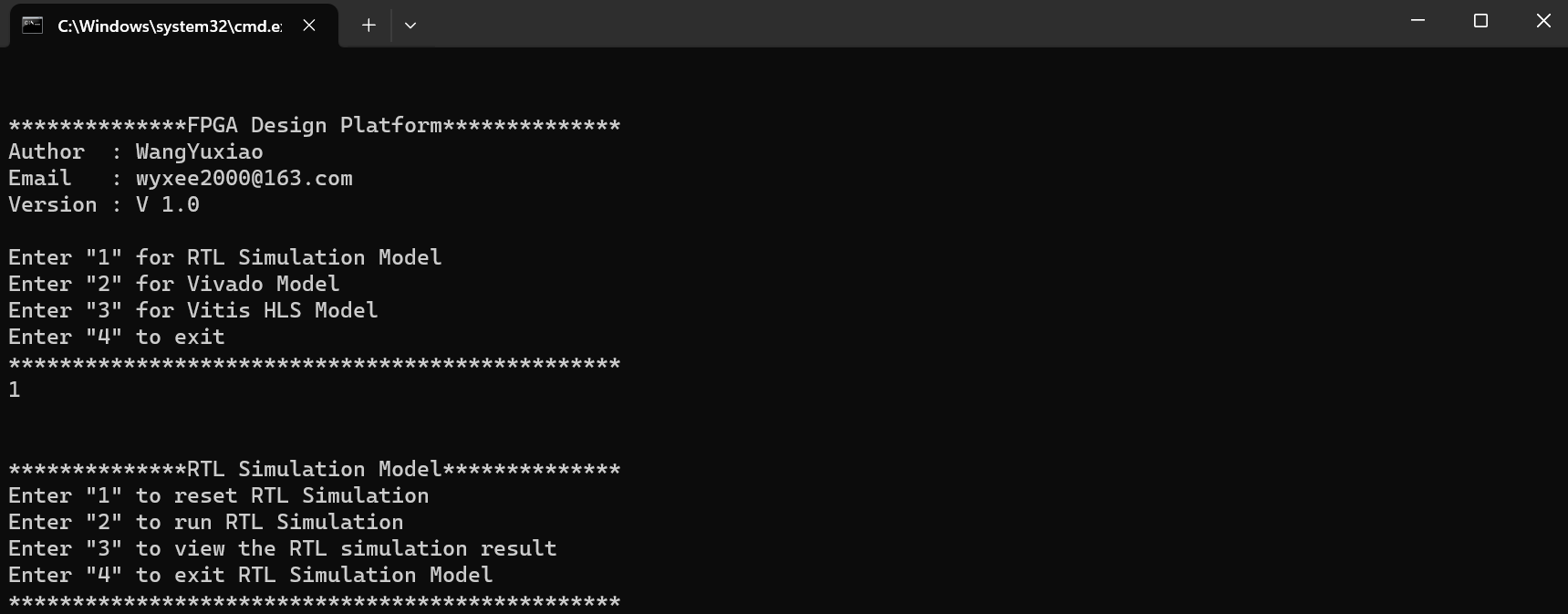


随后，进入顶层interleaver文件夹中，双击运行“start.bat”脚本：

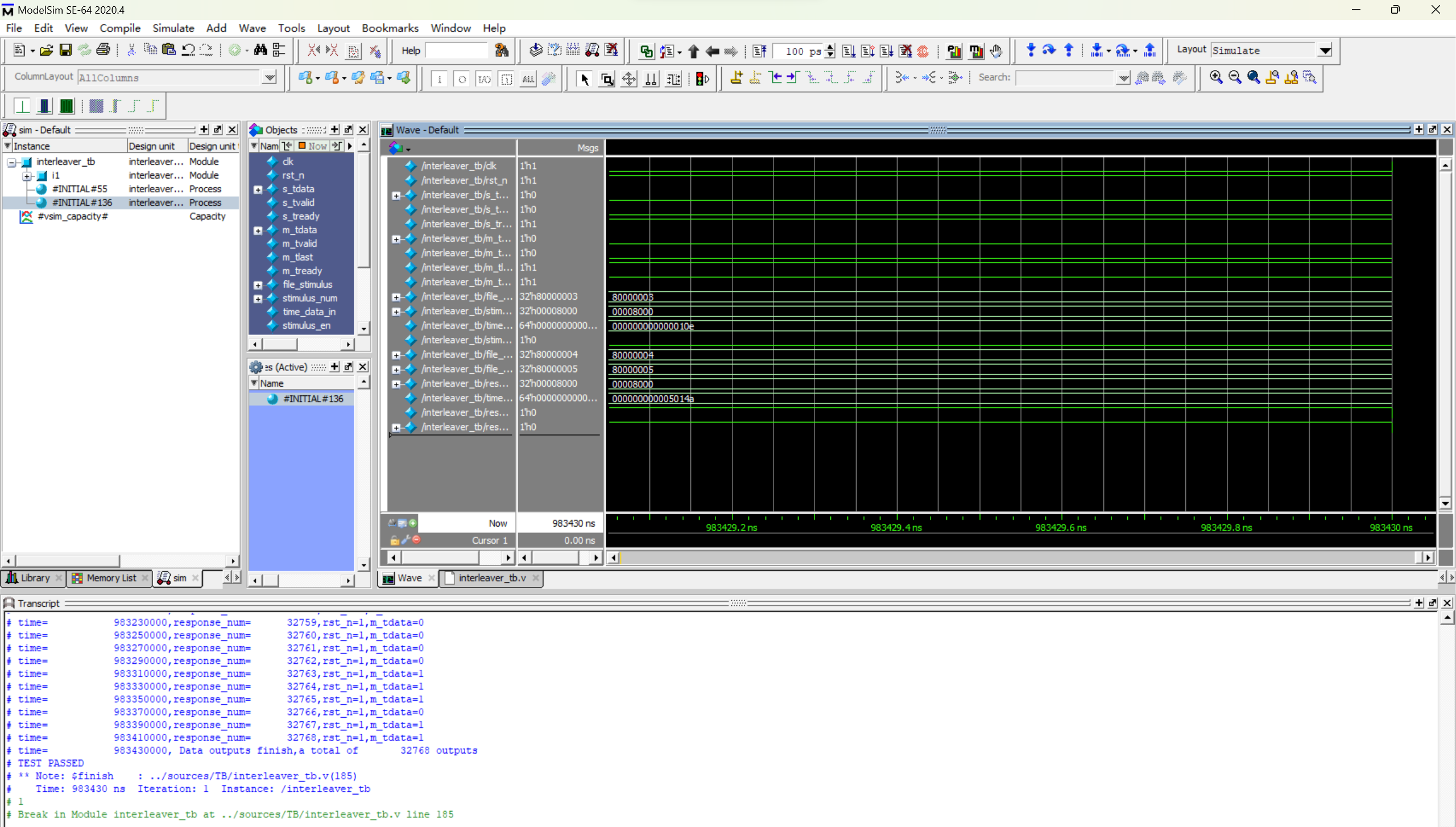




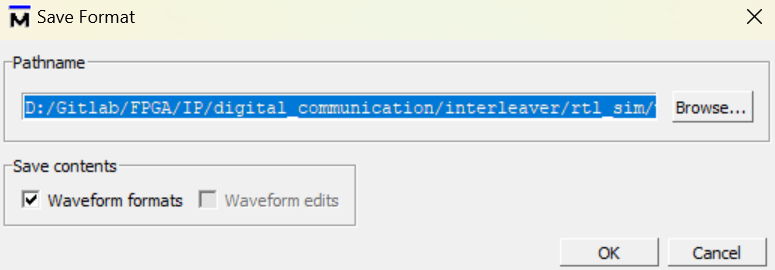
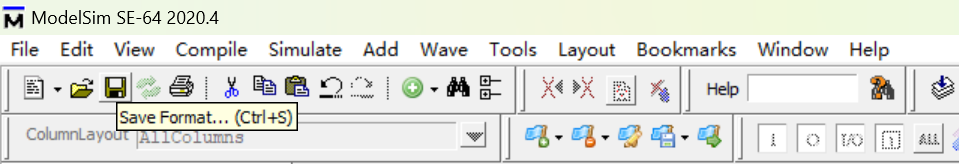
输入1：



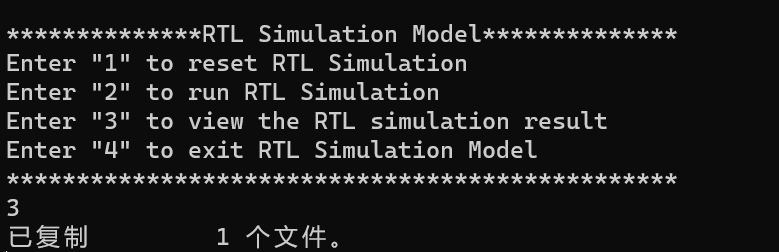
输入2，运行Modelsim仿真：

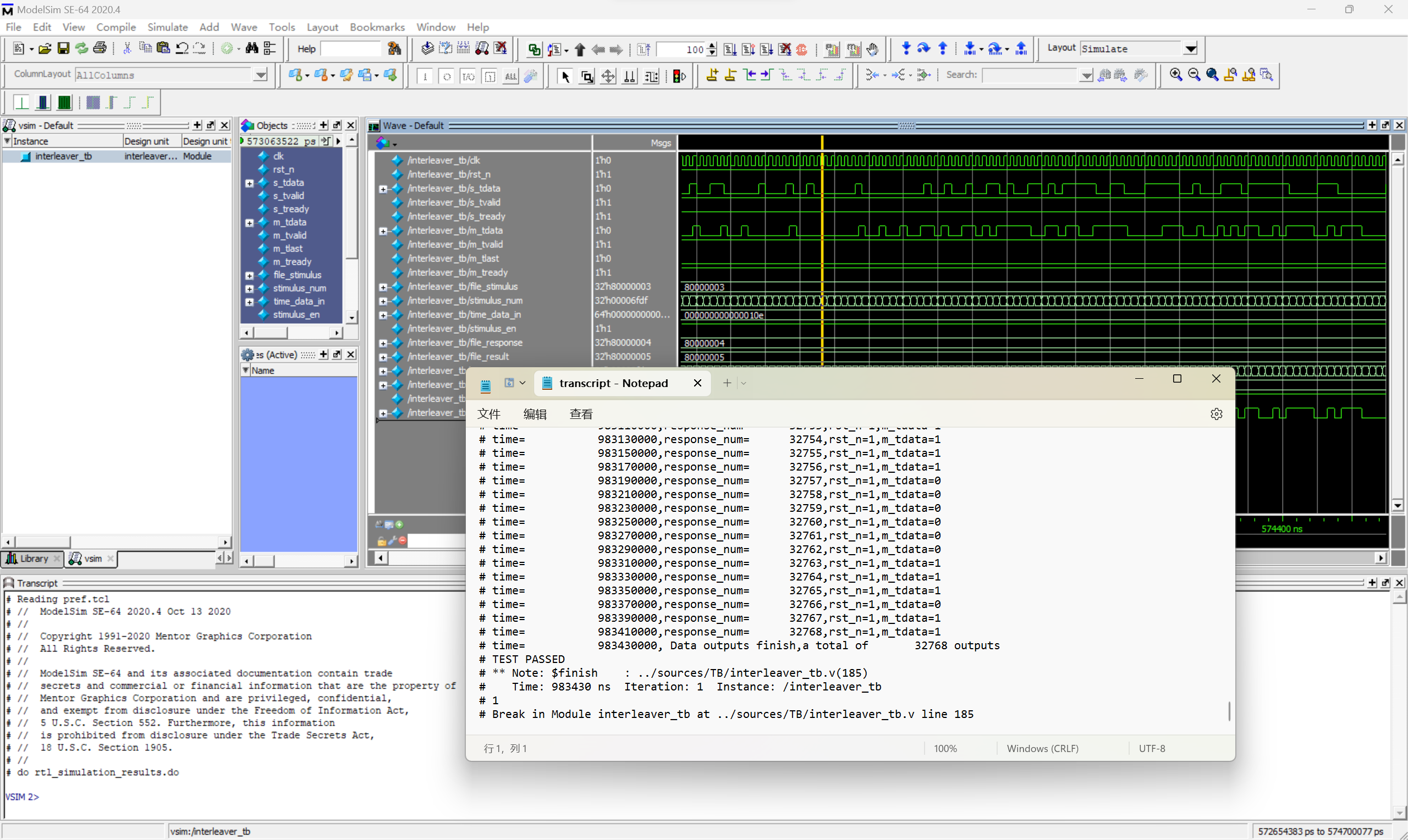


若想记录仿真结果以便后续查看，可通过菜单栏中的“Save Format”选项保存当前波形设置：



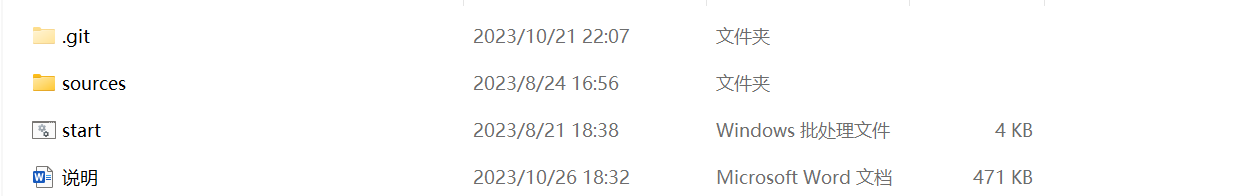
后续在脚本的RTL模式下输入3，即可恢复上次Modelsim仿真的波形及命令行信息：

****

****

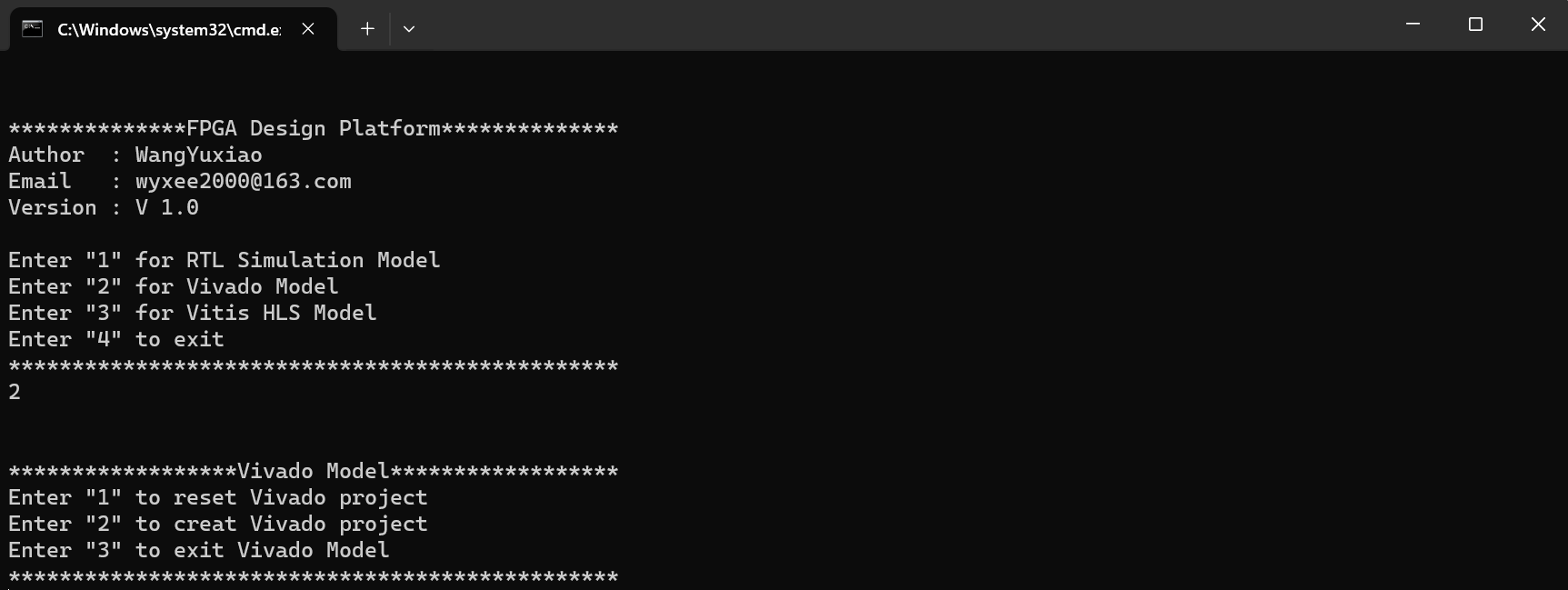
**（3）.导出IP**

进入顶层interleaver文件夹中，双击运行“start.bat”脚本：

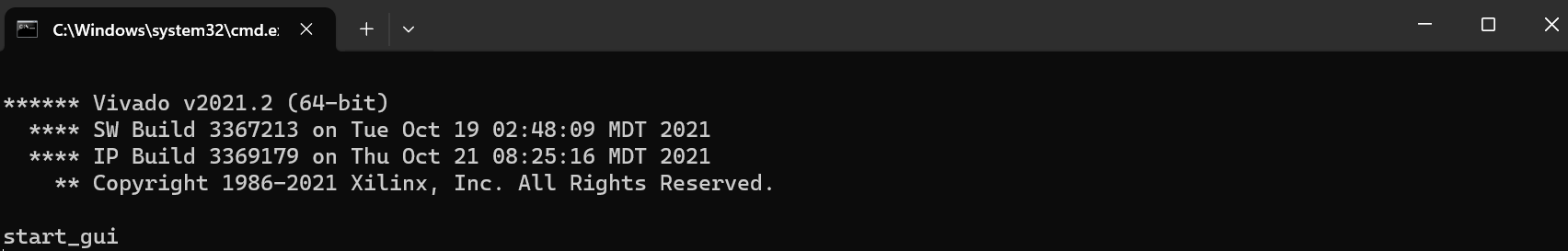
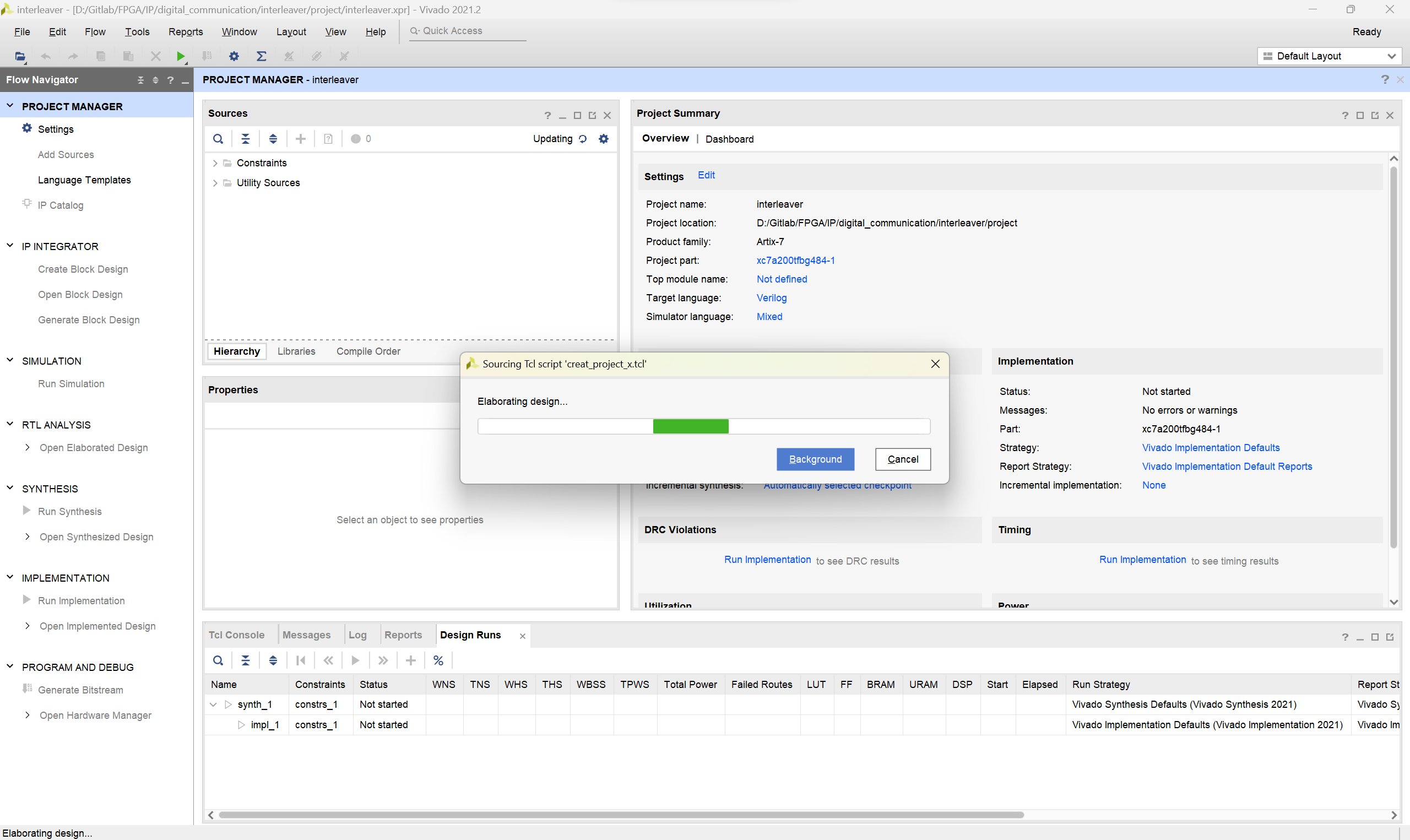




输入2：

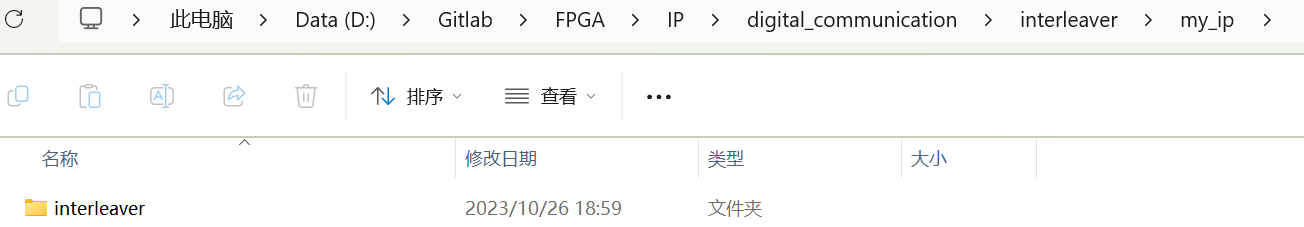


再次输入2：

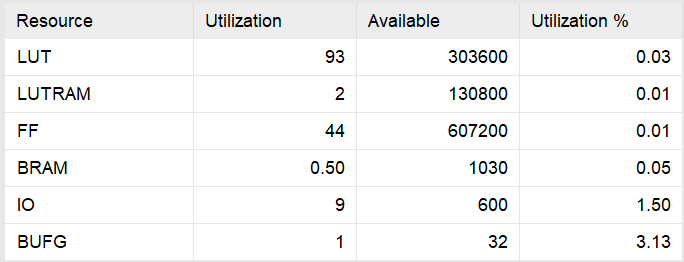
此时将弹出一个新的命令窗口，用于运行Vivado，导出“interleaver” IP核。

运行完成后，顶层文件夹“interleaver”中出现了名为“my\_ip”的文件夹，刚刚生成的 “interleaver” IP核即存放在“my\_ip”文件夹内：



**附录：**

mode取"Area\_optimized"时，综合后的资源消耗：



mode取"Speed\_optimized"时，综合后的资源消耗：

