**块交织器**

|  |  |  |  |
| --- | --- | --- | --- |
| Document Version Control | | | |
| Version | Date | Author | Changes |
| 1.0.0 | 2023/3/17 | 王雨霄 | 实现了块交织器 |
| 1.1.0 | 2023/5/5 | 王雨霄 | 增加速度优先模式，降低数据延迟 |
| 1.2.0 | 2023/11/8 | 王雨霄 | 降低资源消耗 |

1. **功能概述**

本设计对块交织器进行了Verilog实现，主要功能特性如下：

1. 支持面积优先、速度优先两种工作模式——面积优先模式下，在交织器内部仅例化一个功能单元，交织器无法在输出交织结果的同时继续接收新的数据输入，从而引起一帧数据的额外延迟；速度优先模式下，在交织器内部例化两个功能单元交替工作，使得交织器能够连续接收数据输入，以增大存储开销为代价避免了额外的数据延迟；
2. 支持自定义块交织器的大小；
3. 采用标准AXIS接口，且输入接口内置深度可配置的FIFO；
4. **接口概述**

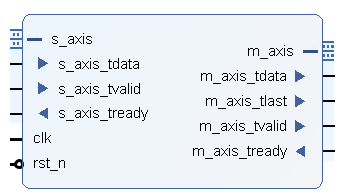
****

图1. 模块接口



图2. 接口功能表

以一个2行4列的块交织器为例，对输入-输出关系进行说明。若按照时间先后，向块交织器内依次输入A、B、C、D、E、F、G、H八个数据，则依照“按行写入”的原则，块交织器内的数据存储如下：



当输入数据填满交织器后，依照“按列读出”的原则，此时块交织器应依次输出A、E、B、F、C、G、D、H八个数据。

1. **参数配置**

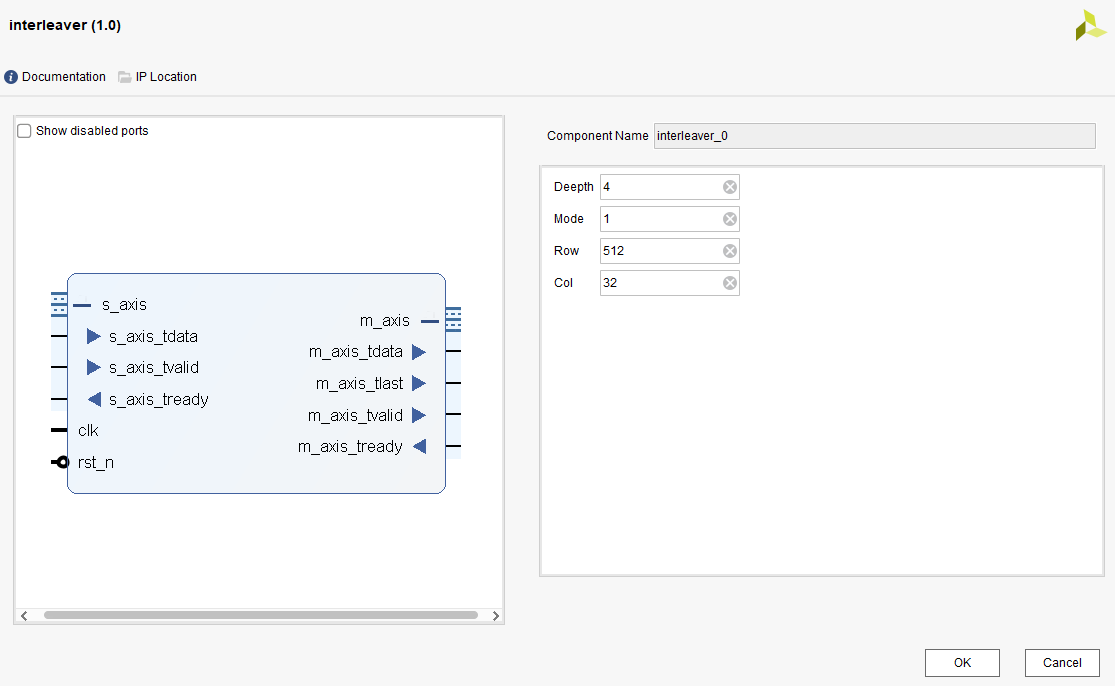


图3. 将设计导出为IP核后的参数配置界面

**1、deepth**

设定输入接口的内置FIFO深度（需为2的n次方）。

**2、mode**

设定工作模式：

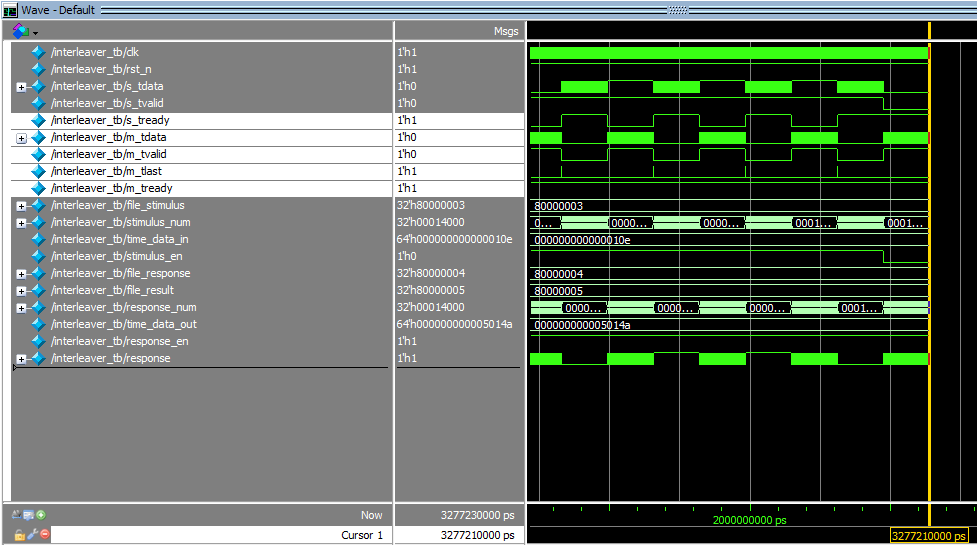
当mode=0时，为面积优先模式，此时交织器中仅包含一个功能单元，在输出本次交织结果的过程中，不能继续接收新的数据输入，只有当本次交织结果全部输出后，才能继续接收新数据，从而引起一帧数据的额外延迟；



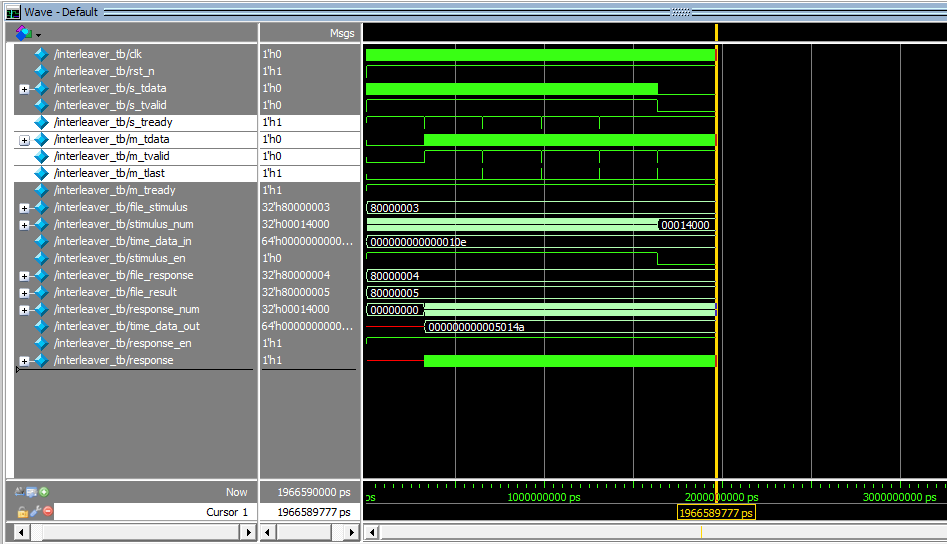
当mode=1时，为速度优先模式，此时交织器中例化了两个功能单元交替工作，使得交织器能够连续接收数据输入，以增大存储开销为代价避免了额外的数据延迟。



mode=0时的仿真结果：



mode=1时的仿真结果：



可见，同样是对5帧数据进行交织，mode=1时，交织过程连续进行，消耗时间更短。

**3、row**

设定块交织器的行数。

**4、col**

设定块交织器的列数。

1. **脚本使用**

本节旨在描述通过脚本+源码文件来对设计进行Modelsim-RTL仿真并将设计导出为IP核的操作步骤。

**（1）.环境配置**

脚本在使用过程中会通过bat命令调用Vivado和Modelsim，因此，需要先将这些应用的相关路径添加至用户环境变量中（Vivado在安装完成后不会自动添加环境变量，需要手动添加其安装路径下的bin文件夹路径至用户环境变量中；Modelsim在安装过程中会自动添加环境变量，倘若安装完成后用户环境变量中未出现红框内的win64文件夹路径，可尝试重启电脑，若重启后仍未出现此路径，则需手动添加Modelsim安装路径下的win64文件夹路径至用户环境变量中）：

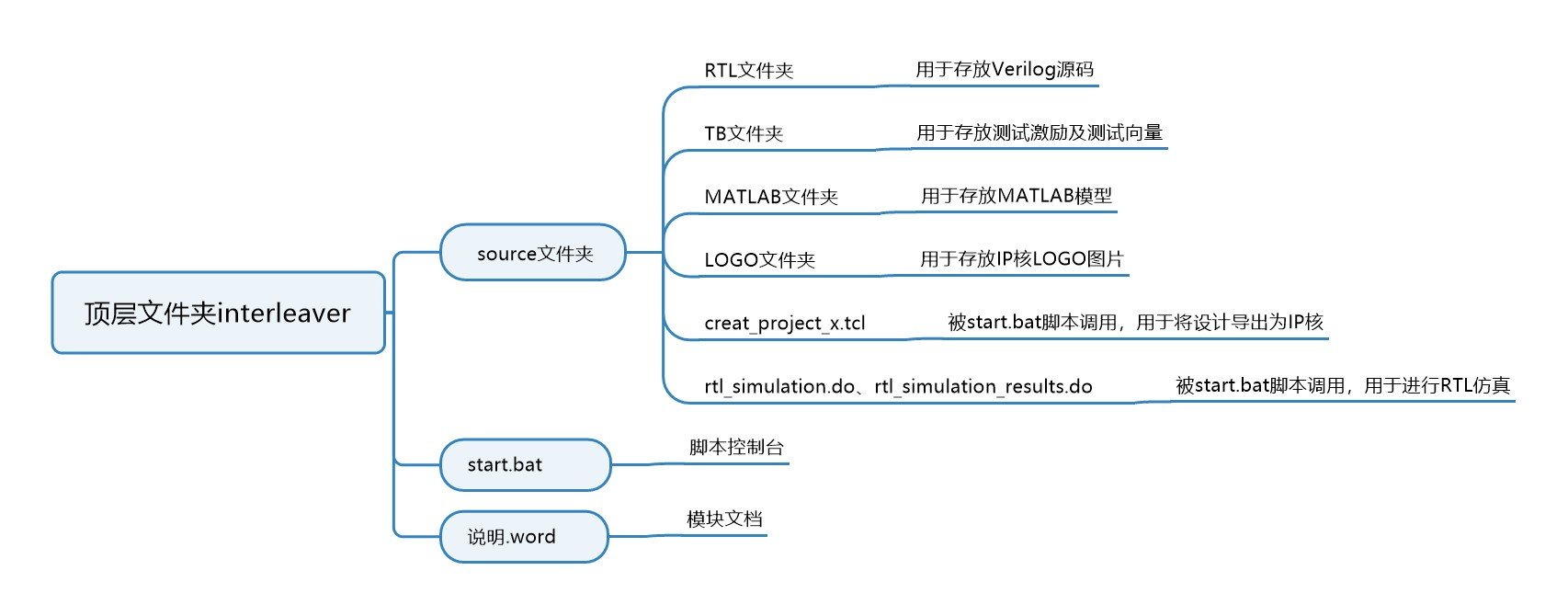




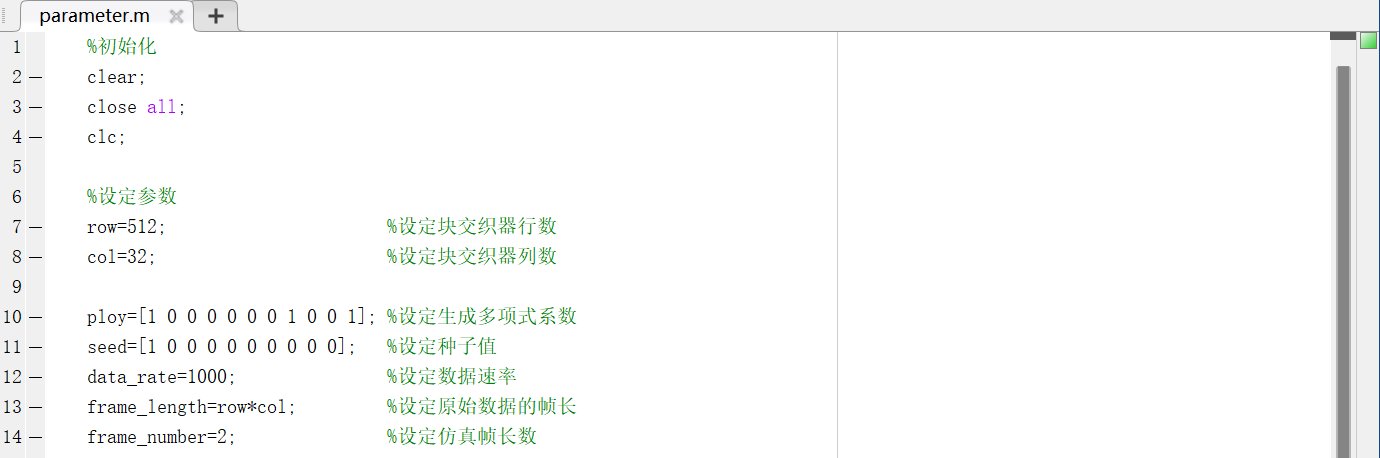
注：本工程使用Vivado **2021.2**、Moedlsim **2020.4**、MATLAB **2020B**进行操作。

**（2）.RTL仿真**

本工程的文件结构目录如下：



为运行RTL仿真，首先进入“source/MATLAB”文件夹中，通过MATLAB打开“parameter.m”文件：

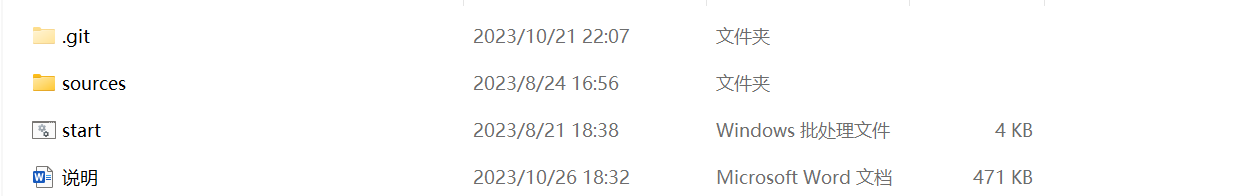


此代码旨在建立块交织器的MATLAB模型，并以m序列为数据源，生成块交织器的输入、输出测试向量，以供RTL仿真使用；其中，第7、8行的row、col值应与IP核参数设置保持一致，第10、11行的ploy、seed值用于设置作为m序列数据源的生成多项式与种子值、第14行的frame\_number用于设置块交织行为次数（决定仿真数据总量）。

参数设定完成后，运行此.m文件，可见TB文件夹中生成了“stimulus.txt”与“response.txt”两个文件，即为RTL仿真所需的测试向量文件：

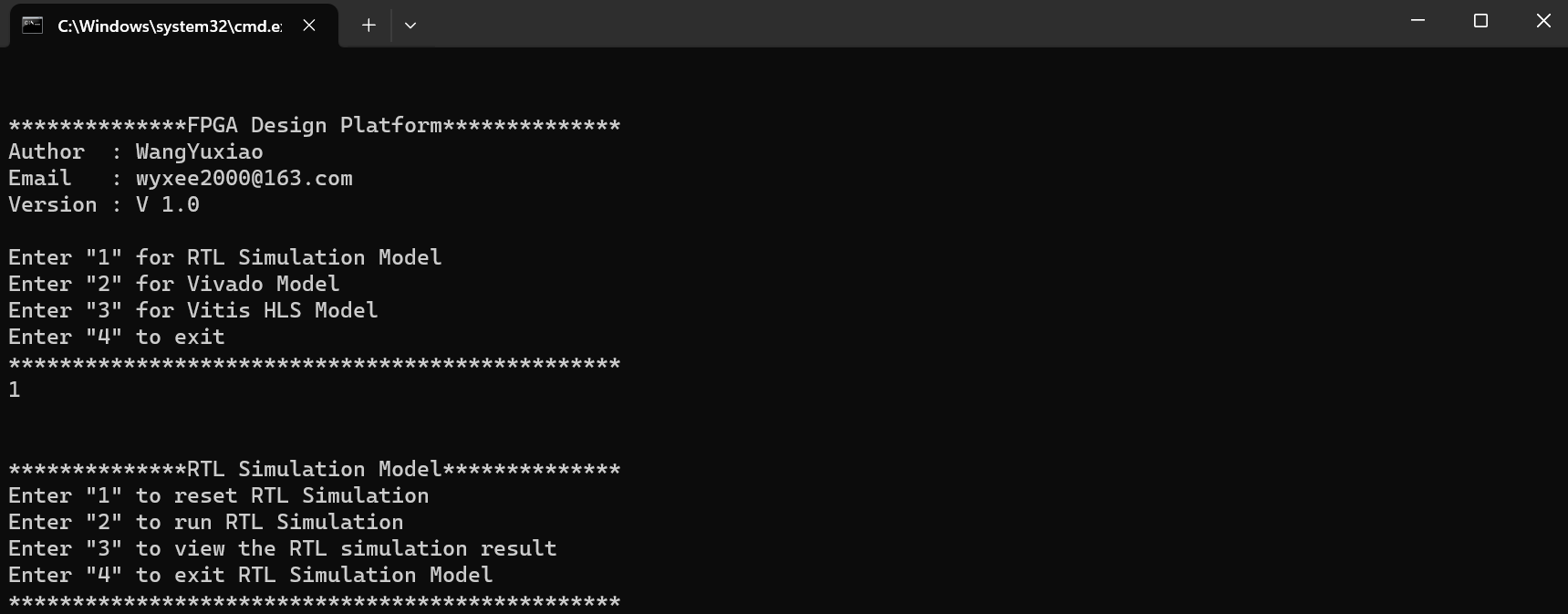


随后，进入顶层interleaver文件夹中，双击运行“start.bat”脚本：

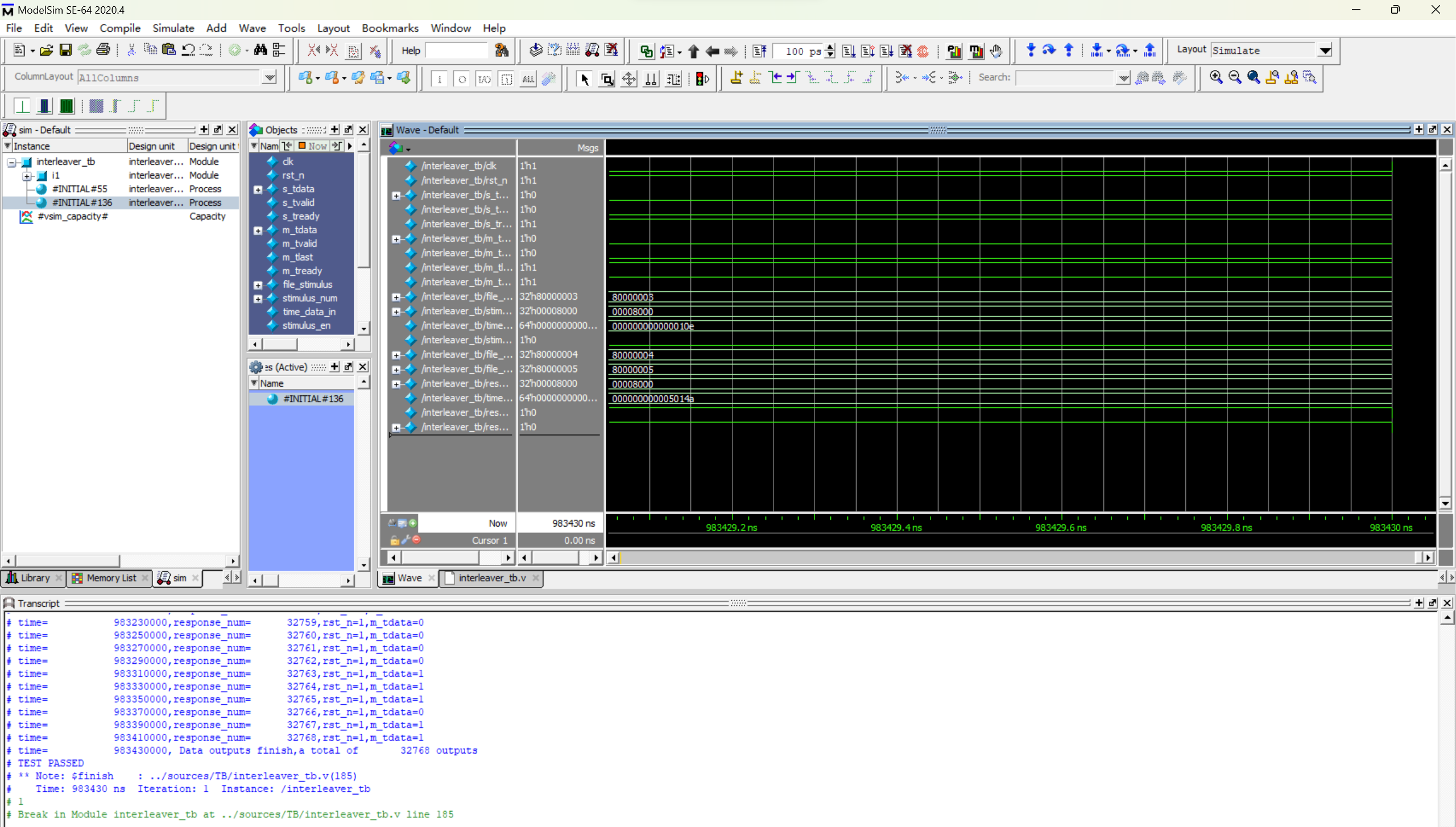




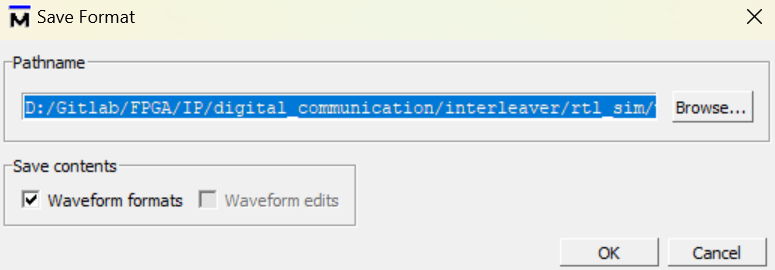
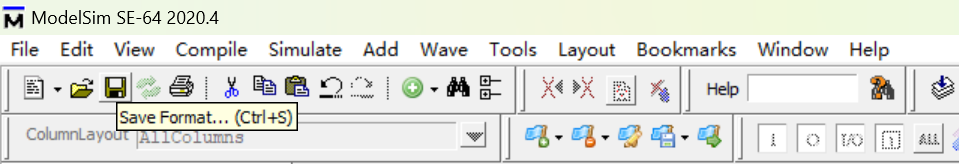
输入1：



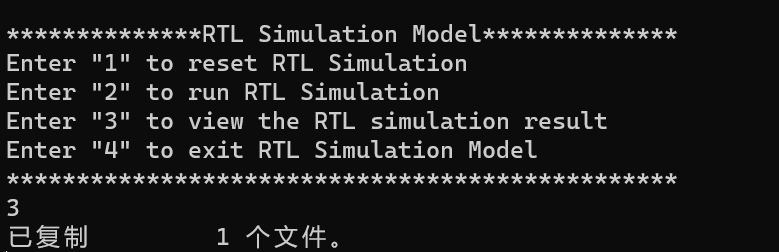
输入2，运行Modelsim仿真：

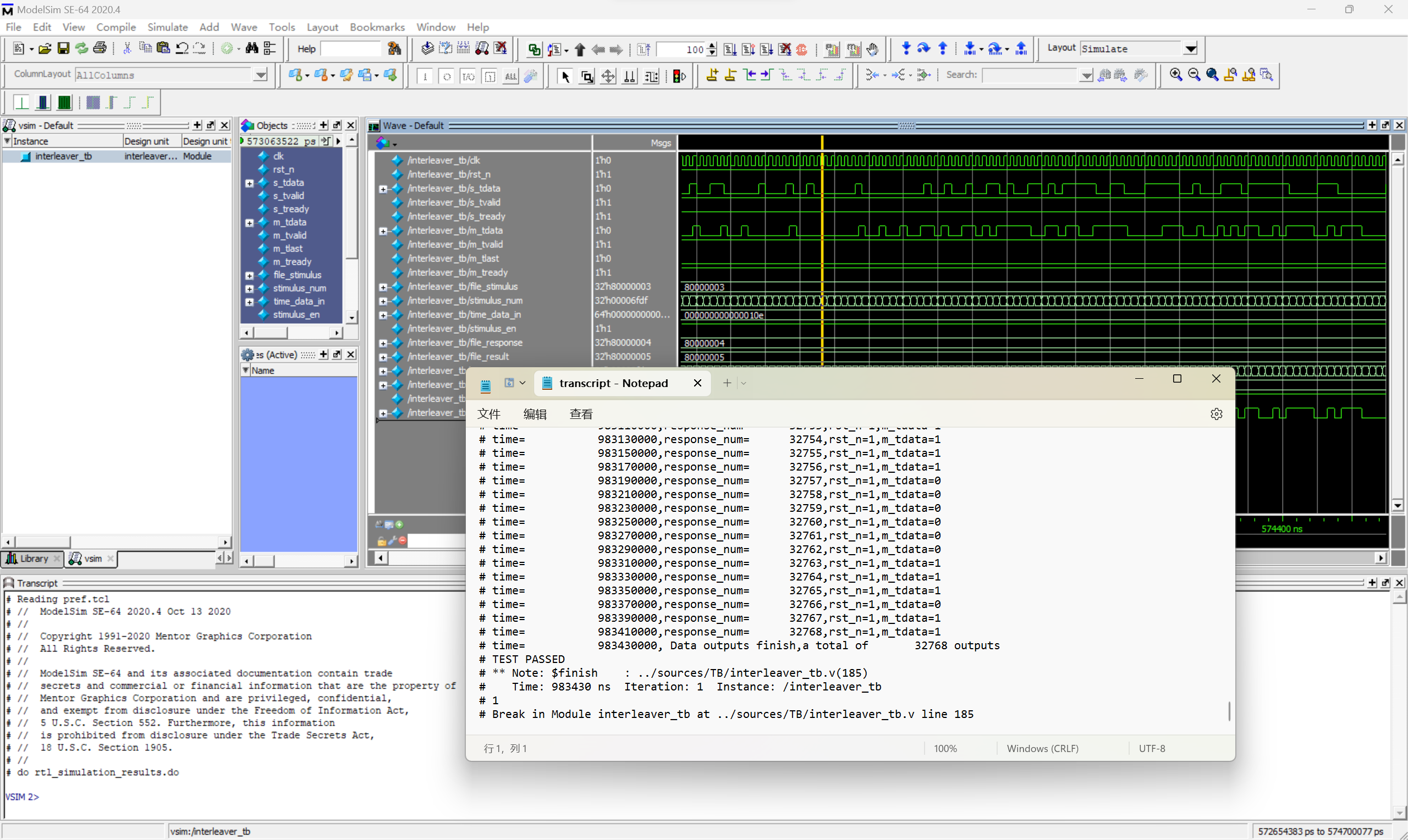


若想记录仿真结果以便后续查看，可通过菜单栏中的“Save Format”选项保存当前波形设置：



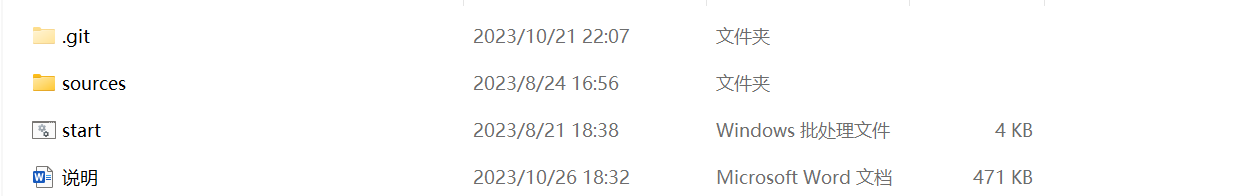
后续在脚本的RTL模式下输入3，即可恢复上次Modelsim仿真的波形及命令行信息：

****

****

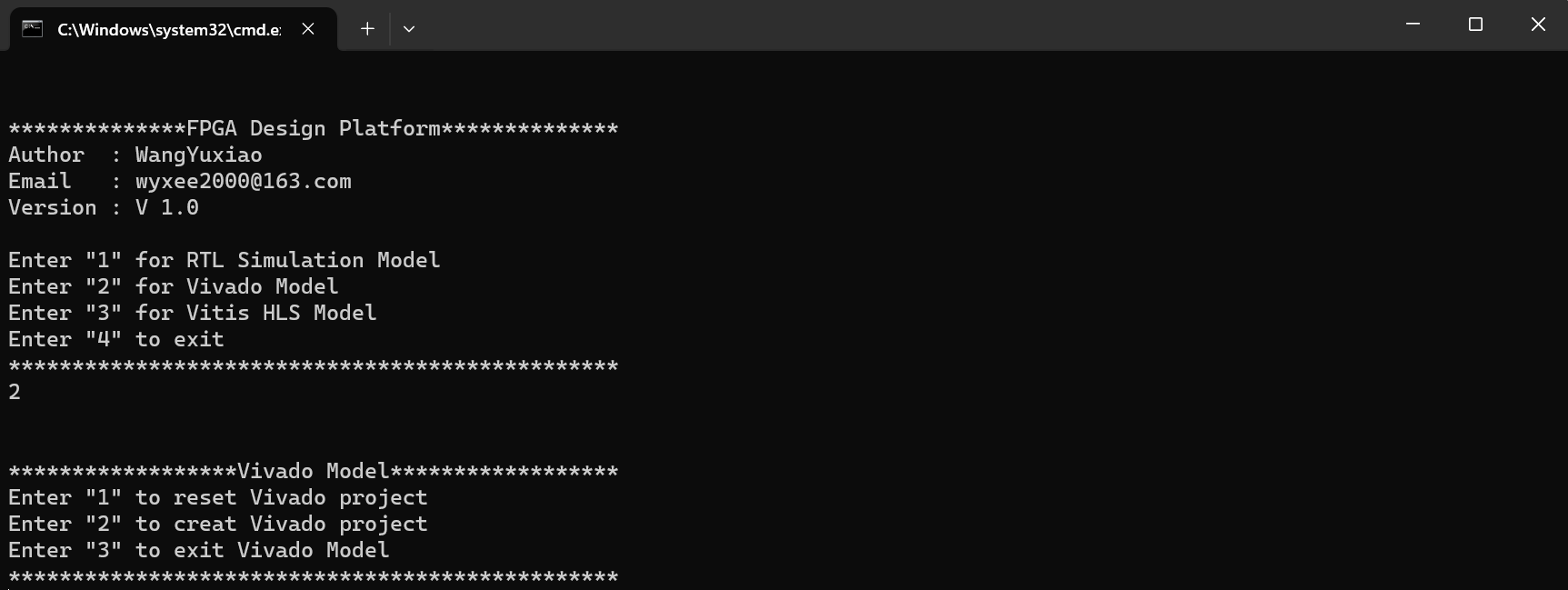
**（3）.导出IP**

进入顶层interleaver文件夹中，双击运行“start.bat”脚本：

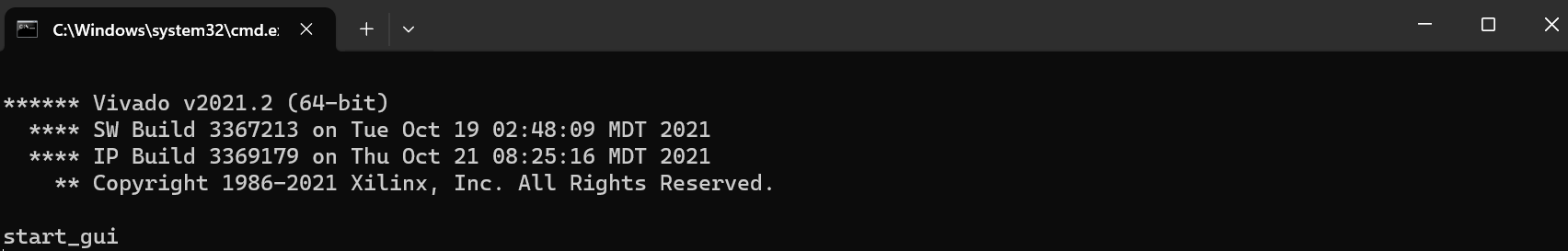
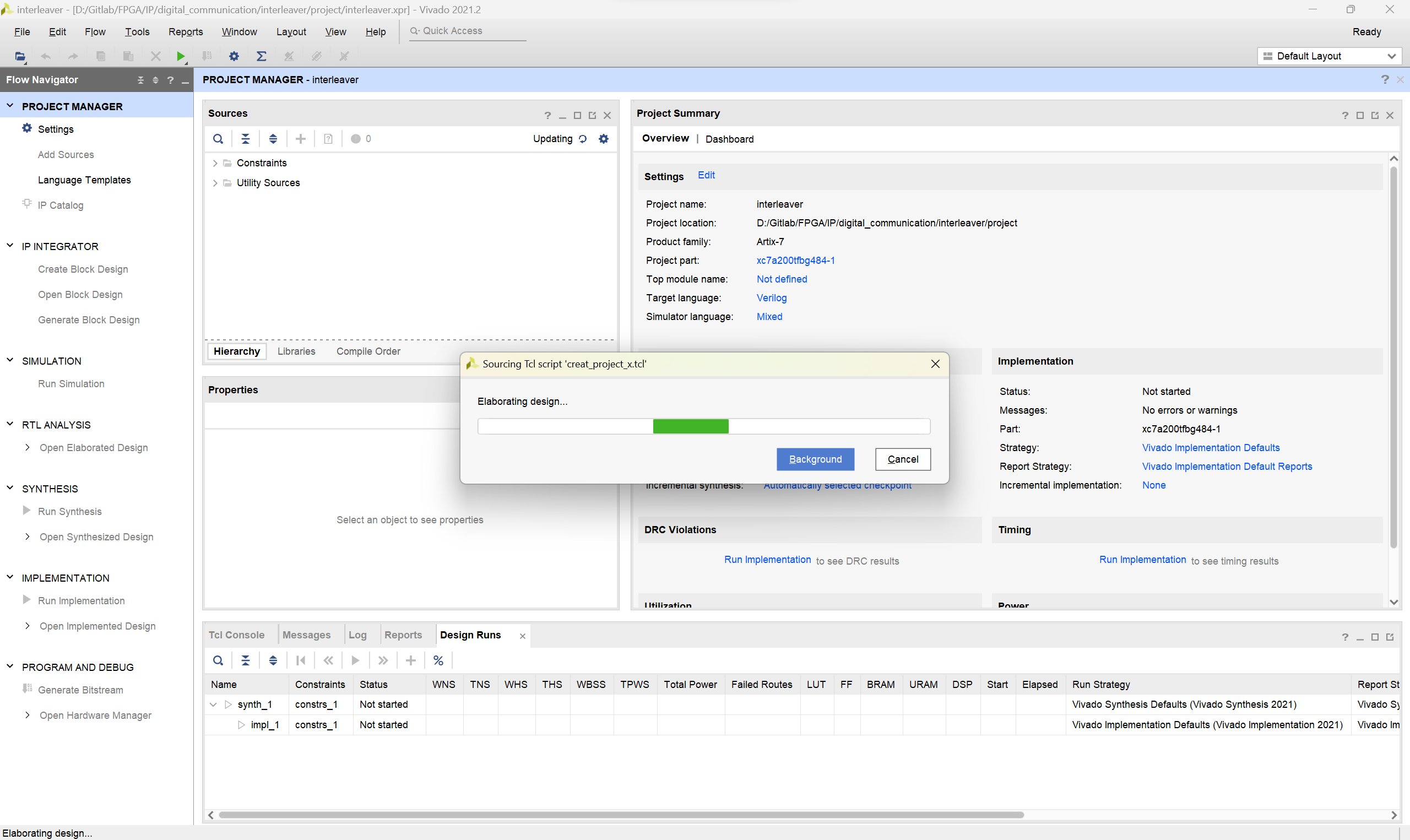




输入2：

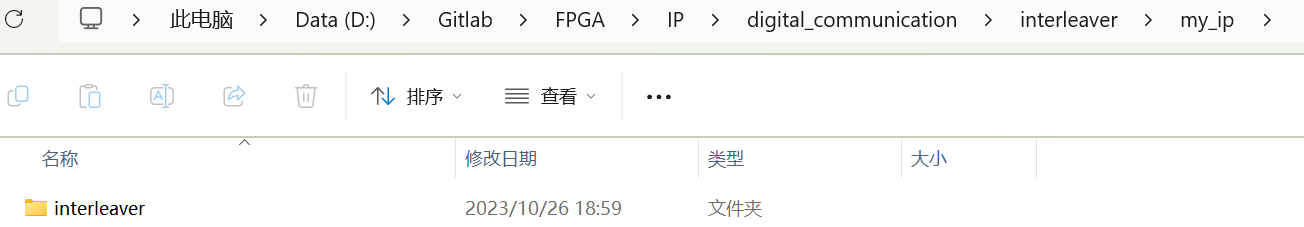


再次输入2：

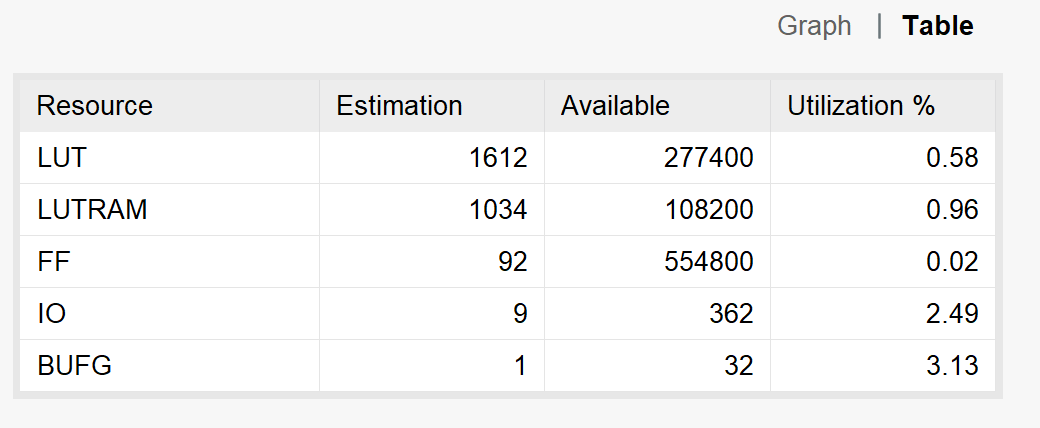
此时将弹出一个新的命令窗口，用于运行Vivado，导出“interleaver” IP核。

运行完成后，顶层文件夹“interleaver”中出现了名为“my\_ip”的文件夹，刚刚生成的 “interleaver” IP核即存放在“my\_ip”文件夹内：



**附录：**

mode=0时，综合后的资源消耗：



mode=1时，综合后的资源消耗：

