**块交织器**

|  |  |  |  |
| --- | --- | --- | --- |
| Document Version Control | | | |
| Version | Date | Author | Changes |
| 1.0.0 | 2023.3.17 | 王雨霄 | 实现了块交织器 |
| 1.1.0 | 2023.5.5 | 王雨霄 | 增加速度优先模式，降低数据延迟 |

1. **功能概述**

本设计对块交织器进行了Verilog实现，主要功能特性如下：

1. 支持面积优先、速度优先两种工作模式——面积优先模式下，在交织器内部仅例化一个功能单元，交织器无法在输出交织结果的同时继续接收新的数据输入，从而引起一帧数据的额外延迟；速度优先模式下，在交织器内部例化两个功能单元交替工作，使得交织器能够连续接收数据输入，以增大存储开销为代价避免了额外的数据延迟；
2. 支持自定义块交织器的大小；
3. 采用标准AXIS接口，且输入接口内置深度可配置的FIFO；
4. **接口概述**

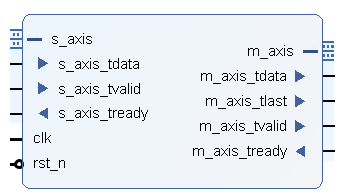
****

图1. 模块接口



图2. 接口功能表

以一个2行4列的块交织器为例，对输入-输出关系进行说明。若按照时间先后，向块交织器内依次输入A、B、C、D、E、F、G、H八个数据，则依照“按行写入”的原则，块交织器内的数据存储如下：



当输入数据填满交织器后，依照“按列读出”的原则，此时块交织器应依次输出A、E、B、F、C、G、D、H八个数据。

1. **参数配置**

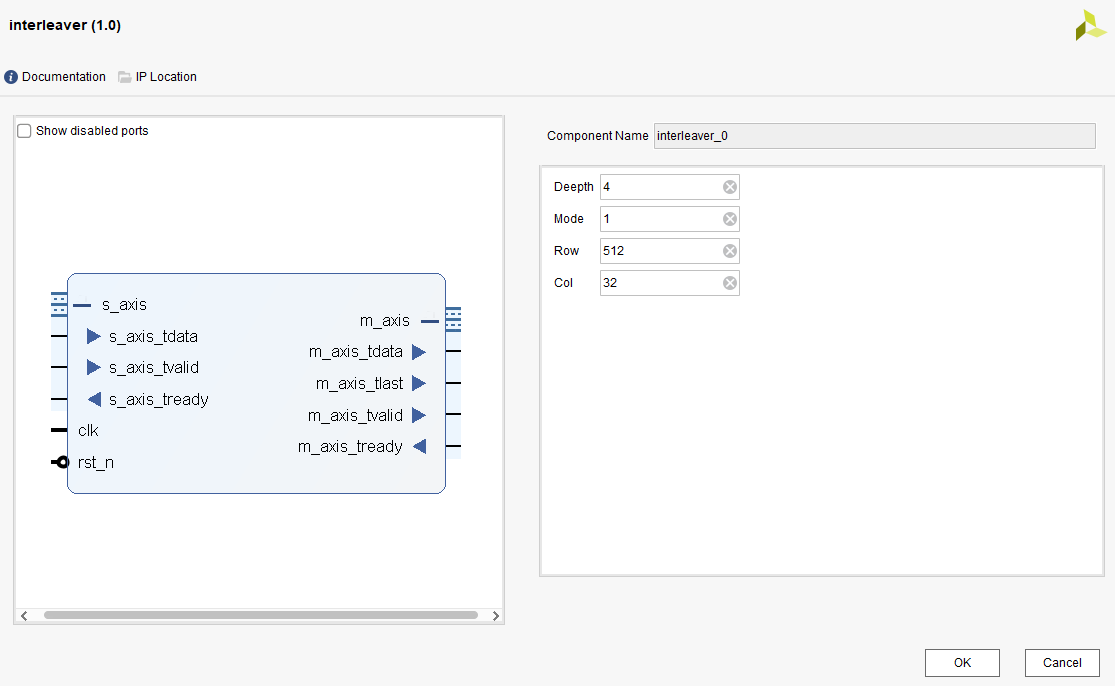


图3. 将设计导出为IP核后的参数配置界面

**1、deepth**

设定输入接口的内置FIFO深度（需为2的n次方）。

**2、mode**

设定工作模式：

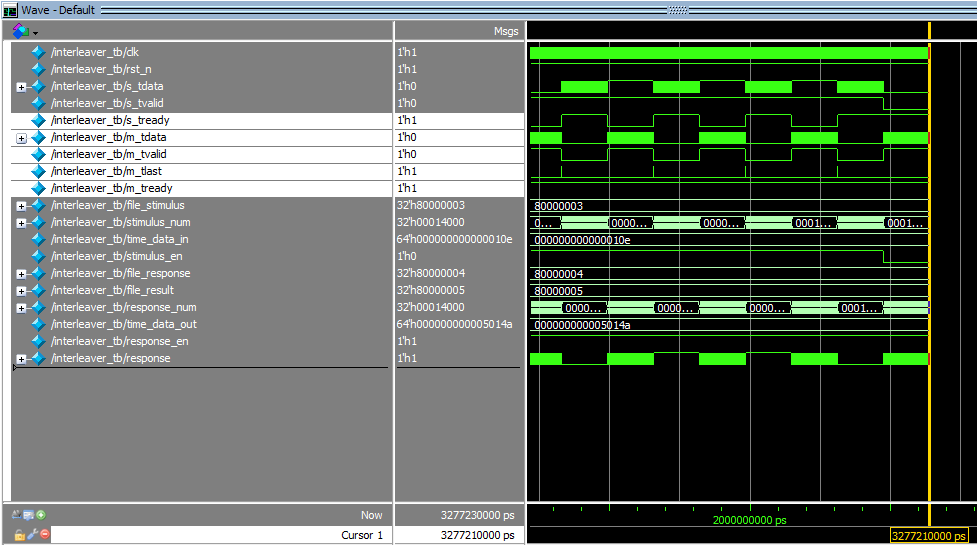
当mode=0时，为面积优先模式，此时交织器中仅包含一个功能单元，在输出本次交织结果的过程中，不能继续接收新的数据输入，只有当本次交织结果全部输出后，才能继续接收新数据，从而引起一帧数据的额外延迟；



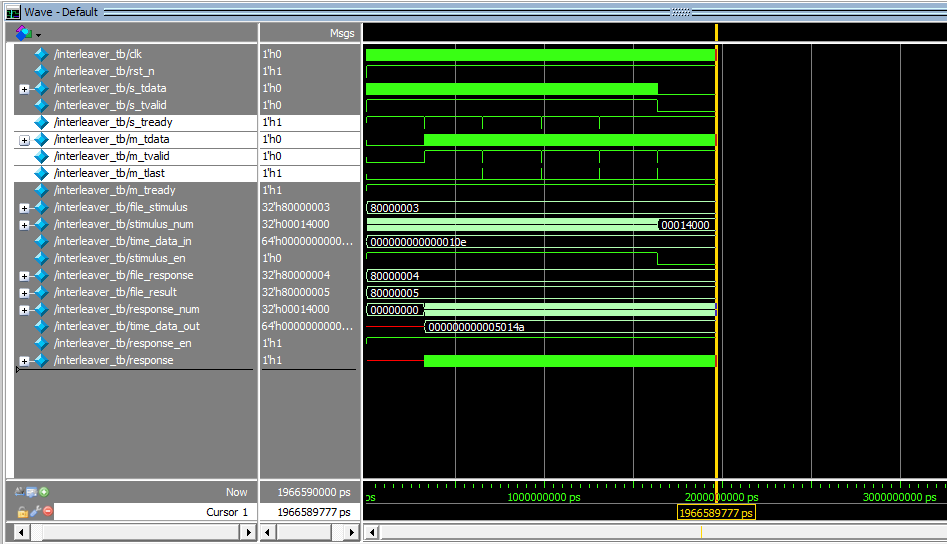
当mode=1时，为速度优先模式，此时交织器中例化了两个功能单元交替工作，使得交织器能够连续接收数据输入，以增大存储开销为代价避免了额外的数据延迟。



mode=0时的仿真结果：



mode=1时的仿真结果：



可见，同样是对5帧数据进行交织，mode=1时所用的时间更短。

**3、row**

设定块交织器的行数。

**4、col**

设定块交织器的列数。