**AXIS数据选择器**

|  |  |  |  |
| --- | --- | --- | --- |
| Document Version Control | | | |
| Version | Date | Author | Changes |
| 1.0.0 | 2023.5.5 | 王雨霄 | 实现了 AXIS接口的2选1数据选择器 |

1. **功能概述**

本设计对AXIS数据选择器进行了 Verilog 实现，主要功能特性如下：

1. 支持标准AXIS输入、输出接口（包含tlast信号）；

2、支持数据位宽自定义；

3、 支持同步切换、异步切换；

1. **接口概述**

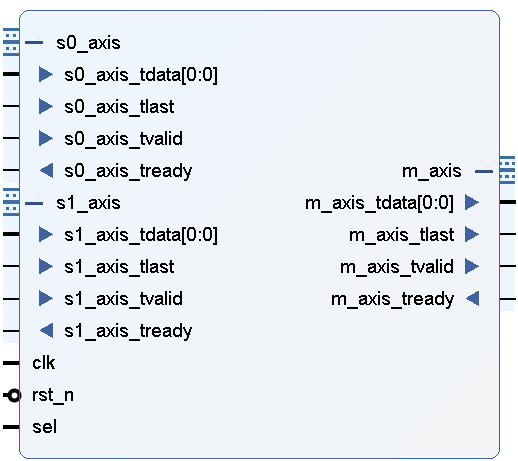
****

图1. 模块接口



图2. 接口功能表

1. **参数配置**

**1、width**

设定AXIS接口的数据位宽（单位：bit）。

**2、mode**

设定同步/异步切换模式：mode=0时，为同步模式，sel信号在clk时钟上升沿同步有效；mode=1时，为异步模式，sel信号发生变化后，立即切换数据通道。

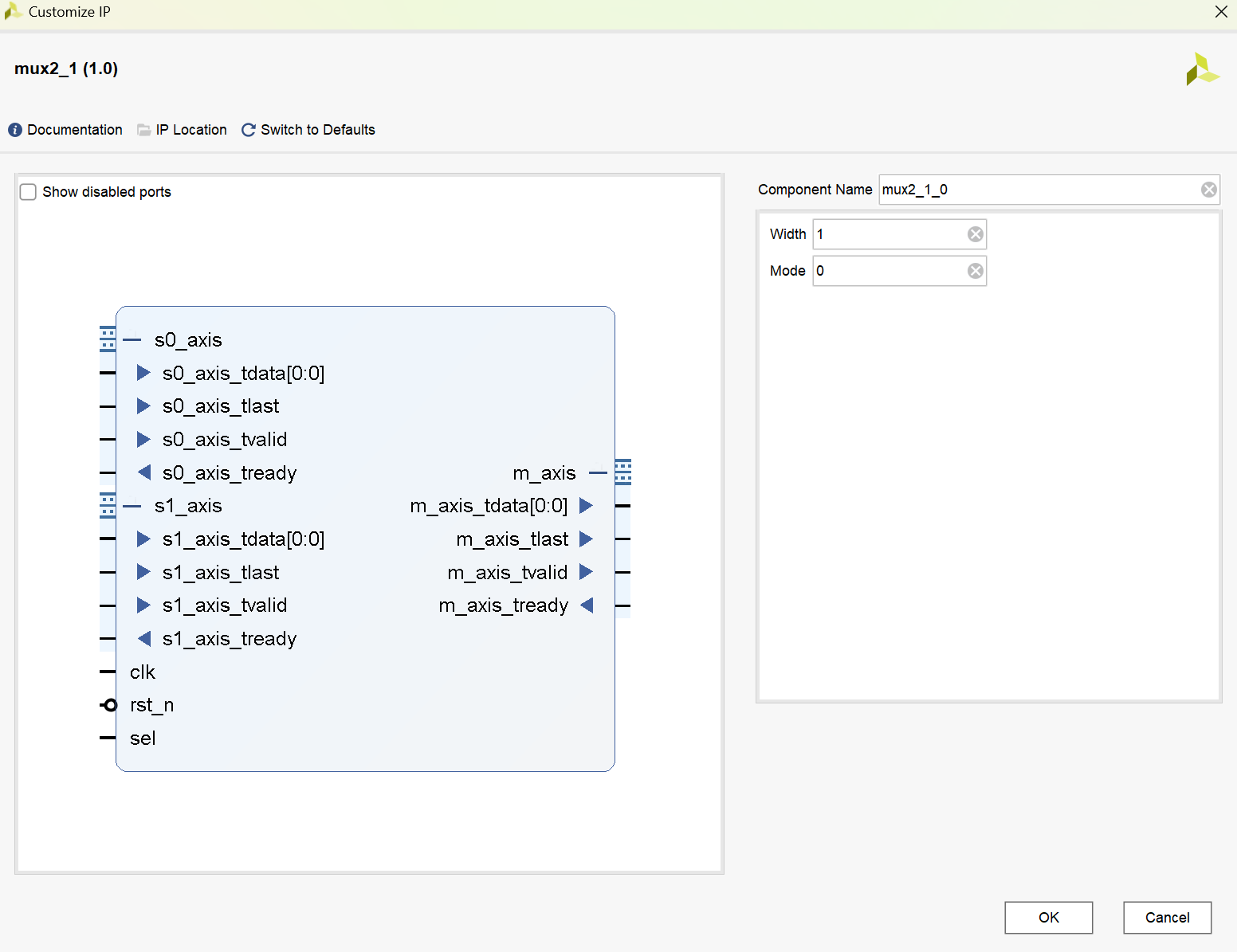


图3. 将设计导出为IP核后的参数配置界面

1. **脚本使用**

本节旨在描述通过脚本将设计导出为IP核的操作步骤。

**（1）.环境配置**

脚本在使用过程中会通过bat命令调用Vivado，因此，需要先将Vivado的相关路径添加至用户环境变量中（Vivado在安装完成后不会自动添加环境变量，需要手动添加其安装路径下的bin文件夹路径至用户环境变量中）：





注：本工程使用Vivado **2021.2**进行操作。

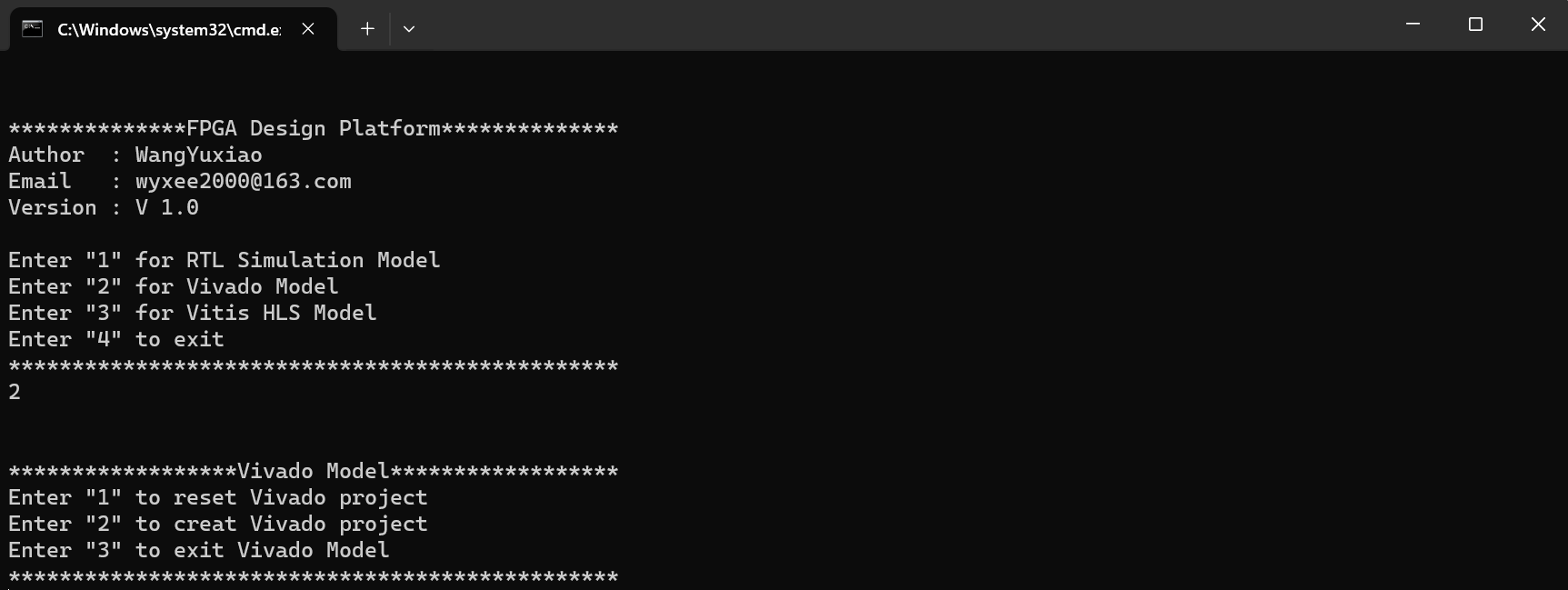
**（2）.导出IP**

进入顶层mux2\_1文件夹中，双击运行“start.bat”脚本：

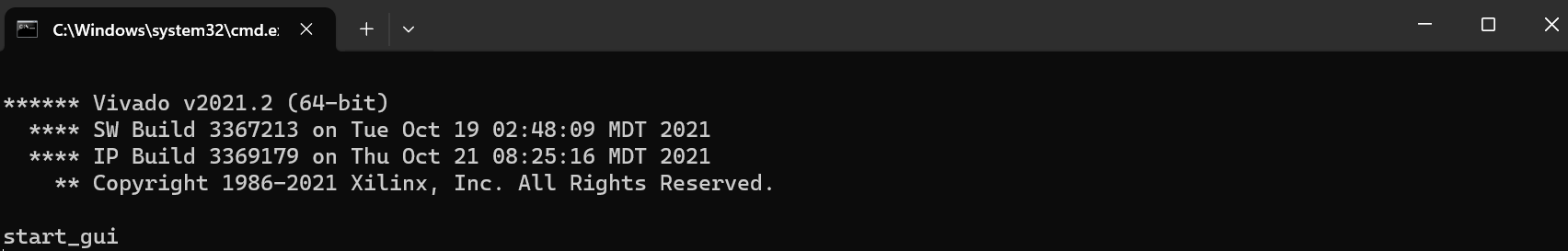


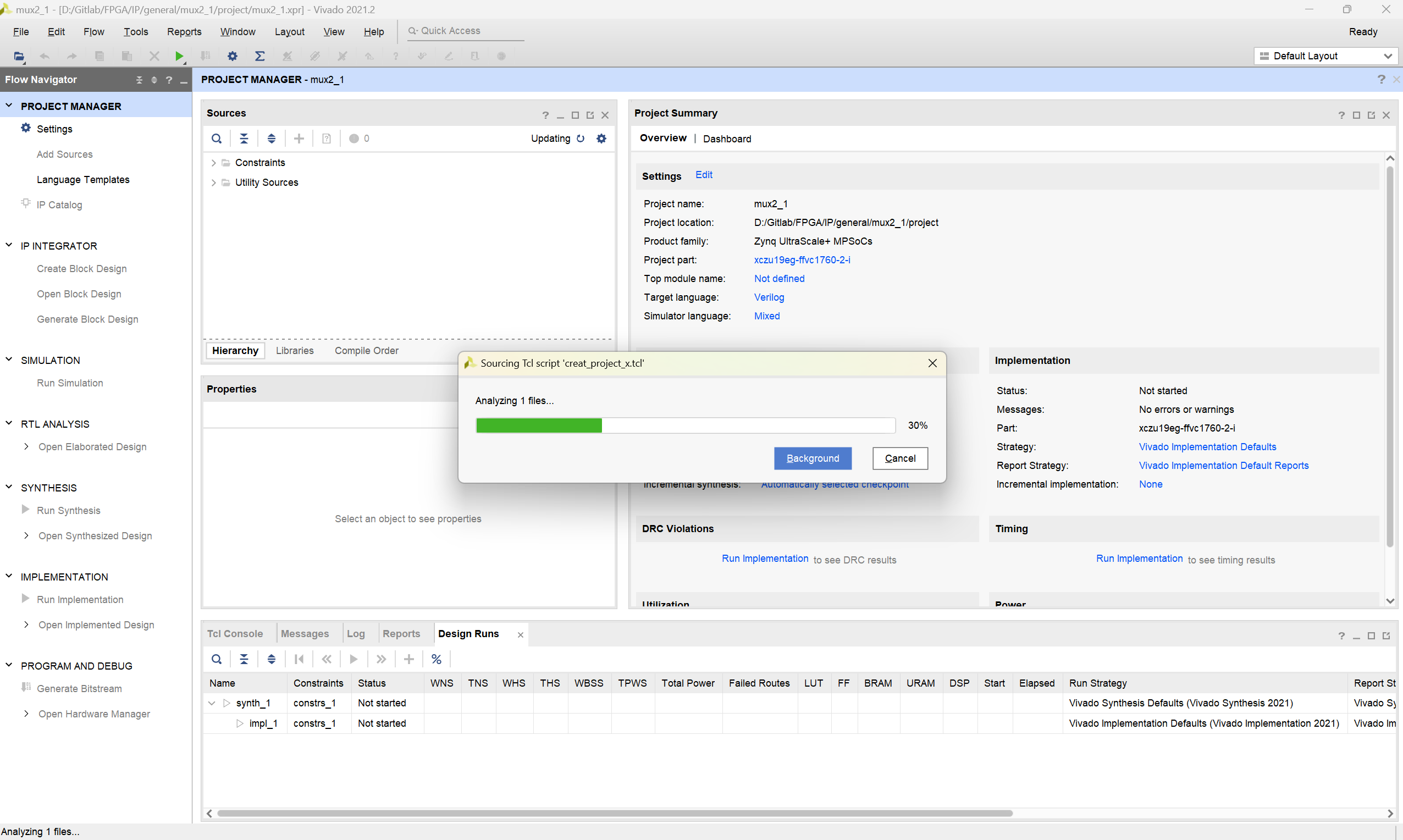


输入2：



再次输入2：





此时将弹出一个新的命令窗口，用于运行Vivado，导出“mux2\_1” IP核。

运行完成后，顶层文件夹“mux2\_1”中出现了名为“my\_ip”的文件夹，刚刚生成的IP核即存放在“my\_ip”文件夹内：

