**UART通信**

|  |  |  |  |
| --- | --- | --- | --- |
| Document Version Control | | | |
| Version | Date | Author | Changes |
| 1.0.0 | 2022.5.6 | 王雨霄 | 实现了 UART 通信协议 |
| 1.0.1 | 2022.8.28 | 王雨霄 | 添加 TCL 脚本（用于在 VIVADO 2021.2  中进行 IP 核导出） |
| 1.1.0 | 2022.9.1 | 王雨霄 | 为发送端、接收端各自增添 16\*8bits 内置 FIFO；修改 Testbench |
| 1.1.1 | 2022.9.2 | 王雨霄 | 修 改 FIFO 编 码 风 格， 使 其 能 够 被 VIVADO 综合为 RAM 实现；增设 FIFO 深度的自定义功能 |
| 1.1.2 | 2023.7.19 | 王雨霄 | 简化uart\_tx模块代码；规范端口名称 |
| 1.1.3 | 2023.9.16 | 王雨霄 | 允许关闭发送端、接收端的FIFO |

1. **功能概述**

本设计对 UART 通信协议进行了 Verilog 实现，主要功能特性如下：

1. 内置波特率发生器，允许在自定义系统时钟频率下进行任意波特率通信（推荐系统时钟频率为通信波特率的8倍以上）；

2、 支持 5、6、7、8 位数据位；

3、 支持奇校验、偶校验、固定 0 校验、固定 1 校验、无校验等五种校验模式；

4、 支持 1 位、1.5 位、2 位停止位；

5、 内含发送和接收 FIFO，FIFO 深度可自定义配置为 2n；

6、 支持与标准 AXIS 接口进行连接；

1. **接口概述**

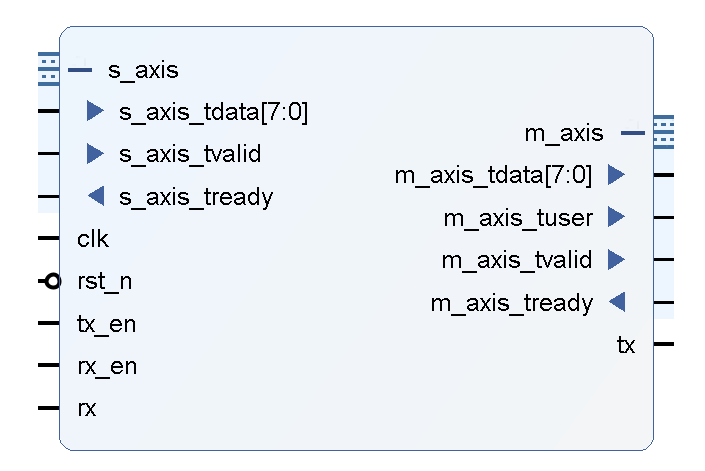
****

图1. 模块接口



图2. 接口功能表

1. **参数配置**

**1、system\_clk**

设定系统时钟频率（单位 Hz）；例如系统时钟为 50M Hz 时，该参数设为 50000000。**2、band\_rate**

设定串口通信波特率（单位 bps）；UART 通信的常用波特率有 9600、115200 等。

**3、data\_bits**

设定数据位的位宽（单位 bits），根据 UART 协议标准，该参数可在 5-8 取值。

本模块的对外数据接口 data\_in、data\_out 均为 8 bits 位宽，当实际传输的数据位位宽低于 8 bits 时，data\_in、data\_out 均采取低位有效的原则，例如当 data\_bits=5 时，data\_in、data\_out 均按照如下格式传输数据：



图3. 数据接口格式

**4、check\_mode**

设定校验模式：

check\_mode=0——无校验位；

check\_mode=1——偶校验位；

check\_mode=2——奇校验位；

check\_mode=3——固定 0 校验位（又称 Space 校验）；

check\_mode=4——固定 1 校验位（又称 Mark 校验）。

**5、stop\_mode**

设定停止位格式：

stop\_mode=0——1 位停止位；

stop\_mode=1——1.5 位停止位；

stop\_mode=2——2 位停止位。

**6、tx\_fifo\_deepth**

设定发送FIFO的深度，该参数取值必须为0或 2n（n为任意正整数），当取值为0时，代表发送端FIFO关闭。

**7、rx\_fifo\_deepth**

设定接收 FIFO 的深度，该参数取值必须为0或 2n（n为任意正整数），当取值为0时，代表接收端FIFO关闭。

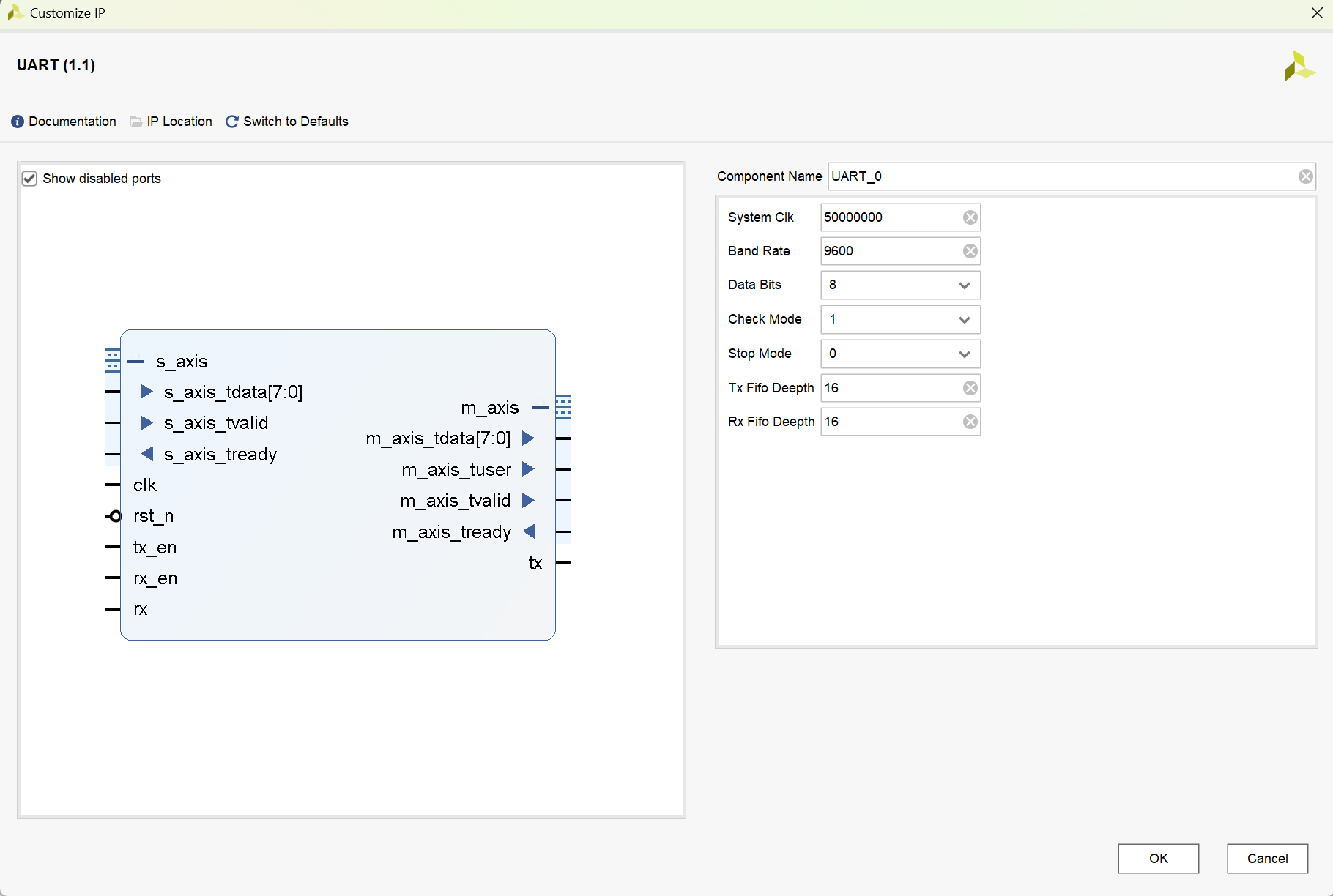


图4. 将设计导出为IP核后的参数配置界面