第1章 生物模型说明

在生物的神经系统中有各式各样的神经元在支撑着神经系统的工作，哺乳动物和人类的神经系统为了处理十分复杂的任务例如认知新事物、协调身体机能等，不同的神经细胞起着不同的作用。如图1所示为生物神经系统的简易图，图中所示内容可以简单分为3大部分，分别为输入神经元、中枢神经系统（Central Nervous System）和输出神经元。在生物神经系统中有专门的神经细胞——假单极神经元（Pseudounipolar neuron）作为接受外部刺激的输入神经元，由图1.1中所示的假单级神经细胞可知这一种神经元包含一个细胞体和单条轴突，由于控制静息电位的膜蛋白影响，轴突上的电信号的传递过程是单向传递的，图中所示的假单极神经元的信息是从右向左传递的，当红色箭头代表的刺激信号从轴突的一端传送给假单极神经元，电信号会从右向左传递到中枢系统中。中枢神经系统更像是人工神经网络中的隐藏层，将输入的刺激信号进行复杂的处理，并将处理后的信号传递出去，中枢神经系统更多泛指的是大脑皮层的神经细胞，信息传递的过程一般为神经元传递给神经元，为了给中枢神经系统的神经元维持一个稳定的体液环境，神经胶质细胞起着至关重要的作用，最为重要的胶质细胞是星型胶质细胞，这一细胞在中枢神经系统的神经元数量中占比很高，这种胶质细胞在中枢神经系统中起着骨架的作用，支撑整个中枢神经系统，除此之外星型胶质细胞还对神经细胞外液进行调节，维持神经细胞外液的钠离子、钾离子以及钙离子的浓度，并清除神经元之间信息传递过程中所释放的神经递质，在神经元之间信息的传递过程起作用。星型胶质细胞的外形图如1.2图所示。最后为输出神经元，这种细胞接受到中枢神经系统处理的信息之后，将这一处理好的信息传递出去。输出神经元的轴突较长，有些输出神经元的轴突可长达一米，在轴突上通过电信号的传递，将信息传递给肌肉和腺体，以方便身体的相应部位做出适当调整，如果输出神经元的受体细胞是血管细胞，输出神经元会在血液中释放荷尔蒙等神经调节物质。

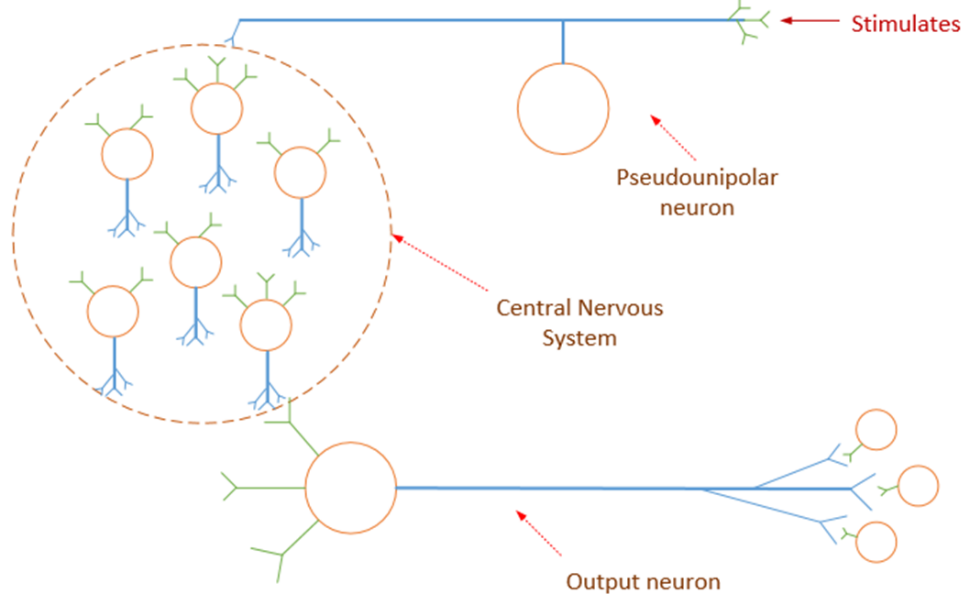


图1.1 生物神经系统模型

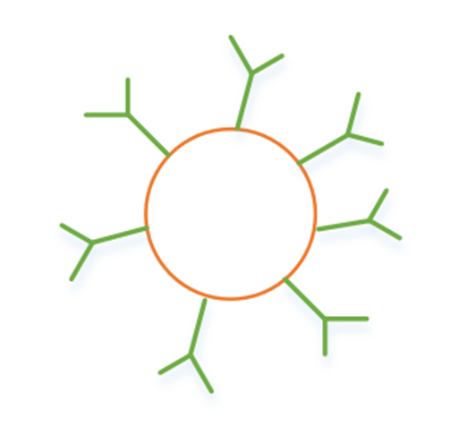


图1.2 星型胶质细胞示意图

为了更好的展示一个神经元的构造，如图3所示为一个神经元的完整结构示意图，主要结构包括树突、细胞体、轴突以及突触。图中所示的绿色分支为树突（Dendrites）结构，树突在神经元中起到接受外部信息的作用，当树突接收到其他细胞发送的神经递质之后，树突的膜电位将会改变钠离子、氯离子等离子通道的通透性，进而影响树突上的膜电位，需要注意的是神经递质更像是一把钥匙，可以打开树突上的受体蛋白。树突接收到兴奋性信号时钠离子通道的通透性改变，进而导致树突上膜电位的上升，最后将高的膜电位传递给胞体；当树突接收到抑制性信号时，氯离子通道的通透性会改变，进而导致树突上膜电位的降低，并最后将低的膜电位传传递胞体。胞体（Soma）会收集各分支树突传递的电信号，并进行一次简单的“累加求和”过程，当膜电位超过阈值时，会激发轴突发送脉冲，如果膜电位的累加和没有超过阈值，轴突的膜电位信号将保持，不会有电信号的产生。

细胞体膜电位的静息电位通常为外正内负，大多数的神经元细胞体上膜电位的静息电位为-60mV，而阈值膜电位为-50mV，具体的细胞体上膜电位变化过程如1.4图所示。

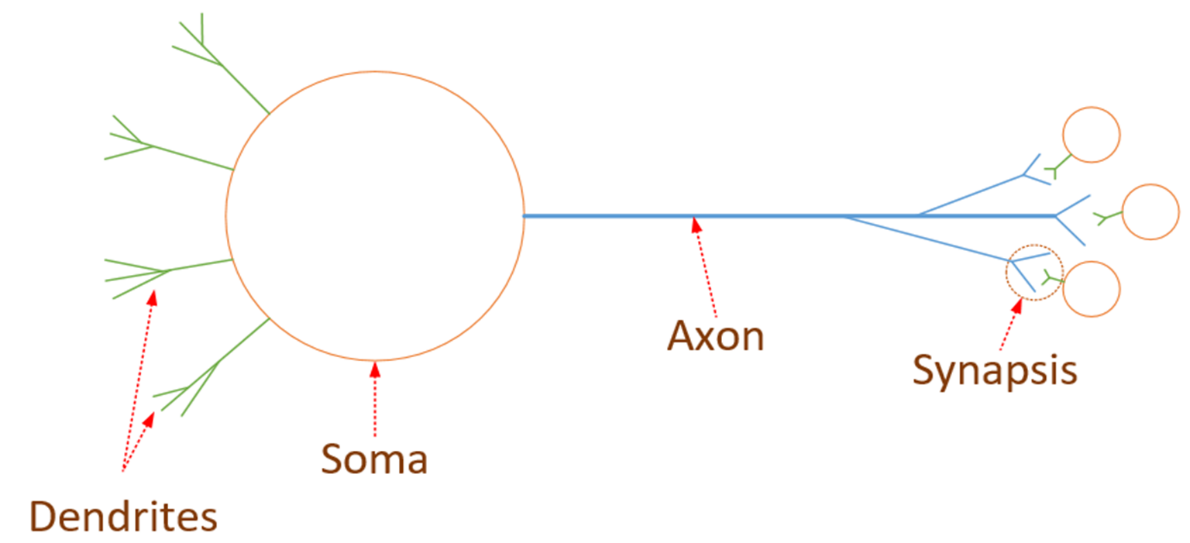


图1.3 神经细胞结构图

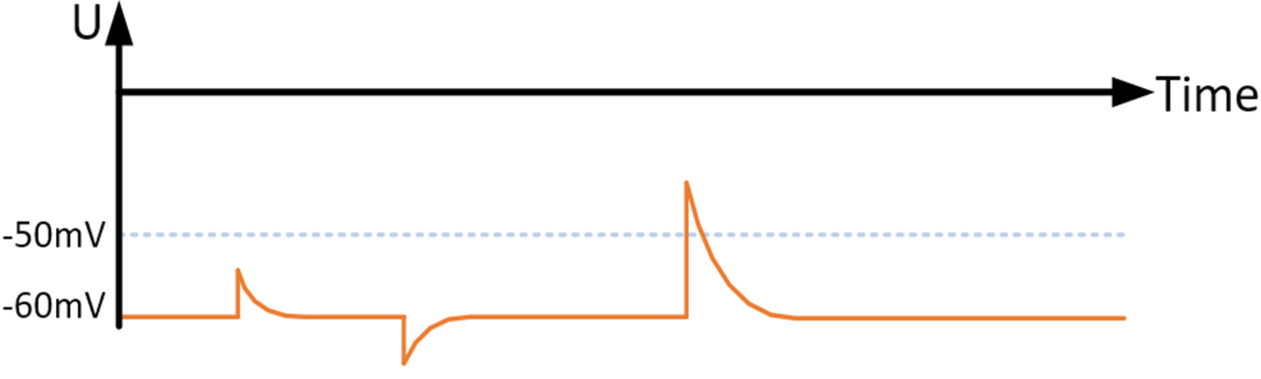


图1.4 神经元细胞体膜电位的变化示意图

很多科学家通过实验证明，更多神经元轴突上膜电位的变化是在固定脉冲频率上的变化，当神经元上的树突接收到兴奋性信号时，神经元轴突上膜电位发送的脉冲频率会升高，反之当神经元上树突接受到抑制性信号时，神经元轴突上的脉冲频率会降低。这种轴突上膜电位的变化可以较为准确的将神经元接受的抑制性信号和兴奋性信号体现到神经元对这一信号的处理过程，反观之前神经元阈值对神经元细胞体膜电位的控制，神经元轴突并不会产生当神经元树突接收到抑制性信号时额外现象。如1.5图所示为神经元轴突上膜电位变化示意图。

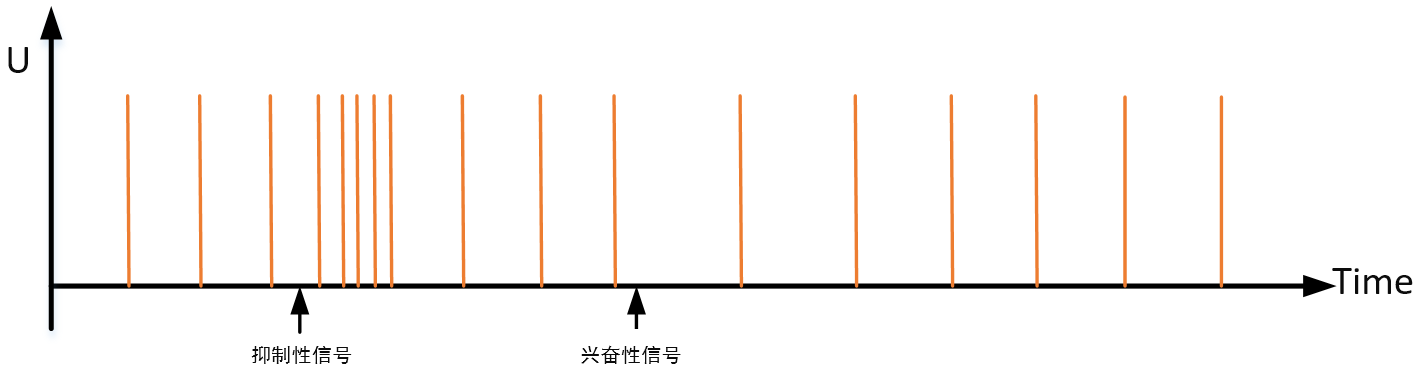


图1.5 神经元轴突上膜电位变化示意图

动物为了熟悉新的环境，学习新的技能，神经元间突触的可塑性在整个的学习过程中起到了至关重要的作用。很多神经学方面的学者通过实验了解到，一组神经元在接受到某一信号的多次刺激时，神经元间突触的可塑性会增强，进而导致动物对这一刺激过程（现象）的长期记忆。在实验现象中表现为突触前神经元的轴突先于突触后神经元的树突发送脉冲时，导致突触的相对作用会增强；实验的另一种现象得到结论是，当突触后神经元的树突先于突触前神经元的轴突发送脉冲时，突触的相对作用会减弱。突触前神经元和突触后神经元间发送脉冲的相对时间关系会导致突触作用的可塑性增强或可塑性减弱的这一现象被称为脉冲时间依赖可塑性（STDP）。突触的可塑性还可以可分为神经突触的可塑性和神经结构的可塑性。神经突触的可塑性更多体现在突触后膜上受体数量上的变化，当突触前膜多次受到刺激时，突触前膜会释放大量的神经递质，突触后膜为适应这一变化会将大量的受体蛋白转移至对应的突触后膜上，突触对突触后神经元的影响将会增大。反之，当突触前神经元接受的刺激较少，突触前膜不释放神经递质，突触后膜的受体蛋白也会转移到其他区域，此时突触对突触后神经元的影响将会减弱。神经结构可塑性也可分为可塑性增强和可塑性减弱，当突触前神经元接受到大量的兴奋性刺激时，突触前神经元会生长出大量的轴突末端与突触后神经元连接，而突触后神经元会生长出大量的树突端与突触前神经元连接，进而增强了两个神经元间的相互作用；与之相反的是神经元间的可塑性减弱，当突触前神经元接受到少量的刺激信号时，突触前神经元的轴突末端和突触后神经元的树突会萎缩，两个神经元间的相互作用也会减弱。神经结构可塑性是致使长时程增强（LTP）和长时程抑制（LTD）的关键因素，神经突触的可塑性表现在生物方向更多的是短时程增强（STP）和短时程抑制（STD）作用。神经突触可塑性和神经结构可塑性的工作示意图如图1.6所示：

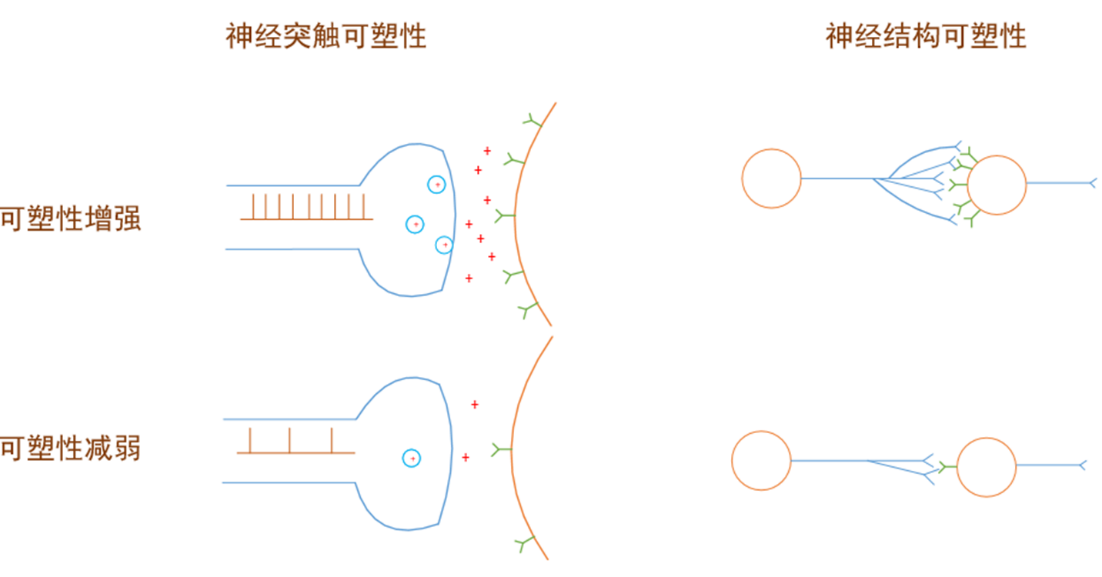


图1.6 突触可塑性增强和减弱的过程示意图

基于以上文本对突触可塑性的理解可知，突触可塑性增强和可塑性减弱是一个不断累积的过程，一对神经元由于某一特定信号的不断刺激，两者间的突触可塑性会不断增强，突触前膜和突触后膜之间可测到脉冲信号的时间间隔会缩短，由于激励信号的不断刺激，突触后膜的受体会蛋白会不断的转移到突触后膜上，新的轴突分支和树突会生成，突触前后神经元的联系会不断增强，进而导致突触前后神经元间可测试到脉冲信号的时间间隔继续缩短，这也可以间接解释STDP现象，即突触前后脉冲信号的时间间隔与突触强度增强之间的关系。反之亦然，如果突触前神经元在长时间内没有接受过外界相关信号的刺激，但突触后神经元会定时发送生物脉冲，突触前神经元的轴突分支就会响应这一脉冲信号，突触后膜上的受体蛋白会被转移，轴突末端和与之连接的树突也会萎缩，两个神经元间的连接也会减弱，这一过程解释了突触后神经元发送的脉冲先于突触前神经元发送时，会出现突触作用的弱化现象，当突触的作用越强，突触后膜产生的脉冲与突触前膜产生的脉冲时间间隔越小，突触间的相互作用会弱化的越剧烈。综上所述，突触原先强度的大小是导致突触前神经元响应突触后神经元和突触后神经元响应突触前神经元的关键，突触强度越高，突触前神经元和突触后神经元间测试到的脉冲时间间隔会越短，突触的增强和减弱的效果也会越大，由1.7图所示的STDP实验效果也可以证明这一过程，即突触的可塑性增强是累积性增强的一个过程，突触可塑性减弱是一个衰减性不断减小的一个过程。后续脉冲神经网络硬件建模的设计思想也会体现这一生物模型的这一合理性解释。

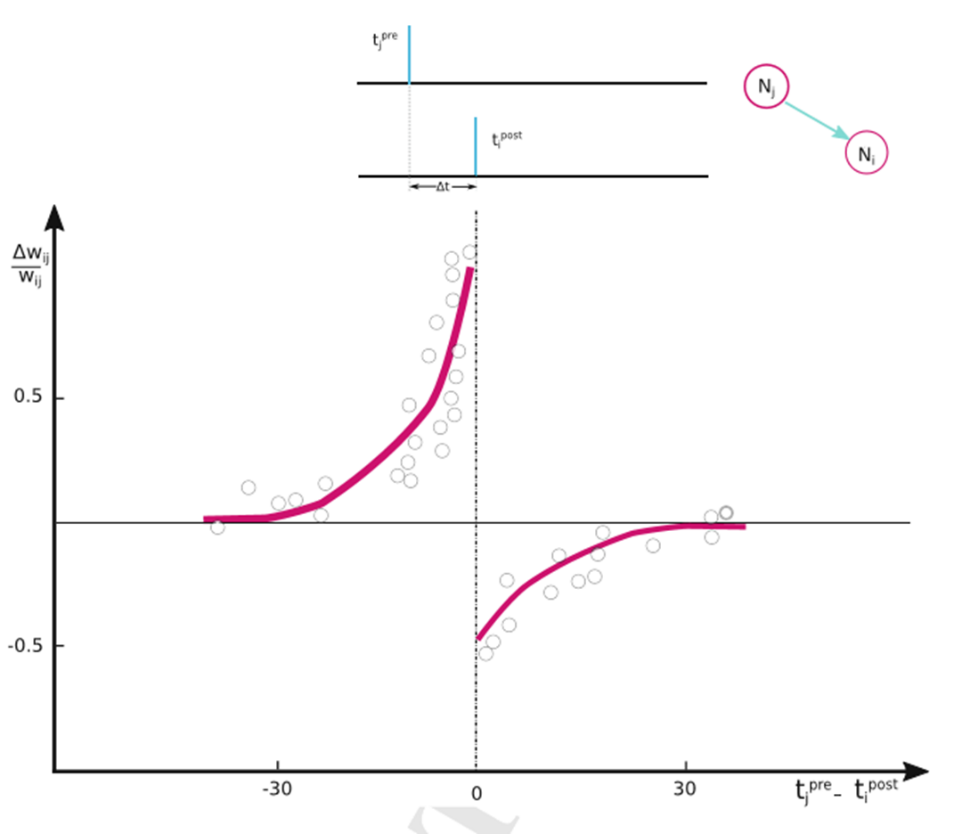


图1.7 突触前、后神经元间发送脉冲的时间间隔与突触强度变换的示意图

**第2章 硬件系统设计**

**2.1硬件系统描述**

本次设计为两层的脉冲神经网络，为实现简单模式的学习和识别任务，我将这一系统划分成4个部分：信号缓存端、纵向一侧的输入神经元阵列、25\*10的突触交叉阵列、横向的输出神经元阵列。整体的设计结构示意图如图1所示：

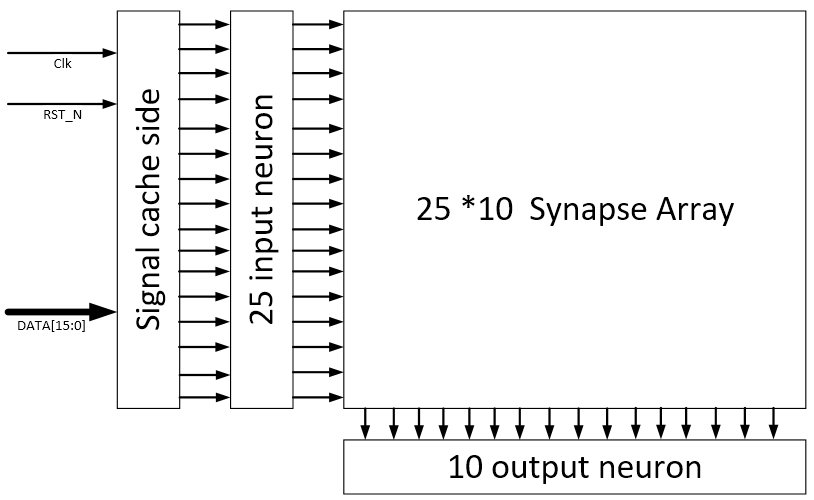


图1 整体的架构图

**1信号缓存端：**

接受外部输入需要识别的数据，将这一输入的数据转换成25位的二值像素点值，并缓存到内部配置的存储单元中。然后在一个大的时钟周期内将像素点依次传递给输入神经元，每个像素点与25个输入神经元是一一对应的关系，当存储单元内部不为空时，这一模块将已经缓存好的像素点阵依次传递给后续的输入神经元。同时输入信息的传递是以一个小的时钟周期为时间间隔传递的，一个大的时钟周期与小的时钟周期之间成倍数关系，这一倍数与输入神经元的个数有关。

**2输入神经元：**

将信号缓存端传递的数据进行判断，0值时像素不会产生脉冲，1值像素会产生一定频率的脉冲信号。（拓展：为实现高精度的脉冲神经网络，每个像素值可以划分成0-8的亮度等级，输入神经元会发送与之对应的脉冲频率）。

**3突触：**

突触的作用是存储这一突触节点的状态，并在接受到输入神经元发送的脉冲信号时，将突触权重状态传递给输出神经元。为了实现神经网络分类和识别的功能，在此处设计的脉冲神经网络突触既可以传递兴奋性突触权重状态也可以传递抑制性突触的权重状态。当接受到输入神经元的脉冲时，突触会根据现有的存储模式发送不同的突触权重信号，当存储的模式为逻辑1时，接受到脉冲信号的突触会发送兴奋性权重信号，当存储的模式为逻辑0时，接受到脉冲信号的突触会发送抑制性权重信号。其中突触矩阵与输入神经元和输出神经元之间的平面连接如2.2图所示以及突触交叉连接的立体图如2.3图所示：

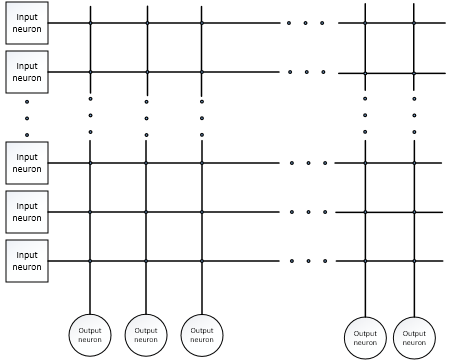


图2.2 突触矩阵的平面示意图

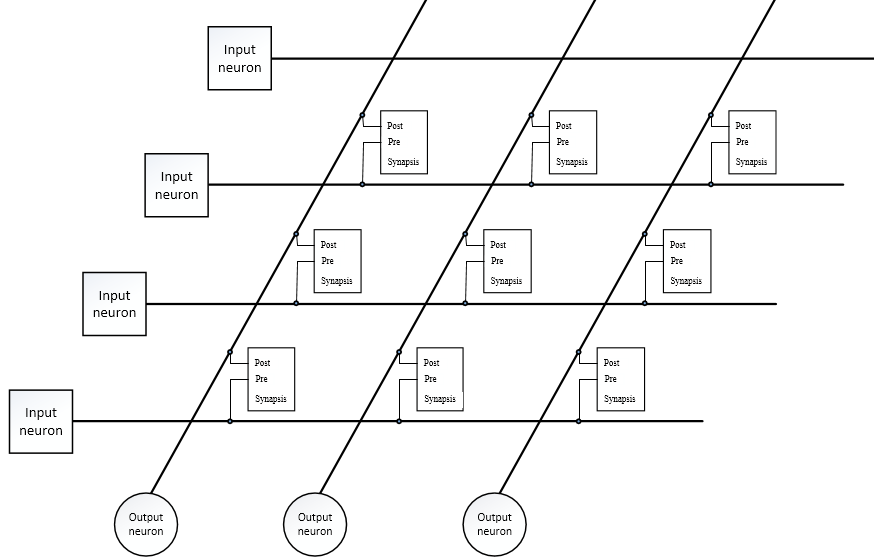


图2.3突触矩阵的立体示意图

为了更好的阐明一个突触可以发送兴奋性权重值信号和抑制性权重值信号在神经网络分类任务中所起到的作用，在此处设定一个二值逻辑表以便突触所识别信号在网络中的优势，假设模型有5个输入神经元和5个输出神经元，中间连接的是5\*5的突触矩阵。初始识别的模型为00110，后续将可能的二值逻辑组合输入全部罗列出来，以便于突出这一模型（00110）相比于其他模型的输出优势。所列的表如2.1表所示：

表2.1 逻辑表

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
|  | **模型1** | **模型2** | **模型3** | **模型4** | **模型5** | **模型6** | **模型7** | **模型8** | **模型9** |
| **像素1** | **0** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| **像素2** | **0** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 |
| **像素3** | **1** | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 |
| **像素4** | **1** | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 0 |
| **像素5** | **0** | 0 | 1 | 0 | 1 | 0 | 1 | 1 | 0 |
| **输出** | **2** | 0 | -1 | 1 | 0 | 1 | 0 | 1 | -1 |
|  | | | | | | | | | |
|  | **模型10** | **模型11** | **模型12** | **模型13** | **模型14** | **模型15** | **模型16** | **模型17** | **模型18** |
| **像素1** | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 |
| **像素2** | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 | 0 |
| **像素3** | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 |
| **像素4** | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 |
| **像素5** | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| **输出** | -2 | 0 | -1 | 0 | -2 | 1 | 0 | -1 | -2 |
|  | | | | | | | | | |
|  | **模型19** | **模型20** | **模型21** | **模型22** | **模型23** | **模型24** | **模型25** | **模型26** | **模型27** |
| **像素1** | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| **像素2** | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 |
| **像素3** | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 |
| **像素4** | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 |
| **像素5** | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 |
| **输出** | 0 | -1 | -1 | -1 | 1 | 0 | -2 | -3 | -1 |
|  | | | | | | | | | |
|  | **模型28** | **模型29** | **模型30** | **模型31** | **模型32** |  |  |  |  |
| **像素1** | 1 | 1 | 1 | 1 | 1 |  |  |  |  |
| **像素2** | 1 | 1 | 1 | 1 | 1 |  |  |  |  |
| **像素3** | 0 | 1 | 1 | 1 | 1 |  |  |  |  |
| **像素4** | 1 | 0 | 0 | 1 | 1 |  |  |  |  |
| **像素5** | 1 | 0 | 1 | 0 | 1 |  |  |  |  |
| **输出** | -2 | -1 | -2 | 0 | -1 |  |  |  |  |

由上表可知，只有当输入的模型为与存储的模型保持一致的时候，才能保证输出结果为最大值，这一输出的结果将体现在后续输出神经元的膜电位上，膜电位越高会体现到输出神经元轴突发送的脉冲激发频率上，由于输出神经元间的横向抑制，发出脉冲频率越高的输出神经元将会对发出脉冲频率低的输出神经元起到很强的抑制作用，进一步降低发送脉冲频率低的输出神经元的输出脉冲频率。

突触权重的不断更新是人类或动物学习新事物最为重要的生物行为，当在短时间内接受到突触前神经元发送的脉冲和突触后神经元发送的脉冲（输出神经元被激活的信号）时，突触才会改变现有的状态，进入到存储模式中。突触权重的更新过程可分为三步即读权重状态、按规则修改突触状态和将修改后的权重状态写入到寄存器中。在简单的两层神经网络中，根据纵向排列的输入神经元与横向排列的输出神经元发送的脉冲信号解锁对应的突触，为了符合之前对脉冲时间依赖可塑性的合理性解释，突触权重调整的过程即为初始权重值倍增的一个过程。为了完成一个模型或多个模型的学习任务，输入神经元与输出神经元之间交叉网络节点上的突触在学习过程中是被随机选择出来的，只有纵向一列的突触和相连的输出神经元在对某一模型的学习过程中“获胜”时，输出神经元发送突触后脉冲，对应的纵向突触阵列上的所有突触才会保存现有的状态。

**4输出神经元**：

输出神经元可以依次接受纵向突触传来的突触权重信号，权重值包含抑制信号权重和兴奋信号权重。神经元膜电位在没有接受到刺激的时候呈现初始值膜电位，所有神经元的初始值膜电位可发送相同频率的脉冲信号，当神经元接受到来自兴奋性突触的权重值之后，该神经元的膜电位呈现去极化现象，膜电位会增加，发送的脉冲频率会增加；当神经元接受到来自抑制性突触的权重值之后，神经元的膜电位会呈现超极化，膜电位会降低，而此时输出神经元发送脉冲的频率会降低。每个神经元也会接受到同一区域其他神经元发送过来的横向抑制信号，在没有接受到其他神经元发送的横向抑制信号时，神经元膜电位只会受来自突触权重传递的膜电位变化影响，每个神经元轴突上发送的脉冲频率也只会响应现阶段的膜电位变化。当接受到来自其他输出神经元发送的横向抑制信号之后，输出神经元会优先处理这一横向的抑制信号，发送的脉冲频率会大幅度降低。输出神经元还可以发送突触后脉冲，以方便突触状态的更新，横向的输出神经元阵列通过前期的随机性选择，优先满足输出神经元发送突触后脉冲的输出神经元会优先发送突触后脉冲以及横向抑制信号，确保这一纵向突触阵列和相关的输出神经元学习到这一模型，并维持状态，其他输出神经元与相关的突触阵列保持空状态，以方便存储后续的输入模型。由图1.3可知，输出神经元的数量代表了这个神经网络可以学习多少种类的模型信息。

**2.1 硬件模型设计**

**2.1信号缓存端**

信号缓存端顶层文件的输入输出端口为：

输入端口：CLK（系统时钟端）、RST\_N（系统复位端）、需要识别的数据输入端（In\_cnt:4bit）、学习使能端（Learn）、随机模型输入端（random\_model:25bit）。

输出端口：25个1位像素数据输出端（output\_model）。

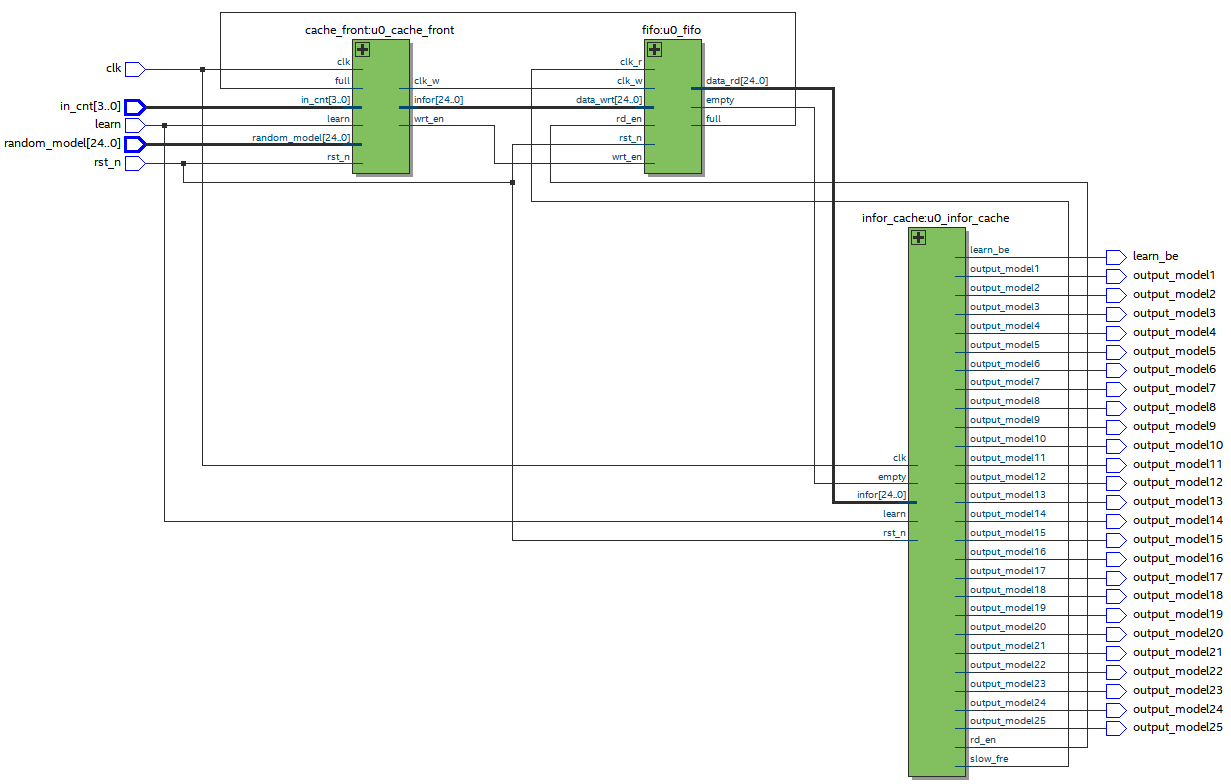


图2.1 信号缓存端系统图

由图2.1所示的信号缓存端系统图可知，这一综合模块由3个小模块构成，分别为缓存前模块（Cache\_front）、异步FIFO模块以及缓存后模块（infor\_cache）构成。

缓存前模块的作用是将输入的需要识别的模型转换为25位像素点值，然后将这一25位的信号传输出去，如果在短时间内没有需要识别的模型，这一模块会将输入的随机模型通过输出信息的25位端口输出出去。缓存前模块的另外一个作用是配置异步FIFO信号的写使能端（wrt\_en）和写时钟端（clk\_w）信号，为保证整个系统可以正常的工作，异步FIFO的写使能信号和写时钟信号与后续的读时钟信号和读使能信号保持一致，才可以保证异步FIFO的正常工作，不被写满。缓存前模块输入输出端口示意图如图2.2所示，以及这一模块的逻辑波形图如图2.3图所示。

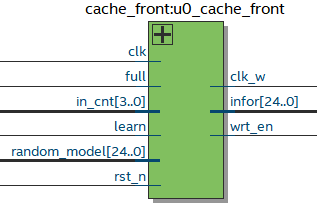


图2.2 缓存前模块示意图

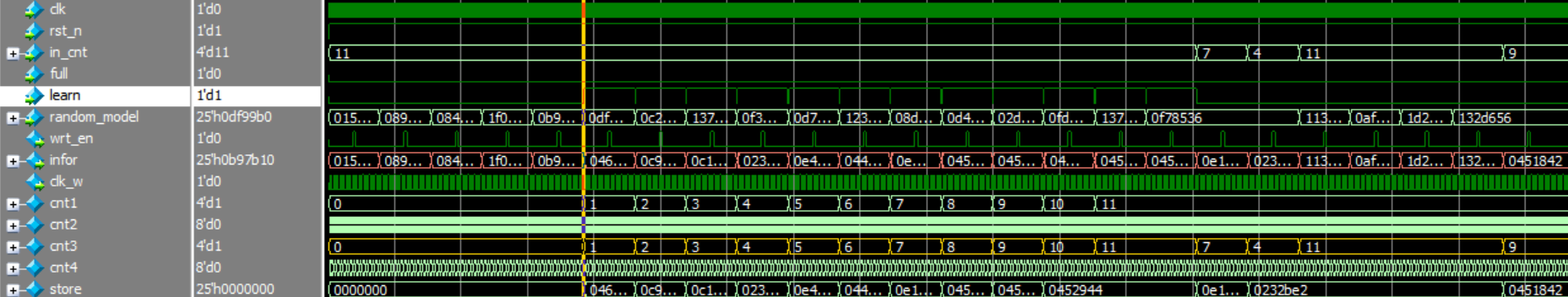


图2.3 缓存前模块的逻辑功能示意图

由图2.3所示缓存前模块的逻辑功能可知需要识别的数据输入端In\_cnt为保证逻辑功能的正常使用，这一端口需长期保持输入的数据为11，原因在于这一端口的输入数据为0—9，当有输入从这一端口输入时，在模块内部需要一个寄存器来保存寄存这一值，这一4bit寄存器复位前的初始化值是0，为了不与这一初始值产生逻辑冲突，我在这一模块中设定当输入数字10时识别的数字为0。除了输入的1-10的10个数据之外，当这一4位的端口输入为数字11时，缓存前模块端口将会输出随机数端口输入的随机数。

异步FIFO模块是缓存输入数据的，这一模块内部例化了一个双端口的RAM模块，为缓存有效的数据开拓内存空间。除此以外，这一模块还可以有效的处理输入数据和内部信号处理过程中时钟的不匹配性问题。由模块的端口定义可知，当写满信号为低电平（full高电平有效）、写时钟的上升沿且写使能为高电平有效时，将数据写入到异步FIFO模块中，当写满信号为高电平时，异步FIFO模块将不再接受数据。当读空信号（empty）为低电平，即FIFO模块内部还有缓存数据时，且在写时钟的上升沿写使能信号为高时，异步FIFO模块输出最先输入的数据。异步FIFO模块的端口示意图如2.4图所示，异步FIFO模块的逻辑功能如图2.5图所示。

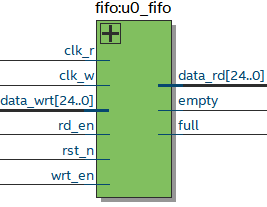


图2.4 异步FIFO模块示意图

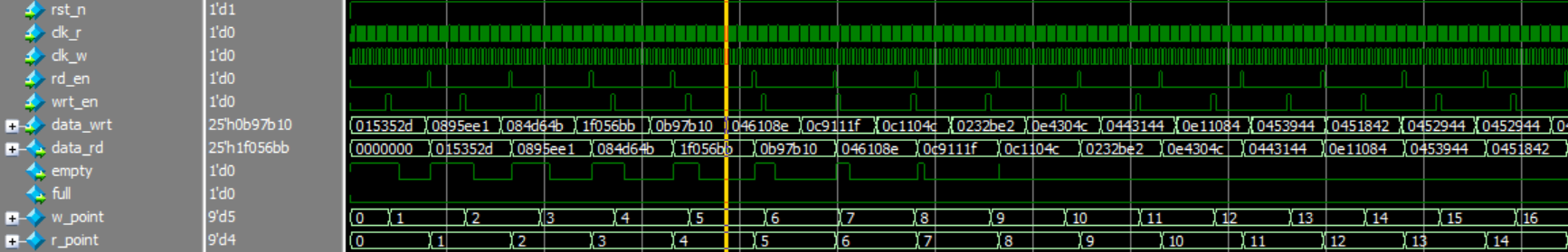


图2.5 异步FIFO模块的逻辑功能示意图

缓存后模块的作用是将异步FIFO存储的25位像素点数据在特定的时钟内将每一位数据依次在25个一位的输出端口输出出去，由2.6图所示的缓存后模块示意图可知其端口结构。此外这一模块还控制异步FIFO输出的读时钟信号，以及依据异步FIFO的读空信号控制异步FIFO模块读使能信号。由2.7图所示的缓存后模块逻辑功能示意图1可知在读空信号为低时，这一模块发送读使能信号，将缓存到FIFO模块的数据读出，再由2.8图所示的缓存后模块逻辑功能示意图2可知，这一模块可以有效的将读出的25位像素点数据按特定的逻辑时钟依次由低位到高位从25个一位的输出端口将数据输出出去。

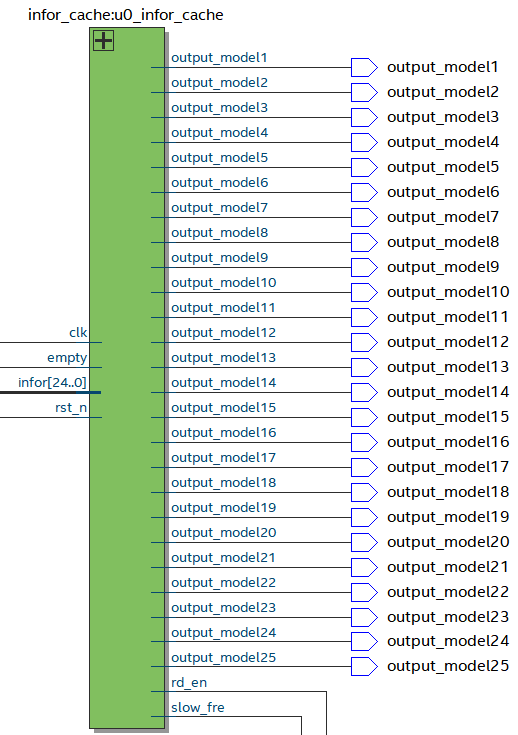


图2.6 缓存后模块示意图

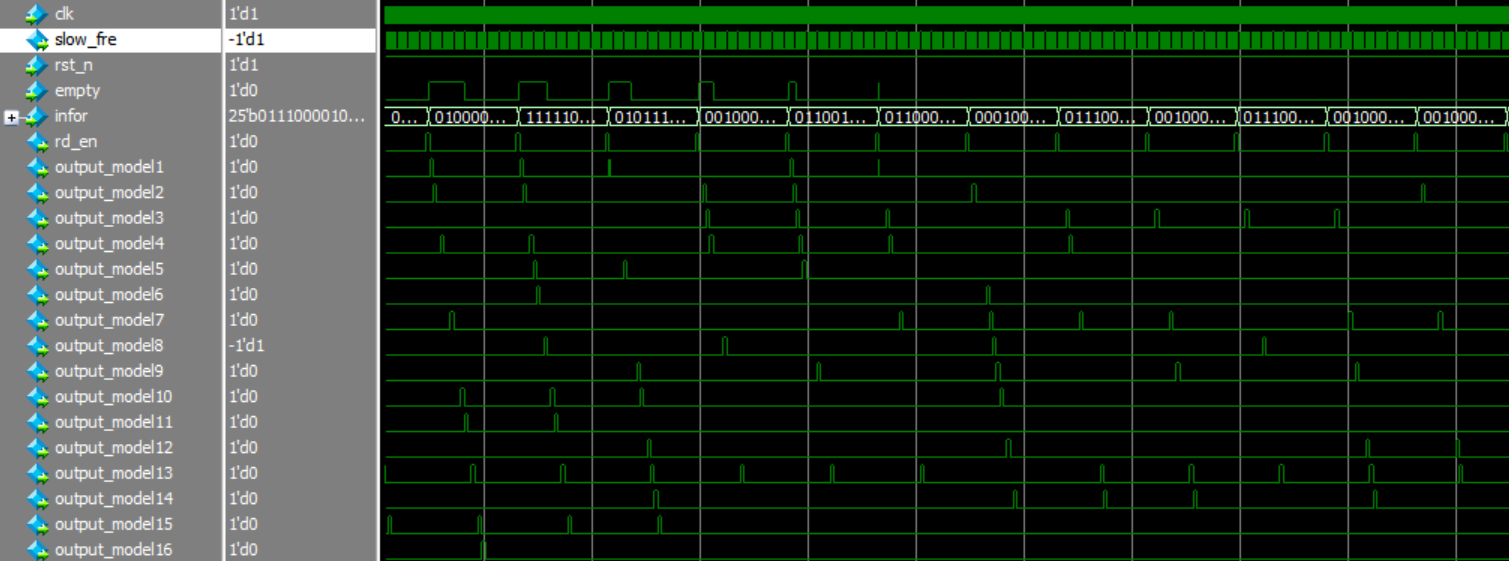


图2.7 缓存后模块逻辑功能示意图1

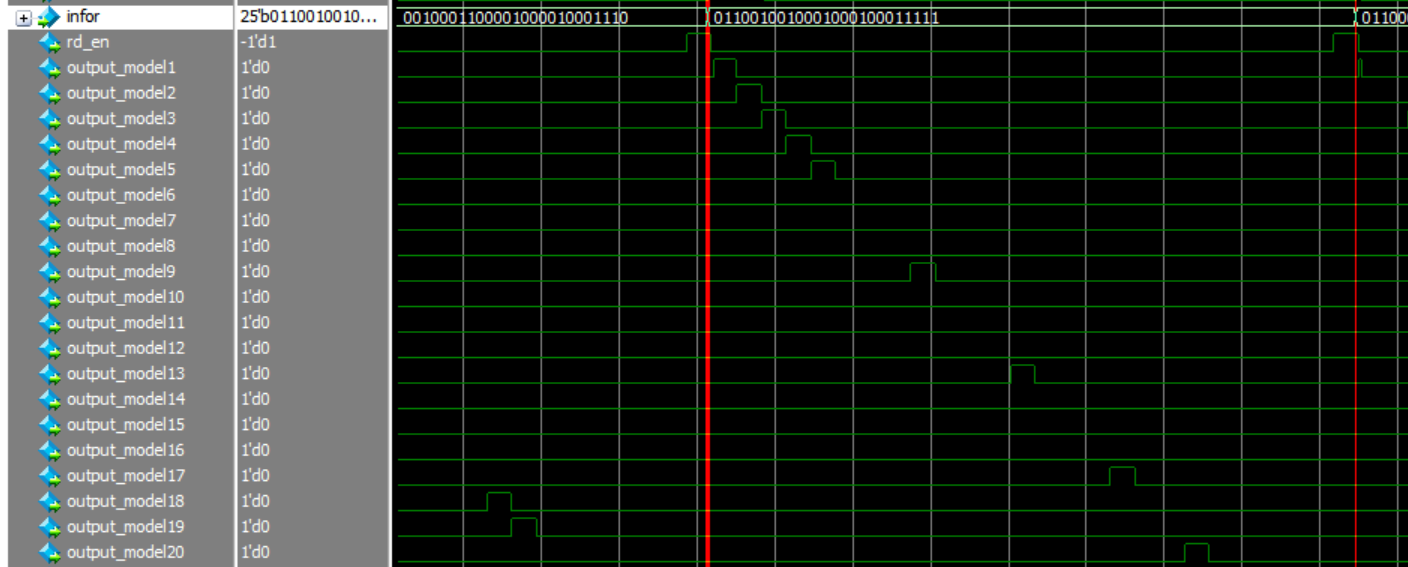


图2.8 缓存后模块逻辑功能示意图2

**2.1输入神经元**

输入神经元输入输出端口为：

输入端口：CLK、RST\_N、数据接收端（input\_model:1bit）;

输出端口：脉冲发送端（out\_spike:1bit）。

输入神经元模块是系统中最为简单的一个模块，该模块通过判定数据接收端口input\_model的输入信号，决策是否在脉冲发送端发出脉冲信号。数据接收端连接的是信号缓存端的输出模型端口，在系统中例化了25个输入神经元模块，脉冲发送端口连接的是突触的pre端，这一端口类似于神经元的轴突，给后续的突触发送脉冲信号。输入神经元的模块示意图如2.9图所示，输入神经元模块的逻辑功能示意图如2.10图所示。

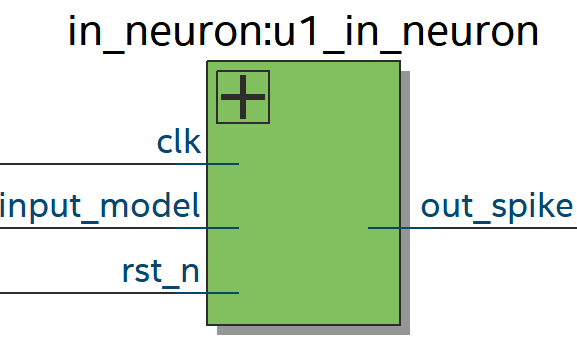


图2.9 输入神经元的模块示意图

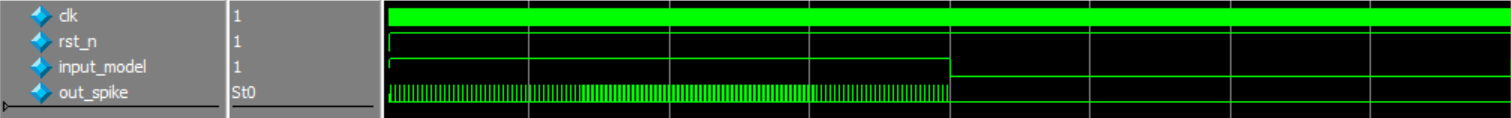


图2.10 输入神经元模块的逻辑功能示意图

**2.2突触**

突触的输入输出端口为：

输入端口：CLK、RST\_N、pre（突出前神经元输入的脉冲信号）、random\_weight（随机权重输入端口）、learn（学习使能端）；

输入输出端口：post（突出后神经元输入脉冲信号）。

本设计在突触模型构建的过程中设定了一个有6个状态的状态机，依据post端和pre端输入的脉冲信号，修改现有状态机的状态。突触端口的结构示意图如2.11图所示。突触内部设定状态机的状态如2.12图所示：

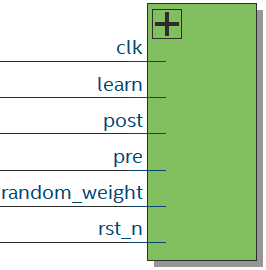


图2.11 突触端口的结构示意图

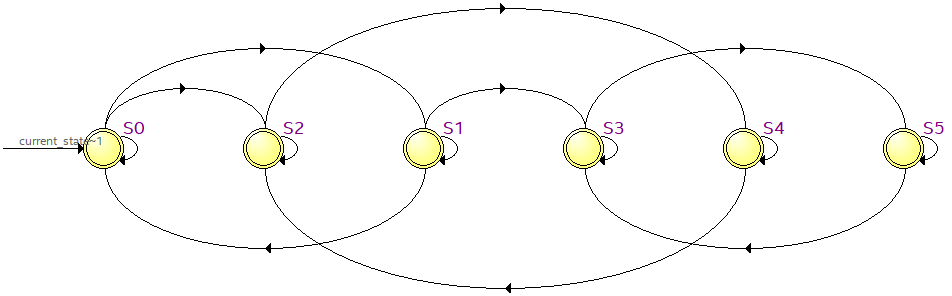


图2.12 突触内部设定的状态机示意图

状态机各个状态的描述：

S0:初始化状态，突触现处于没有起作用的状态，如果在学习使能端（learn）为高电平时等待突触前神经元输入的脉冲信号进入状态S1，没有接受到突触前脉冲的信号而接收到突触后脉冲的信号时，将进入状态S2。此时输入输出端口的post端会在pre端为高电平时输出在随机权重输入端口输入的1位权重值。

S1:当突触接受到突触前神经元发送的脉冲时，进入这一状态，在该状态需在学习使能端（learn）为高电平时，等待突触后神经元输入的脉冲信号进入状态S3。在这一状态输入输出端口的post端口会在pre端为高电平时输出在随机权重输入端口输入的1位权重值。

S2:突触在S2状态被激活，此时突触将存储模式0，决定突触存储模式0的关键在于该突触在学习使能端为高时，没有接收到突触前神经元发送的脉冲信号而接收到突触后神经元发送的脉冲信号。在这一状态输入输出端口的post端口会在pre端为高电平时输出模式0（pre端口为低电平时，该端口保持高阻态状态）。

S3:突触在S3状态被激活，此时突触将存储模式1，决定突触存储模式1的关键在于该突触在学习使能端为高时，既接收到突触前神经元发送的脉冲信号又接收到突触后神经元发送的脉冲信号。在这一状态输入输出端口的post端口会在pre端为高电平时输出模式1。

S4:当学习使能端为高电平时，已经进入S2状态的突触会进入S4状态，原因在于当学习使能端为高电平时，该突触已经学习完毕，为不妨碍其他突触和输出神经元的学习，该突触将进入S4状态，在S4状态时输入输出端口的post端口不会受pre端的影响，长期保持高阻态。当学习使能端为低电平时，已经进入S2状态的突触不会进入S4状态，学习使能端由高电平转换为低电平时，S4状态将回到S2状态。

S5: 当学习使能端为高电平时，已经进入S3状态的突触会进入S5状态，原因与S2状态进入S4状态的原因一致。在S5状态时输入输出端口的post端口也不会受pre端的影响，长期保持高阻态。当学习使能端由高电平转换为低电平时，S5状态将会回到S3状态。状态S4和状态S5是已经完成学习的一个静息状态。如2.13图所示为突触逻辑功能示意图。

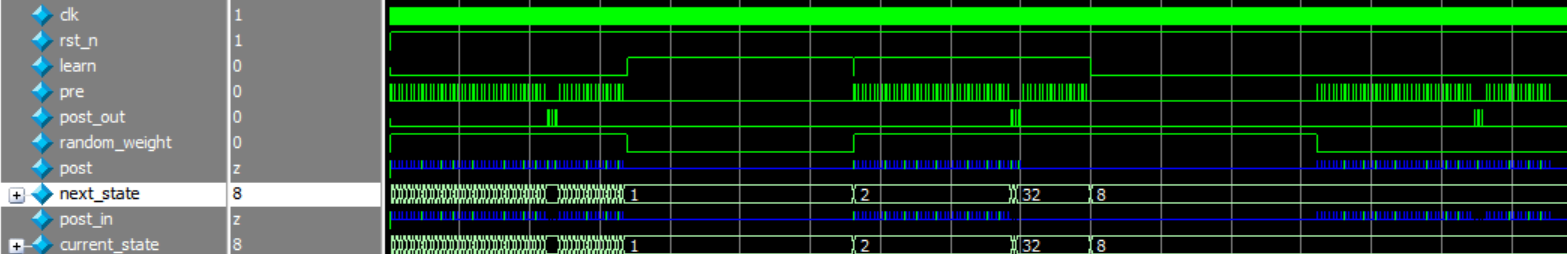


图2.13突触的逻辑功能示意图

突触是决定整个网络架构是否可以完成学习和分类任务的核心模块，也是本设计的创新点，了解架构中突触的功能，就可以基本了解此次设计的核心思想了，尤其是突触模块对突触前神经元和突触后神经元发送脉冲的处理过程。

**2.4输出神经元**

输出神经元的输入输出端口为：

输入端口：CLK、RST\_N、学习使能信号（learn）、接受横向抑制的信号端口（inhibition）；

输出端口：输出横向抑制的信号端口（out\_inhi）、轴突脉冲输出端口（spike）；

输入输出端口：突触后神经元连接端口（post\_weight）。

输出神经元是网络完成学习和分类任务的另外一个关键模块，作用一是整合纵向突触的输出；二是在满足激发条件的情况下发送突触后神经元的脉冲信号，调整纵向所有与之连接突触的状态；三是发送横向抑制信号，保证横向其他输出神经元在对某一模型的学习和分类过程中竞争失败；四是发出神经元轴突的脉冲信号，该信号是判别输入模型是否识别成功的标志信号。如2.14图所示为输出神经元的端口结构示意图，如2.15图所示为输出神经元逻辑功能示意图，该图可详细展示输出神经元工作端口在各个阶段的逻辑功能输出情况。

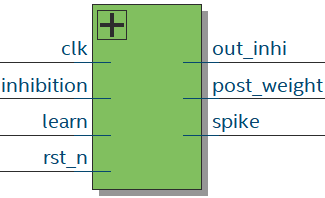


图2.14输出神经元的端口结构示意图

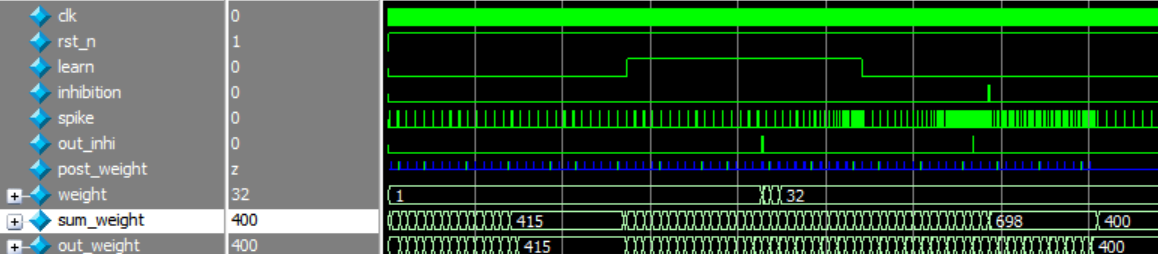


图2.15 输出神经元的逻辑功能示意图

输出神经元在起到整合纵向突触的作用时，输入输出端口post\_weight将会接受25个纵向突触发送的权重信号，此时的post\_weight端会保持高阻态，等待突触信号的输入，输出神经元的模块内部会设定相应的寄存机器，寄存这一输入的信息，膜电位寄存器（sum\_weight）当检测到有输入信息时，会进行累加求和运算。膜电位的累加过程会伴随突触状态的改变而发生变化，当纵向突触的状态保持在S0或S1的状态时，膜电位的累加幅度较小，当与之连接的突触进入S2或S3状态时，膜电位的累加幅度会增大，这样即映射了之前突触可塑性的变化过程是一个不断增大的理论设定，又可以很大程度的反映到轴突脉冲的频率变化上。同时，膜电位寄存器在突触的影响下累积的过程中，检测到输入输出端口post\_weight输入高电平时，会做累加计算，输入低电平时，会做减法运算，模拟突触输入的抑制信号，其他情况post\_weight端会保持为高阻态。膜电位寄存器也会检测输入的横向抑制信号，这一信号对膜电位的控制优先级较高，要高于突触整合累加的过程，当横向抑制信号为高电平时，膜电位寄存器寄存的值会减掉一个定值，使其在后续的竞争中失去竞争胜利的机会。其他原因还在于膜电位寄存器寄存的值是轴突发送脉冲频率、抑制端口发送横向抑制信号以及发送突触后神经元信号的判断依据。

输出神经元在起到发送突触后神经元脉冲信号的作用时，这一模块里配置的寄存会检测膜电位的计数状态，同时在输入的学习使能端信号为高电平的时候且膜电位超过设定值时，模块内部配置的寄存器会由低电平信号转变成高电平信号一段时间。当输入输出端口post\_weight检测到这一寄存器的状态发生转变时，该端口会转变为输出状态，输出一定时间的高电平。

输出神经元在发送横向抑制信号时，也同样是内部的寄存器在判断膜电位寄存器的计数值，当膜电位的计数值符合某个范围时，输出端口out\_inhi会发送一定时间的高电平信号。需要注意的是横向抑制信号是不受学习使能端信号的影响。

输出神经元在发出神经元轴突的脉冲信号时，主要依据的也是膜电位寄存器寄存的值。通过对膜电位寄存器寄存的数值进行简单的减法和移位运算（CNTmax = （constant1 - sum\_weight） >> constant2），使CNTmax成为计数器CNT计数的最大值，每当计数器计数的值等于1时，输出端口spike由低电平转换为高电平（其他情况保持低电平），这就可以有效的将突触的输入值转换成输出神经元轴突输出脉冲频率变化状态，当膜电位不断的累加，轴突输出的脉冲频率会不断增大，由图2.15可知spike端口输出的脉冲会越来越密集。

系统的设计过程更多的体现为对阿拉伯数字5\*5像素的识别过程，识别的图像如2.16图所示。最后的系统输出则体现为10个输出神经元轴突输出的脉冲频率上，不同的神经元通过学习会对不同数字进行一个识别过程，当某一个输出神经元与其连接的纵向突触学习了数字3的模型，在识别的过程中其轴突输出的脉冲频率会高于其他神经元轴突输出的脉冲频率，具体的端口示意图如2.17图所示。

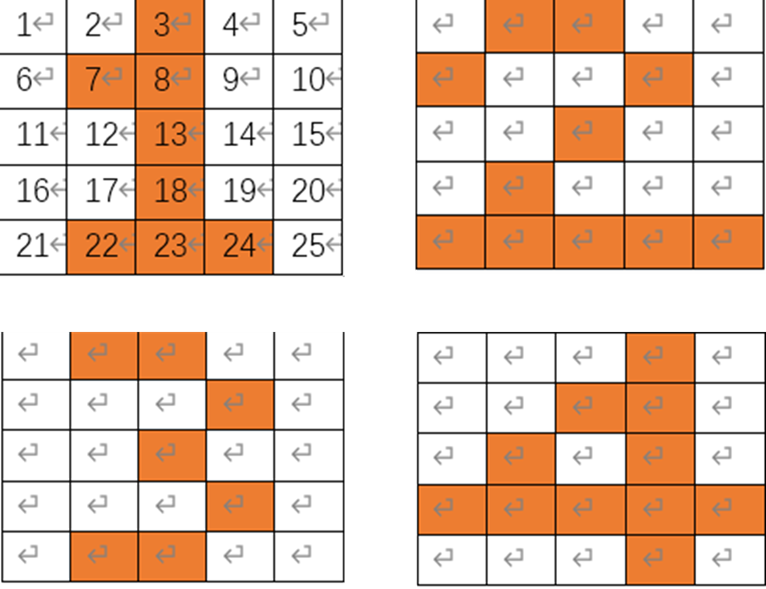


图2.16 识别的图像

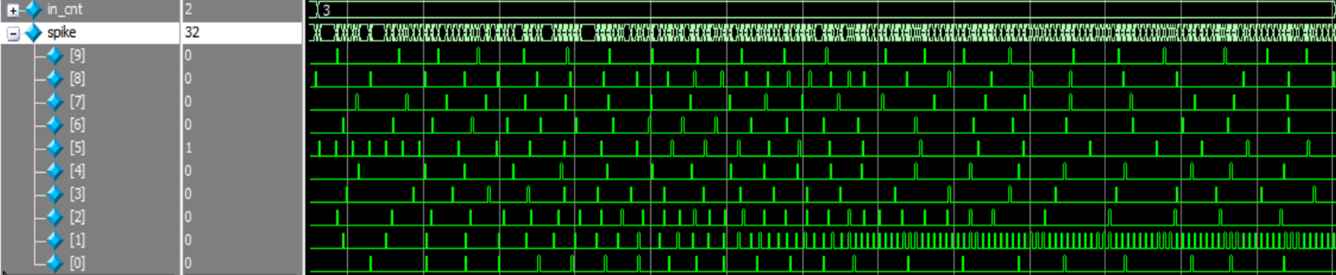


图2.17 10个输出神经元轴突输出的逻辑功能示意图