

实验名称: 全加器和奇偶判断 姓名: 潘谷雨 学号: 3220102382

(2) 显示结果

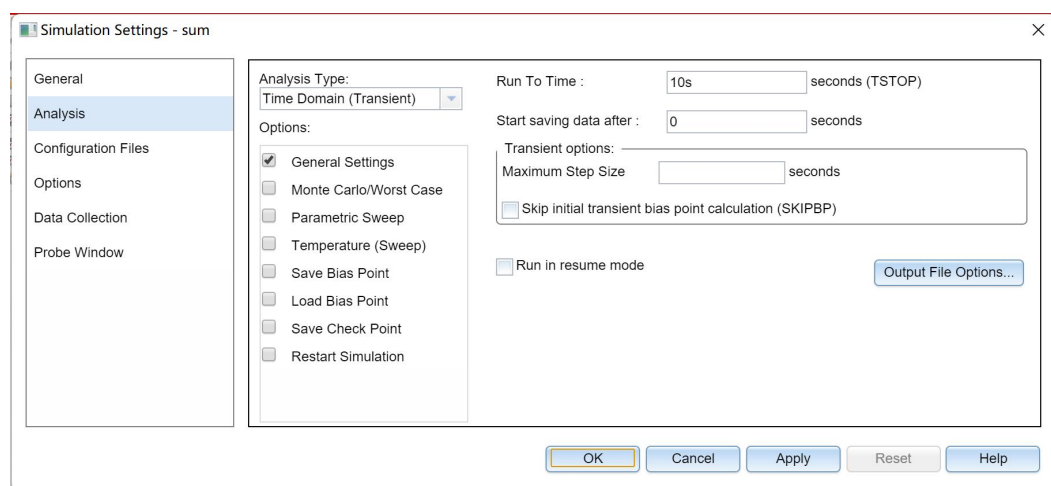
将输出 Ci、S 接至 LED 灯，真值表如图 1.2 所示。

A	B	Ci-1	Ci	S
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1

图 1.2 一位全加器真值表

(3) 瞬态分析设置

设置瞬态分析（Time Domain (Transient)），参数为 Run To Time =10s。



(4) 运行仿真分析程序

(5) 查看仿真结果

在 Probe 程序中输入与输出波形，结果如图 1.3 所示。

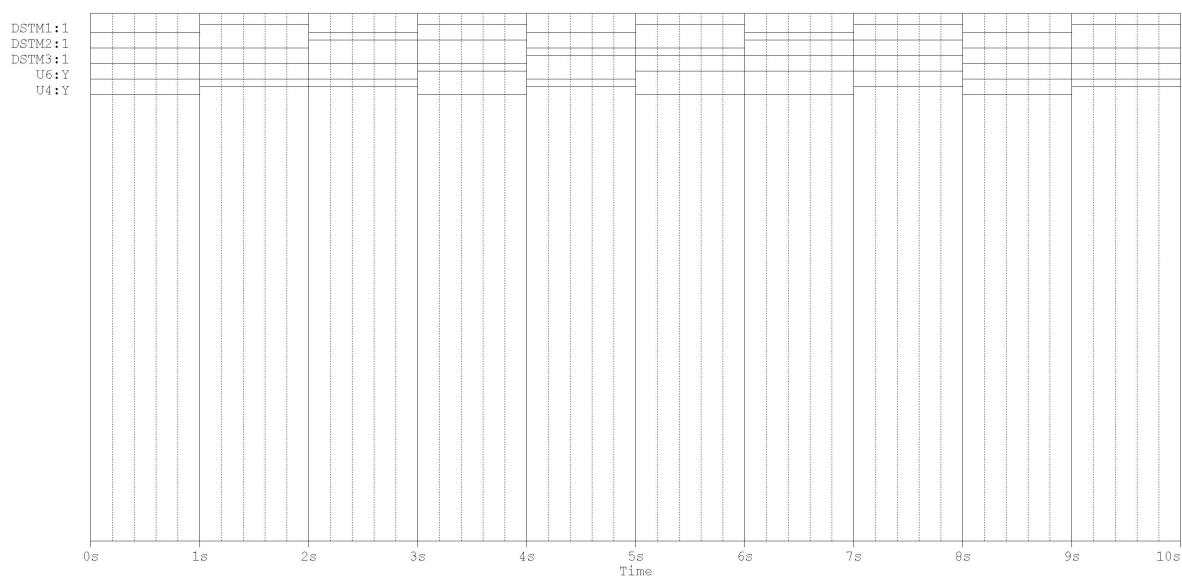


图 1.3 一位全加器波形图

2.数码奇偶位判断电路

(1) 搭建电路

输入 A、B、C、D，要实现数码奇偶位判断，则输出满足： $Z = A \oplus B \oplus C \oplus D$ 。如图 2.1 搭建电路，74LS00 与非门芯片、74LS55 或非门芯片的 14 脚 Vcc 接 5V 高电平，7 脚接地。

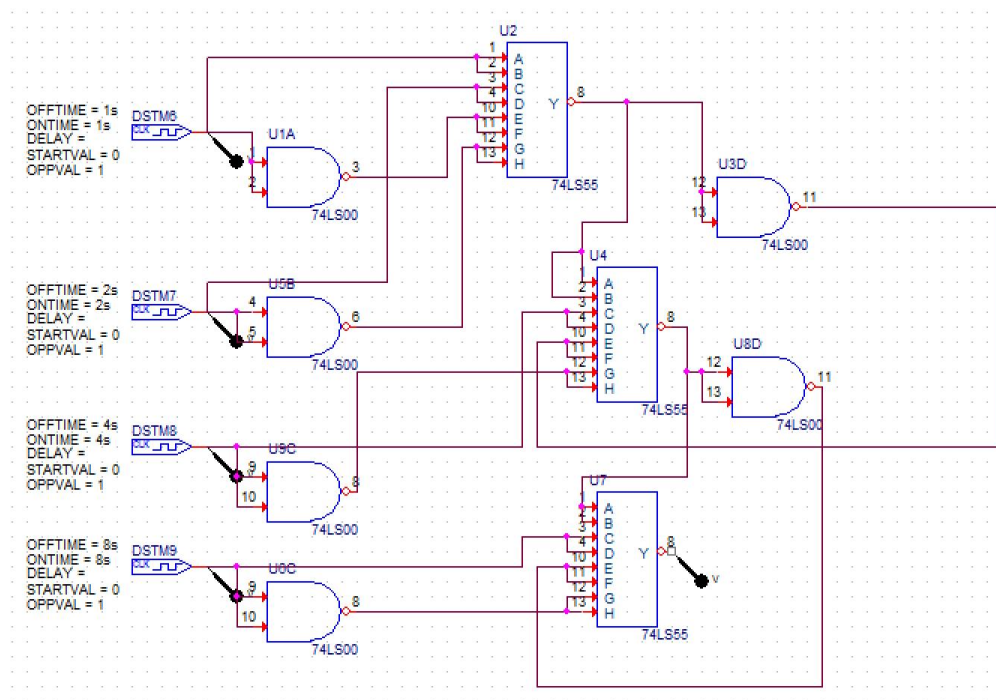


图 2.1 数码奇偶位判断电路图

(2) 显示结果

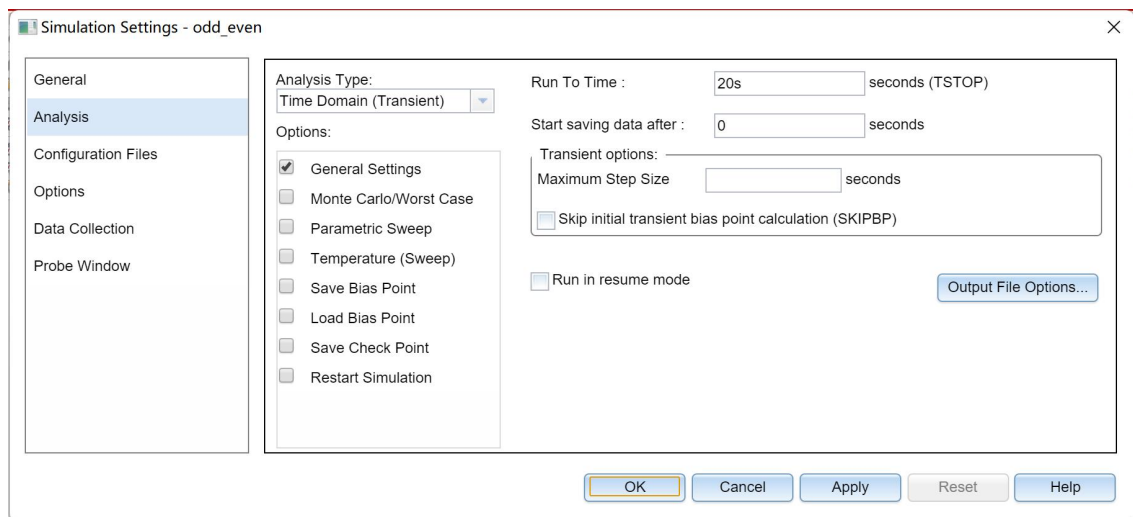
将输出 Z 接至 LED 灯，真值表如图 2.2 所示。

A	B	C	D	Z
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	0	0
0	0	1	1	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1
0	0	0	1	1
1	0	0	1	0
0	1	0	1	0
1	1	0	1	1
0	0	1	1	0
1	0	1	1	1
0	1	1	1	1
1	1	1	1	0

图 2.2 数码奇偶位判断路真值表

(3) 瞬态分析设置

设置瞬态分析（Time Domain (Transient)），参数为 Run To Time = 20s。



(4) 运行仿真分析程序

(5) 查看仿真结果

在 Probe 程序中输入与输出波形，结果如图 2.3 所示。

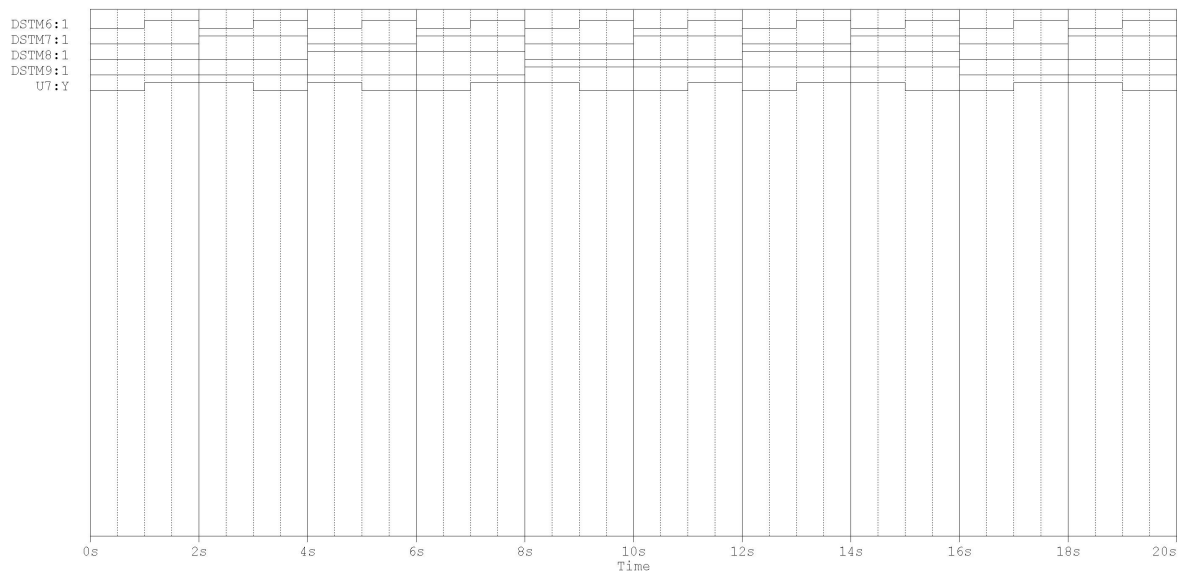


图 2.3 一位全加器波形图

实验体会：

全加器与奇偶判断均有较多异或逻辑，在做第二个实验时不用全部拆线，只需要在第一个实验的输出 Si 基础上与新输入 D 作异或即可，这样能够大大缩减实验电路搭建时间。实验中没有出现故障，通过遍历不同输入，观察输出结果，可以直观验证其正确性，这个过程有助于巩固对二进制加法原理的理解，同时也提高了对电路测试方法的掌握。