



A10 APPLICATION HARDWARE DESIGN CHECKLIST

版本号 (V1.00)
日期 (2012-3-15)



All Winner Technology CO., Ltd.

项目	内容	备注
版本	V1.00	基于 PAD_A10_STD_V1_23
作者	All Winner Technology CO., Ltd.	YT
说明	1.对相关描述内容是否有处理 : Done 2.签核人员: Check 3.签核日期: Data 4.其他描述 (包括异议, 建议, 备注): Note	Done 项打 √ 表示符合描述内容, 打 X 表示不符合描述内容。



SCH/PCB 信息									
SCH 名称			PCB 名称						
SCH 者			PCB 者						
序号	检查内容	选项	SCH			PCB			备注
			Check	Done	Data	Check	Done	Data	
1	CPU & Beside CPU	√							
2	POWER	√							
3	DRAM	√							
4	USB	√							
5	HDMI	√							
6	AUDIO	√							
7	KEY	√							
8	CSI	√							
9	EMAC								
10	LCD	√							
11	NAND FLASH	√							
12	CARD	√							
13	TV	√							
14	WIFI	√							
15	SPDIF								
16	GPS	√							
17	MOTO	√							
18	ALS								
19	G-SENSOR	√							
20	I2S								
21	TP	√							
22	3G	√							
23	PCB COPPER	√							



目录

1. CPU & Beside CPU	5
2. POWER.....	6
3. DRAM.....	10
4. USB.....	19
5.HDMI.....	20
6.AUDIO.....	20
7.KEY	23
8.CSI	24
9.EMAC	24
10.LCD.....	24
11.NAND FLASH.....	26
12. CARD	27
13.TV	27
14.WIFI.....	27
15.SPDIF.....	27
16.GPS	28
17.MOTO	28
18.ALS	28
19.G-SENSOR.....	29
20.I2S	29
21.TP.....	29
22.3G.....	29
23.PCB COPPER.....	29



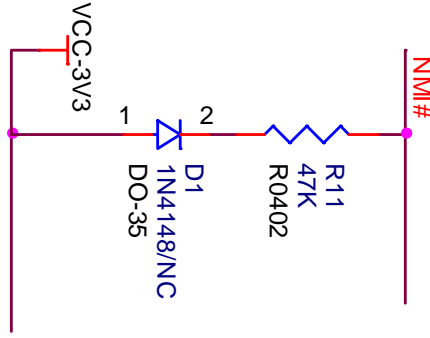
1. CPU & Beside CPU

SCH				
No.	Item	Done	Check / Date	Note
1	CSI1-VCC 在不使用的情况是否将其与 VCC-3V3 网络连接。			
2	TVIN 功能在不使用时将 TVIN 接地，并将 TVIN 电源接到 DRAM-VCC (1.5V)，否则将 TVIN 电源接到 2.5V 上。			
3	SATA 功能在不使用时将信号线悬空，并将 SATA 电源接到 DRAM-VCC (1.5V)，否则将 SATA 电源接到 2.5V 上。			
4	EMAC 功能不使用时将 GPIO-PA 口上不使用的 pin 接地，软件上要确定 EMAC 功能关闭，否则主控发烫。			
5	GPIO 分配请按照标案图分配，切勿随意调整，新增功能请与相关人员沟通。			
6	如果不使用电阻触摸屏, 电阻屏接口上的 4 个电容不贴。			

PCB				
No.	Item	Done	Check / Date	Note
1	CPU package 与 datasheet 是否一致。			
2	Bypass Cap 是否靠近相应 pin 脚。			
3	Crystal 电路是否接近 IC。			
4	中间的接地焊盘建议用“井”字连接，以减小过孔的阻抗。 			



2. POWER

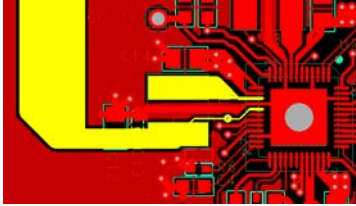
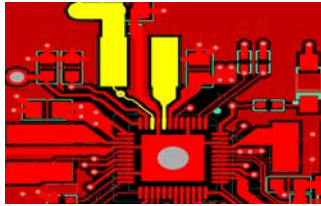
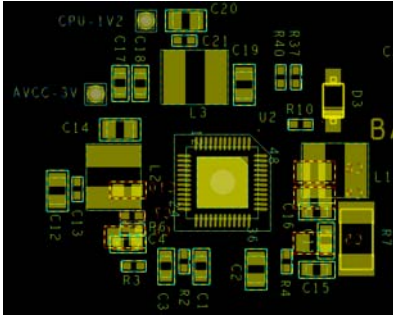
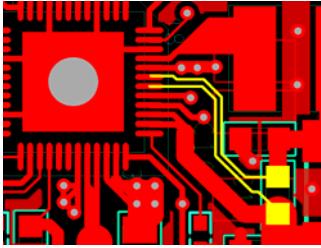
SCH				
No.	Item	Done	Check / Date	Note
1	电感感量为 4.7uH/2.2uH，注意饱和电流要选择为最大充电电流的 1.5 倍，直流电阻小于 100 毫欧。			
2	检测电阻要选择 1%精度的 30 毫欧精密电阻，封装要为 0805 以上。			
3	ACIN-5V 和 USBVBUS 与输入电容之间串联 1 欧电阻，防止走线寄生电感跟陶瓷电容产生谐振电压，造成 IC 损坏。			
4	IRQ 需要通过 47K 和普通二极管连接到 3.3V，二极管正极和 3.3V 连接，负极和 IRQ 连接（所选用的二极管在环境温度 75 度时反向漏电要小于 5uA）。 			
5	（ACIN、VBUS）输入电容尽量靠近 IC 管脚处，若输入走线过长（>=400mil），在插座输入端需要增加一个 4.7uF 以上的陶瓷电容，同样需要串联电阻。			
6	PMU 的 GPIO0/1/2/3 这四个 PIN 脚只做 GPIO-OUTPUT 功能，且 GPIO2/3 是 OPEN-DRAIN 结构，使用时需要外部上拉。			
7	如果没有ACIN的设计，是否要把ACIN-5V和USBVBUS短接，将ACIN-5V上的1欧姆电阻串电容到地的电阻和电容去掉。			
8	DRAMVCC/VCC-3V3选用DCDC是否有软起动，软启动时间大于0.5m小于1.5mS。			
9	若需要复位功能，最好使用 N_OE 复位方式。通过 N_OE 的复位和 PWROK 复位的区别在于：N_OE 复位是将 PMU 系统复位了，涉及到的输出都恢复成默认值，PWROK 复位只复位主控，假如 PMU 输出供电电压在复位主控前就有所改变，复位以后可能不能正常进入系统，除非完全断电不管是 N_OE 复位还是 PWROK 复位，PWROK 都是要			



	和主控的 RESET 管脚直接连接。			
10	IC 底层地保持一片完整的大地，以便 IC 的散热，至少预留 600mil *600mil 面积。			
11	3G 模块供电要从电池检测电阻和电感之间连接点抽取，右图 CHPOWER 网络。			
12	对于 9.7”及以上屏的方案，需要在 ACIN 和 BAT 做外部通路，防止 PMU 承受过大电流而损坏。			
13	对于 WIFI 和屏背光或者屏偏置电路，其开关控制电路中软启动电路参数需根据不同情况修改，主要调整右图中 R99 的电阻值，默认为 100K，不宜大于 200K。			

PCB



	  <p>COREVDD CPUVDD</p>			
6	<p>PMU 布局。</p> 			
7	<p>电流检测电阻 LAYOUT 时 CHSENSE 和 BATSENSE 引线一定紧靠检测电阻两端，见图中高亮部分。</p> 			
8	<p>充电电路走线不要与其它走线平行。</p>			
9	<p>注意/IPSOUT/DRAMVCC/VCC-3V3 的走线宽度，使走线线宽$\geq 80\text{mil}$</p>			



3. DRAM

3.1 DRAM 四层 PCB

SCH				
No.	Item	Done	Check / Date	Note
1	CPU端DRAM VCC Power旁路电容必须不少于1x4.7uF + 8x1uF。			
2	CPU端DRAM VCC与旁路电容相连接的过孔不少于10。			
3	DRAM端每片DRAM的VCC Power旁路电容必须不少于8x1uF。			
4	CK/CK#之间跨接一个 0402 封装 NC 电容。			
5	CK/CK#信号走线需要分别串联一个 22~33ohm 电阻。			
6	主控端 ODT 信号直接连接 DRAM 的 ODT 管脚。			
7	主控端 RESET 信号直接连接 DRAM 的 RESET 管脚。			
8	DRAM Vref 是对 DRAM VCC 分压获得，分压电阻为 2K 1%； 在主控端和 DRAM 端的每个 Vref 信号 Pin 都需要一个 0.1uF 的滤波电容。			
9	DDR3 ZQ 电阻在主控端和 DRAM 端都是分别连接，阻值为 240ohm 1%。			

PCB				
No.	Item	Done	Check / Date	Note
	Power			
1	主控端 DRAM VCC Power 滤波电容必须不少于 1x4.7uF + 4x1uF (0402)+4x0.1uF (0402) ，而且均匀分布。			
2	主控端 DRAM VCC Power Pin 至少保证一个过孔于电源平面相连接。			
3	主控端 DRAM VCC Power 滤波电容与电源平面相连接的过孔数量至少保证一个电容一个过孔。			
4	DRAM 端每片 DRAM 的 VCC Power 滤波电容必须不少于 3x1uF (0402)+5x0.1uF (0402)，而且均匀分布。			
5	DRAM 端每片 DRAM 的 Power Pin 与 Power 平面连接的过孔至少保证每两个 Power Pin 一个过孔。			
6	主控端 DRAM VCC 从电源输出到 Power Pin 的连接走线最小的等效线宽不得小于 30mils。			
	PCB Stack-Up			
7	DRAM 信号层叠分布满足 Sig-GND-PWR-Sig 的分层结构。			
8	DRAM 信号走线与参考平面的边沿距离满足>3H 要求。			

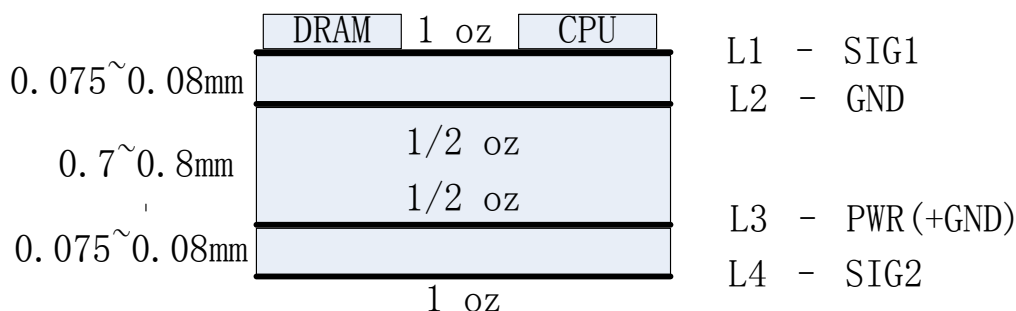


9	L1 与 L2 之间介质厚度满足 0.075~0.08mm。			
10	L3 与 L4 之间介质厚度满足 0.075~0.08mm。			
	Differential Signals Routing			
11	CK/CK# , DQS0/DQS0# , DQS1/DQS1# , DQS2/DQS2# , DQS3/DQS3# 差分信号对之间并行走线, 走线长度差 <10mils。			
12	CK/CK# , DQS0/DQS0# , DQS1/DQS1# , DQS2/DQS2# , DQS3/DQS3# 走线线宽为 4mils, 差分对线距为 6mils, 与其他信号线距 >12mils (3W)。			
13	CK/CK# , DQS0/DQS0# , DQS1/DQS1# , DQS2/DQS2# , DQS3/DQS3# 的差分阻抗满足 100ohm \pm 10%。			
14	DQS0/DQS0#, DQS1/DQS1#, DQS2/DQS2#, DQS3/DQS3# 走线相对 CK/CK# 走线的长度差在 \pm 400mils 范围之内。			
	Single End Data Signals Routing			
15	Data 信号只在 L1 走线。			
16	如果不是只走 L1, Data 信号换成到 L4 的信号总数不大于 8。			
17	如果 Data 信号换层, Data 信号从主控端到 DRAM 的过孔数量不能超过 2 个。			
18	如果 Data 信号出现在 L4, L3 有相应的 GND 平面覆盖 L4 的 Data 信号走线。			
19	如果 Data 信号出现在 L4, L3 对应的每一块 GND 平面与 L2 GND 平面相连的过孔数量不小于 4, 同时不小于所覆盖的 Data 信号数量。			
20	DQ0~DQ31, DQM0~DQM1 信号走线宽度不小于 5mils。			
21	考虑到 PCB 厂阻抗调整后, DQ0~DQ31, DQM0~DQM3 线距不小于 1 倍线宽 (阻抗调整后的线宽)。			
22	DQ0~DQ31, DQM0~DQM3 阻抗满足 50ohm \pm 10%。			
23	DQ0~DQ7, DQM0 相对 DQS0/DQS0# 走线长度差在 \pm 100mils 范围内			
24	DQ8~DQ15, DQM1 相对 DQS1/DQS1# 走线长度差在 \pm 100mils 范围内			
25	DQ16~DQ23, DQM2 相对 DQS2/DQS2# 走线长度差在 \pm 100mils 范围内			
26	DQ24~DQ31, DQM3 相对 DQS3/DQS3# 走线长度差在 \pm 100mils 范围内			
	Address/Control Signals Routing			
27	Addr/Ctrl 信号走线不能出现在 L2/L3。			
28	Addr/Ctrl 信号在 L1 走线区域在 L2 的投影需要被 GND 或者 PWR 平面所覆盖。			
29	Addr/Ctrl 信号在 L4 走线区域在 L3 的投影需要被 GND 或者 PWR 平面所覆盖。			



30	Addr/Ctrl 信号走线宽度不小于 4mils。			
31	考虑到 PCB 厂阻抗调整后，Addr/Ctrl 信号走线间的线距不小于 1 倍线宽（阻抗调整后的线宽）。			
32	Addr/Ctrl 信号走线阻抗满足 50ohm \pm 10%。			
33	Addr/Ctrl 信号走线长度相对 CK/CK#走线长度差在 \pm 600mils 范围内。			

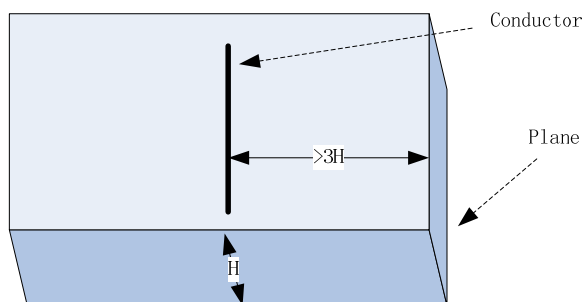
3.1.1 四层 PCB DRAM Layout Guide



典型 4 层结构

如上图所示，典型的 4 层结构，L1 摆放 CPU/DRAM 等器件，L4 只摆放小尺寸器件或者不摆放任何器件。DRAM 所有走线只出现在 L1/L4，L2 是完整的 GND 平面，L3 是 DRAM Power (+ GND)平面。

参考平面与走线关系：作为平面的 L2/L3 需要分别把 DRAM 在 L1/L4 的走线完全覆盖，而且保证走线离参考平面边沿的水平距离 $>3H$ （即 0.25mm 或者 10mils）。



CLK 信号走线：CLK 信号指 CK/CK#差分信号。差分对之间信号长度差 <10 mils，优先考虑平行走。差分阻抗控制在 100ohm \pm 10%。建议差分对走线宽度 4mils，差分对走线边沿距离 6mils，与其他走线的边沿距离 >12 mils（3W 原则）。

Data 信号走线：Data 信号包括 DQ0~DQ31，DOM0~DQM3，DQS0/DQS0#~DQS3/DQS3#。建议只走 L1（CPU/DRAM 器件面）。如果 L1 单面不能布通，可以通过过孔换层到 L4，但建议需要换层的信号总数不大于 8，而且 L4 的 Data 信号走线必须参考 GND 平面（在 Power 平面中间划出一块 GND 平面把 Data 信号包住），同时 L3 的每一块 GND 平面通过过孔与 L2 GND 平面相连接，每一块 GND 平面相连的过孔数量不得小于 4，同时也不得小于换层信号数量。在允许的情况下，可以采用附件 1 中的过孔隔离



All Winner Technology CO., Ltd.

办法，对每一个 Data 信号过孔进行隔离。走线长度控制和线宽线距控制如下表所示。

走线信号	线长参考信号	线长误差范围说明
CK/CK# , DQS0/DQS0# , DQS1/DQS1# , DQS2/DQS2# , DQS3/DQS3#	差分对信号相互参考	差分对走线长度误差 <10mils, 过孔数量相同, 并 行走线优先
DQS0/DQS0# , DQS1/DQS1# , DQS2/DQS2# , DQS3/DQS3#	CK/CK#	±400mils
DQ0~DQ7, DQM0	DQS0/DQS0#	±100mils
DQ8~DQ15, DQM1	DQS1/DQS1#	±100mils
DQ16~DQ23, DQM2	DQS2/DQS2#	±100mils
DQ24~DQ31, DQM3	DQS3/DQS3#	±100mils

走线信号	线宽/线距（边沿到边沿）	阻抗控制
DQS0/DQS0# , DQS1/DQS1# , DQS2/DQS2# , DQS3/DQS3#	线宽 4mils, 线距 6mils。与其 它信号线距>12mils (3W)。	100ohm±10%
DQ0~DQ31, DQM0~DQM3	线宽不小于 5mils, 线距不小 于 1 倍线宽（特别注意 PCB 板厂阻抗调整之后的线距不 得小于 1 倍线宽）	50ohm±10%

Addr/Ctrl 信号走线： Addr/Ctrl 信号包括 A0~A15 , BA0~BA2 , WE/CAS/RAS/CKE/CS/ODT/RST。Addr/Ctrl 信号走线长度参考 CK/CK#，长度差必须控制在±600mils 范围内。Addr/Ctrl 信号走线宽度不得小于 4mils，线距不得小于 1 倍线宽（**特别注意 PCB 板厂阻抗调整之后的线距不得小于 1 倍线宽**）。Addr/Ctrl 信号走线阻抗建议控制在 50ohm±10% 范围内。



3.2 DRAM 六层 PCB

SCH				
No.	Item	Done	Check / Date	Note
1	CPU端DRAM VCC Power旁路电容必须不少于1x4.7uF + 8x1uF。			
2	CPU端DRAM VCC与旁路电容相连接的过孔不少于10。			
3	DRAM端每片DRAM的VCC Power旁路电容必须不少于8x1uF。			
4	CK/CK#之间跨接一个 0402 封装 NC 电容。			
5	CK/CK#信号走线需要分别串联一个 22~33ohm 电阻。			
6	主控端 ODT 信号直接连接 DRAM 的 ODT 管脚。			
7	主控端 RESET 信号直接连接 DRAM 的 RESET 管脚。			
8	DRAM Vref 是对 DRAM VCC 分压获得，分压电阻为 2K 1%；在 主控端和 DRAM 端的每个 Vref 信号 Pin 都需要一个 0.1uF 的滤波电容。			
9	DDR3 ZQ 电阻在 主控端和 DRAM 端都是分别连接，阻值为 240ohm 1%。			

PCB				
No.	Item	Done	Check / Date	Note
	Power			
1	主控端 DRAM VCC Power 滤波电容必须不少于 1x4.7uF + 4x1uF(0402)+4x0.1uF(0402) ， 而且均匀分布。			
2	主控端 DRAM VCC Power Pin 至少保证一个过孔于电源平面相连接。			
3	主控端 DRAM VCC Power 滤波电容与电源平面相连接的过孔数量至少保证一个电容一个过孔。			
4	DRAM 端每片 DRAM 的 VCC Power 滤波电容必须不少于 3x1uF(0402)+5x0.1uF(0402)， 而且均匀分布。			
5	DRAM 端每片 DRAM 的 Power Pin 与 Power 平面连接的过孔至少保证每两个 Power Pin 一个过孔。			
6	主控端 DRAM VCC 从电源输出到 Power Pin 的连接走线最小的等效线宽不得小于 30mils。			
	PCB Stack-Up			
7	DRAM 信号层叠分布满足 Sig-GND-PWR-Sig 的分层结构。			
8	DRAM 信号走线与参考平面的边沿距离满足>3H 要求。			
9	L1 与 L2 之间介质厚度满足 0.075~0.08mm。			
10	L3 与 L4 之间介质厚度满足 0.075~0.08mm。			

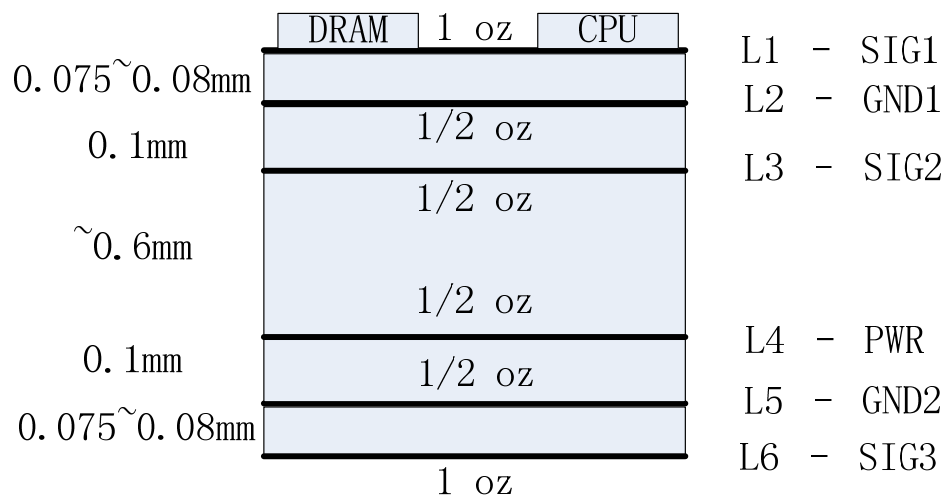


	Differential Signals Routing			
11	CK/CK#, DQS0/DQS0#, DQS1/DQS1#, DQS2/DQS2#, DQS3/DQS3# 差分信号对之间并行走线, 走线长度差 <10mils。			
12	CK/CK#, DQS0/DQS0#, DQS1/DQS1#, DQS2/DQS2#, DQS3/DQS3# 走线线宽为 4mils, 差分对线距为 6mils, 与其他信号线距 >12mils(3W)。			
13	CK/CK#, DQS0/DQS0#, DQS1/DQS1#, DQS2/DQS2#, DQS3/DQS3# 的差分阻抗满足 100ohm ± 10%。			
14	DQS0/DQS0#, DQS1/DQS1#, DQS2/DQS2#, DQS3/DQS3# 走线相对 CK/CK# 走线的长度差在 ±400mils 范围之内。			
	Single End Data Signals Routing			
15	Data 信号只在 L1 走线。			
16	如果不是只走 L1, Data 信号换成到 L4 的信号总数不大于 8。			
17	如果 Data 信号换层, Data 信号从主控端到 DRAM 的过孔数量不能超过 2 个。			
18	如果 Data 信号出现在 L4, L3 有相应的 GND 平面覆盖 L4 的 Data 信号走线。			
19	如果 Data 信号出现在 L4, L3 对应的每一块 GND 平面与 L2 GND 平面相连的过孔数量不小于 4, 同时不小于所覆盖的 Data 信号数量。			
20	DQ0~DQ31, DQM0~DQM1 信号走线宽度不小于 5mils。			
21	考虑到 PCB 厂阻抗调整后, DQ0~DQ31, DQM0~DQM3 线距不小于 1 倍线宽 (阻抗调整后的线宽)。			
22	DQ0~DQ31, DQM0~DQM3 阻抗满足 50ohm ± 10%。			
23	DQ0~DQ7, DQM0 相对 DQS0/DQS0# 走线长度差在 ±100mils 范围内			
24	DQ8~DQ15, DQM1 相对 DQS1/DQS1# 走线长度差在 ±100mils 范围内			
25	DQ16~DQ23, DQM2 相对 DQS2/DQS2# 走线长度差在 ±100mils 范围内			
26	DQ24~DQ31, DQM3 相对 DQS3/DQS3# 走线长度差在 ±100mils 范围内			
	Address/Control Signals Routing			
27	Addr/Ctrl 信号走线不能出现在 L2/L3。			
28	Addr/Ctrl 信号在 L1 走线区域在 L2 的投影需要被 GND 或者 PWR 平面所覆盖。			
29	Addr/Ctrl 信号在 L4 走线区域在 L3 的投影需要被 GND 或者 PWR 平面所覆盖。			
30	Addr/Ctrl 信号走线宽度不小于 4mils。			
31	考虑到 PCB 厂阻抗调整后, Addr/Ctrl 信号走线间的线距			



	不小于 1 倍线宽（阻抗调整后的线宽）。			
32	Addr/Ctrl 信号走线阻抗满足 50ohm±10%。			
33	Addr/Ctrl 信号走线长度相对 CK/CK#走线长度差在±600mils 范围内。			

3.2.1 六层 PCB DRAM Layout Guide

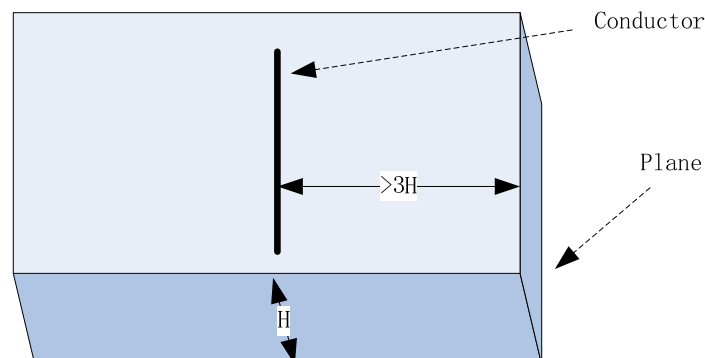


典型 6 层结构

如上图所示，典型的 6 层结构，L1 摆放 CPU/DRAM 等器件，L6 只摆放小尺寸器件或者不摆放任何器件。DRAM 的 Data 信号走线只出现在 L1/L6，L2/L5 是完整的 GND 平面，分别为 L1/L6 提供阻抗参考和回流路径。L3 是信号层，同时参考 L2/L4，用于走部分 Addr/Ctrl 信号线。L4 层为完整的 PWR 平面，与 L5 耦合，增强 PWR 和 GND 的耦合。

注意：L1/L2 的厚度与 L2/L3 的厚度关系需要考虑，当信号从 L1/L6 换层到 L3，需要保证走线的阻抗连续，不能出发太大的变化。

参考平面与走线关系：作为平面的 L2 需要完整覆盖 L1 的走线，L5 需要完整覆盖 L6 的走线，而 L2/L4 需要同时完整覆盖 L3 的走线，而且保证走线离参考平面边沿的水平距离 $>3H$ （即 0.25mm 或者 10mils）。



CLK 信号走线：CLK 信号指 CK/CK#差分信号。差分对之间信号长度差 $<10\text{mils}$ 。差分



阻抗控制在 $100\text{ohm} \pm 10\%$ 。建议差分对走线宽度 4mils，差分对走线边沿距离 6mils，与其他走线的边沿距离 $>12\text{mils}(3W)$ 。CLK 信号避免走 L3 信号层，因为按照上图的层叠结构，同样的线宽线距，在 L3 层阻抗会增加，导致信号走线阻抗不连续。

Data 信号走线： Data 信号包括 DQ0~DQ31，DOM0~DQM3，DQS0/DQS0#~DQS3/DQS3#。建议只走 L1（CPU/DRAM 器件面）。如果 L1 单面不能布通，可以通过过孔换层到 L6，但建议需要换层的信号总数不大于 8，而且 L6 的 Data 信号走线参考 L5 GND 平面，同时 L5 的 GND 平面通过过孔与 L2 GND 平面连接，用于连接 GND 平面的过孔数量可以根据实际情况增加，同时也不得小于换层信号的总数量。在允许的情况下，可以采用附件 1 中的过孔隔离办法，对每一个 Data 信号过孔进行隔离。Data 信号禁止走 L3。Data 信号走线长度控制和线宽线距控制如下表所示。

走线信号	线长参考信号	线长误差范围说明
CK/CK#，DQS0/DQS0#， DQS1/DQS1#， DQS2/DQS2#，DQS3/DQS3#	差分对信号相互参考	差分对走线长度误差 $<10\text{mils}$ ，过孔数量相同，平行走线优先
DQS0/DQS0#， DQS1/DQS1#， DQS2/DQS2#，DQS3/DQS3#	CK/CK#	$\pm 400\text{mils}$
DQ0~DQ7，DQM0	DQS0/DQS0#	$\pm 100\text{mils}$
DQ8~DQ15，DQM1	DQS1/DQS1#	$\pm 100\text{mils}$
DQ16~DQ23，DQM2	DQS2/DQS2#	$\pm 100\text{mils}$
DQ24~DQ31，DQM3	DQS3/DQS3#	$\pm 100\text{mils}$

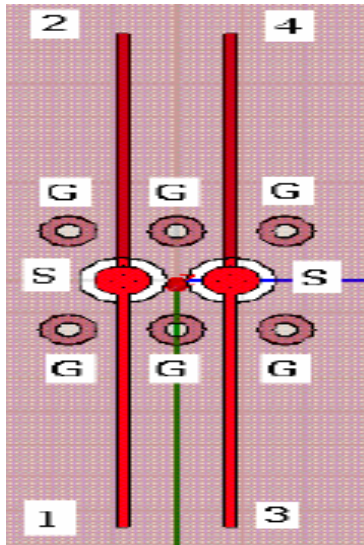
走线信号	线宽/线距（边沿到边沿）	阻抗控制
DQS0/DQS0#， DQS1/DQS1#， DQS2/DQS2#，DQS3/DQS3#	线宽 4mils，线距 6mils。与其他信号线距 $>10\text{mils}$ 。差分线对与其他信号需要 GND 进行隔离。	$100\text{ohm} \pm 10\%$
DQ0~DQ31，DQM0~DQM3	线宽不小于 5mils，线距不小于 1 倍线宽（特别注意 PCB 板厂阻抗调整之后的线距不得小于 1 倍线宽）	$50\text{ohm} \pm 10\%$

Addr/Ctrl 信号走线： Addr/Ctrl 信号包括 A0~A15，BA0~BA2，WE/CAS/RAS/CKE/CS/ODT/RST。Addr/Ctrl 信号走线长度参考 CK/CK#，长度差必须控制在 $\pm 600\text{mils}$ 范围内。Addr/Ctrl 信号走线宽度不得小于 4mils，线距不得小于 1 倍线宽（特别注意 PCB 板厂阻抗调整之后的线距不得小于 1 倍线宽）。Addr/Ctrl 信号走线阻抗建议控制在 $50\text{ohm} \pm 10\%$ 范围内。

注意：当 Addr/Ctrl 信号在 L3 走线时，需要根据真实叠层调整线宽线距，往往需要的线宽比 L1/L6 的要宽很多（例如 6mil 或者 7mil），需要注意保留足够的调整空间（考虑线距大于 1 倍线宽）。



3.2.2 过孔屏蔽与过孔回流路径



上面两个图分别是增加过孔回流路径后的平面图和立体图。

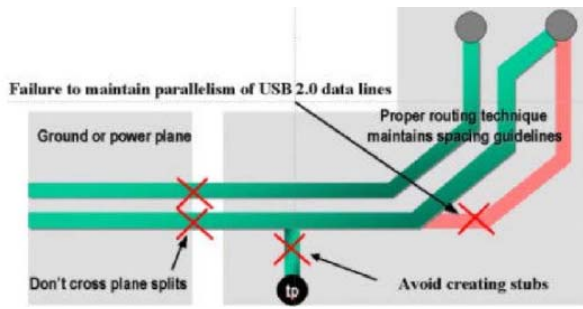
如果信号从 L1 换层到 L4 (或者 L6)，建议在过孔周围相应增加连接 L2 和 L3 (或者 L5) GND 平面的过孔，用于为过孔信号提供最短的回流路径，也就可以减少信号间因为回流带来的串扰，起到屏蔽过孔间相互干扰的作用。

在布板面积允许的情况下，每一个信号过孔旁边至少保证一个 GND 过孔，为信号提供最短的回流路径。



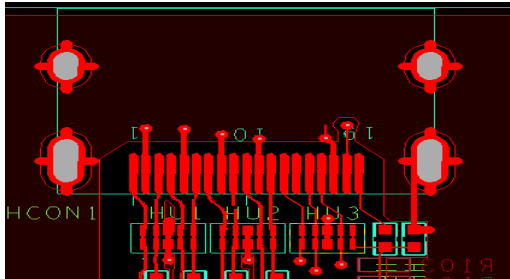
4. USB

SCH				
No.	Item	Done	Check / Date	Note
1	USB D+/D-连线与 USB Port 要一一对应，不要反接。			
2	D+/D-上的ESD器件寄生电容小于等于4pF(4pF包括了误差)。			

PCB				
No.	Item	Done	Check / Date	Note
1	USB 的电气特性满足 USB2.0 的规范,其差分阻抗为 90 欧。			
2	USB D+/D-始终保证差分并排走线,拐脚的角度为 45 度。			
3	<p>1、USB D+/D-差分信号走线要与其它信号间距>10 mil。</p> <p>2、尽量避免 D+/D-的走线走在器件的下面或者与其他信号交叉；</p> <p>3、建议在表层走线，保证走线相邻层必须有连续完整的参考面，并且参考面没有被分割。</p>			
				
4	在进行模块设计的时候，优先考虑 USB 的布线位置，并保证 USB 走线的长度控制在 4000mil 以内。			
5	USB D+/D-走线过孔不超过 2 个。			



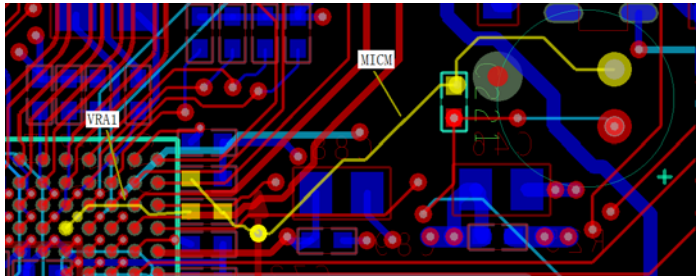
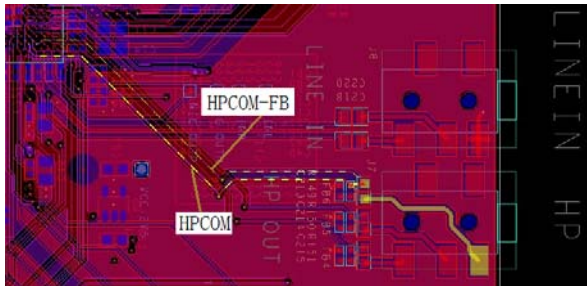
5. HDMI

PCB				
No.	Item	Done	Check / Date	Note
1	差分线包地，参考平面完整。			
2	ESD 器件靠近 HDMI 插座，见下图。 			
3	差分走线过孔不超过 2 个。			

6.AUDIO

SCH				
No.	Item	Done	Check / Date	Note
1	HEADPHONE 采用直驱电路,HPCOM 公共点为 1.5V,HPCOM-FB 为反馈信号; HEADPHONE 插入采用硬件侦测,插入耳机 HPIN 网络与 HPCOM 网络连接为 1.5V。是否没有被修改为耦合驱动。			
2	HP 和 MIC 原理图需按照标案,如有特殊需求,请联系相应技术窗口,确认后方可更改。			
3	MIC 外围器件值选取,达到理想效果,需要按照具体 MIC 进行调整选; 见 6.1 驻极体 MIC 应用指导。			

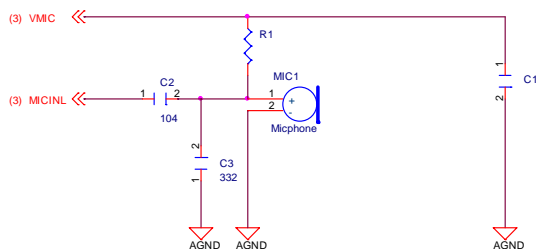


PCB				
No.	Item	Done	Check / Date	Note
1	SPEAKER 走线包地(如果允许可以走内层), 宽度 $\geq 25\text{ mil}$ 。			
2	MICP, MICM PCB 走线, MICM 需要走线拉回到 VRA1 与地连接处, 并进入到 IC 得 AGND, 到主控的走线不要相连 LCD、DRAM 等高速信号线			
3	<p>1、 远离高速信号线, 如 LCD、DRAM。禁止在高速信号线相邻层走线, 若要交叉, 中间须有“地”层隔离, 且禁止在高速信号线附近打孔换层;</p> <p>2、 远离 LCD 背光部分, 注意减小背光部分的 EMI, 屏的外壳接地;</p> <p>3、 MICIN1、MICM 信号线尽可能做到“包地”;</p> <p>4、 MICIN1 尽可能短和粗, 线宽不小于 0.25MM;</p> <p>5、。MIC 摆放位置远离 ($\geq 200\text{mil}$) RF、PA, 接地要靠近 VRA1 对地电容的另一个 PIN, 见图中高亮走线。</p> 			
4	SPEAKER AMP 的电源走线宽度 $\geq 25\text{mil}$ 。			
5	<p>HPCOM-FB 的走线要注意从靠近耳机座的引脚处拉回, 并与 HPCOM 平行, 起到反馈的作用, 见图中高亮走线。</p> 			

6.1 驻极体 MIC 应用指导

为了在方案中针对不同等效阻值 MIC, 达到比较理想的效果, 特提供如下实用指南, 具体讲述如何进行合理步骤, 完成 MIC 相关部分电路制定。

1. 电路原理图

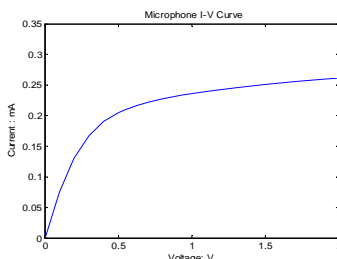


2. 元件值选取

C1 理想选择 47uF 钽电容，在考虑成本的情况下，可以选择 10uF 的钽电容，关键是 R1 的选取，不同的 MIC 需要取不同的值，下面讲解具体选择

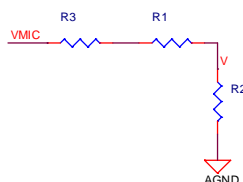
2.1 测量 MIC 的 I-V Curve，计算等效电阻

由于 MIC 等效为 FET，选择工作在 saturation 有最大的增益，下图为本人测试的一款 MIC 的 I-V 曲线，从图中看出，选择电压在 1V 左右的时候，工作在 Saturation 区，此时 MIC 的等效电阻 $R=V/I \approx 4.2k$



MIC I-V Curve

画出等效电路，计算 R1



MIC 连接等效电路

其中:VMIC 为 3V，目前方案中 R3 为 VMIC 内部电路，大约为 0.8K, R2 为 MIC 等效电阻为 4.2K, V 为 1V, 通过简单计算，可以得到 R1 选择为 7.2K

2.2 I-V 具体测量方法

- 取待用的 MIC，两端焊接引线；
- 准备直流可调稳压电源和电流表；
- 将稳压源串接电流表接到 A 中 MIC 两端，调节直流电压源电压，如：从 0-2V，每隔 0.1V 记录一次实测电流；
- 把记录的数据，绘制成曲线，找到 Saturation 区的位置。

3. PCB 走线

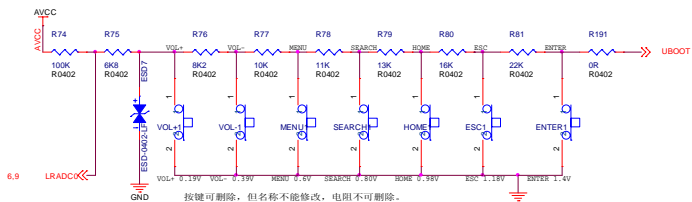
由于 MIC 输出信号很小，需要经过 IC 进行放大，这样也就把噪声同样放大了，理论上 MIC 最好放置在 IC 附近，实际上，由于模具限制，往往 MIC 都离 IC 很远，会引入噪声，具体布线处理办法是将 MIC 和 VMIC 的地通过粗线引入到 IC 管脚 AGND，由管脚 AGND 与系统整个大片地汇合，尽量减小地不同带来噪声影响。



All Winner Technology CO., Ltd.

PCB				
No.	Item	Done	Check / Date	Note
1	SPEAKER 走线包地(如果允许可以走内层), 宽度 $\geq 25\text{ mil}$ 。			
2	MICP, MICM PCB 走线, MICM 需要走线拉回到 VRA1 与地连接处, 并进入到 IC 得 AGND, 到主控的走线不要相连 LCD、DRAM 等高速信号线			
3	1、 远离高速信号线, 如 LCD、DRAM。禁止在高速信号线相邻层走线, 若要交叉, 中间须有“地”层隔离, 且禁止在高速信号线附近打孔换层; 2、 远离 LCD 背光部分, 注意减小背光部分的 EMI; 3、 MICIN1、MICM 信号线尽可能做到“包地”; 4、 MICIN1 尽可能短和粗, 线宽 $\geq 10\text{mil}$; 5、 屏的外壳接地; 6、 MIC 摆放位置远离 ($\geq 200\text{mil}$) RF、PA; 7、 MICM 接地要靠近 VRA1 对地电容的另一个 PIN。			
4	SPEAKER AMP 的电源走线宽度 $\geq 25\text{mil}$			

7.KEY

SCH				
No.	Item	Done	Check / Date	Note
1	键数选择, 根据需要, 直接去掉后面的按键, 如只要 5 个键, 保留 VOL+, VOL-, MENU, ESC, ENTER 去掉 SEARCH, ENTER, 网络 UBOOT 需要连接到最后的网络 ESC 上, 如图 			
2	LRADC 对地电容, LRADC 需要留对地电容, 容值为 102。			
3	按键采用线控按键, LRADC 网络的采样范围为 0-2V, 在添加按键时保证按键按下后 LRADC 网络电压范围为 0-2V, 并保证任意两个按键按下时 LRADC 电压差必须 $\geq 0.15\text{V}$ 。			



8.CSI

PCB				
No.	Item	Done	Check / Date	Note
1	摄像头 LAYOUT 时, 保证摄像头成像方向与 LCD 显示一致。			
2	保证模具的摄像头开孔位置, 与摄像头插座位置的距离 $\leq 2000\text{mil}$ 。			
3	控制 IO: CSI-STY, CSI-RST 的上拉电阻确保上拉到本地电源 CSI-IOVDD。			
4	CSI-MCLK 和 CSI-PCLK 需要各自包地, 并保证较少的换层 (MCLK 3 层以内, PCLK 2 层以内) 连接到 Camera connector。			

9.EMAC

10.LCD

SCH				
No.	Item	Done	Check / Date	Note
1	在接 7 寸大屏或功耗比较大 (瞬时值达 500mA 以上) 的屏时, 在电源 LCD-VCC 的 MOS 管前需要接 100uF 的电容, 其余可接 10uF。			
2	LCD 数据和控制线是否连接正确, 根据下表 10.1 LCD IO PORT 定义检查。			

PCB				
No.	Item	Done	Check / Date	Note
1	LCD-CLK 需要良好的包地, 并保证少于两次换层的连接到 LCD connector。			
2	BACK LIGHT PWM 需要良好的包地连接到 LCD connector。			
3	不具备 U/D, L/R 引脚配置的屏, PCB Layout 要保证屏方向正确。			



10.1 LCD IO PORT 定义检查

If	同步RGB接口					CPU/I80接口		LVDS接口	
	Para RGB	Serial RGB			CCIR 656	Para RGB 666	Para RGB 565	Sing Link	Dual Link
Cycle		1st	2nd	3rd					
I00	VSYNC					CS			
I01	HSYNC					RD			
I02	DCLK					WR			
I03	DE					RS			
D23	B7					R5	R4		
D22	B6					R4	R3		
D21	B5					R3	R2		
D20	B4					R2	R1		
D19	B3					R1	R0	1-VN3	E-VN3
D18	B2					R0	G5	1-VP3	E-VP3
D17	B1							1-VNC	E-VNC
D16	B0							1-VPC	E-VPC
D15	G7					G5	G4	1-VN2	E-VN2
D14	G6					G4	G3	1-VP2	E-VP2
D13	G5					G3		1-VN1	E-VN1
D12	G4	D17	D27	D37	D7	G2	G2	1-VP1	E-VP1
D11	G3	D16	D26	D36	D6	G1	G1	1-VN0	E-VN0
D10	G2	D15	D25	D35	D5	G0	G0	1-VP0	E-VP0
D9	G1							0-VN3	0-VN3
D8	G0							0-VP3	0-VP3
D7	B7	D14	D24	D34	D4	B5	B4	0-VNC	0-VNC
D6	B6	D13	D23	D33	D3	B4	B3	0-VPC	0-VPC
D5	B5	D12	D22	D32	D2	B3	B2	0-VN2	0-VN2
D4	B4	D11	D21	D31	D1	B2	B1	0-VP2	0-VP2
D3	B3	D10	D20	D30	D0	B1	B0	0-VN1	0-VN1
D2	B2					B0		0-VP1	0-VP1
D1	B1							0-VN0	0-VN0
D0	B0							0-VP0	0-VP0



11.NAND FLASH

SCH				
No.	Item	Done	Check / Date	Note
1	VPS 的上下拉是否有参照相应 NAND 的 DATASHEET 作处理, VPS 上下拉处理如下表			
	厂商	VPS 上下拉电阻处理		
	Micron/Intel	默认均不焊		
	Hynix	默认均不焊		
	Samsung	27nm (k9GBG08U0A): pull up Other: NC		
	Toshiba	24nm: (TC58NVG5D2HTA00, TC58NVG6D2GTA00, TH58NVG7D2GTA20): pull up		
2	NAND 贴片时的贴片位置选择见下表, 打√表示需要贴片, 第一片, 第二片请参考原理图			
	贴片数	第一片		
	1	√		
	2	√		

PCB				
No.	Item	Done	Check / Date	Note
1	TSOP 与 TOGGLE 是否对应双 layout。			
2	NAND 靠近主控摆放, 走线与高频信号隔开。			
3	NAND 封装建议按照原厂提供的封装库以兼容 TSOP/TSD/LGA52/LGA60 的 NAND FLASH。			



12. CARD

SCH				
No.	Item	Done	Check / Date	Note
1	Clock 脚不要上拉电阻, 若并联电容, 容值不得超过 15pF。			
2	ESD 器件线电容不能大于 10pF。			

PCB				
No.	Item	Done	Check / Date	Note
1	卡座 VCC 电容和卡座在 PCB 板在同一面, 并且靠近卡座摆放。			
2	走线尽量与高频信号隔开, 数据线分组走线, 过孔控制在 2 个以内。			

13.TV

SCH				
No.	Item	Done	Check / Date	Note
1	线路上是否有滤波电路。			

PCB				
No.	Item	Done	Check / Date	Note
1	TV 信号线是否包地。			

14.WIFI

SCH				
No.	Item	Done	Check / Date	Note
1	WIFI 电源开关需要增加 Buffer, 避免电源开关过快冲击原有供电。			



PCB				
No.	Item	Done	Check / Date	Note
1	WIFI 天线阻抗控制为 50ohm，为了不让天线变成单向天线，请将天线走线在顶层，并且镂空下面的所有层天线在走线层最好都用地线完全屏蔽。 (由于使用天线的差异，具体的布线方法要根据实际情况来决定。)			

15.SPDIF

16.GPS

PCB				
No.	Item	Done	Check / Date	Note
1	IC 到天线接头走线短， impedance=50ohm			
2	GPS 整体电路周围添加屏蔽罩并远离其他天线走线			

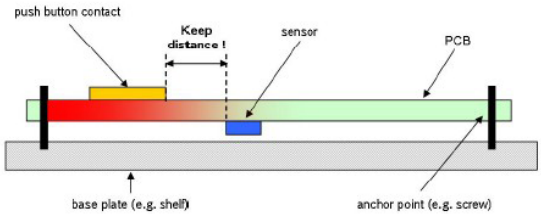
17.MOTO

PCB				
No.	Item	Done	Check / Date	Note
1	注意马达为磁性元件，摆放位置注意远离 SPEAKER，ALS 等器件。			

18.ALS



19.G-SENSOR

PCB				
No.	Item	Done	Check / Date	Note
1	需要注意 G-sensor 的方向，推荐摆放在左上方			
2	GS 的摆放原则是右上方放置 PIN1 脚，与屏平行放置，放在屏的左上方.			
3	<p>由于 GS 是微机件，所以在布局的时候要注意离开螺丝、远离按键、远离发射源、不能在螺丝的夹角、避免超声波制程、放在板边 (1CM)</p> 			

20.I2S

21.TP

SCH				
No.	Item	Done	Check / Date	Note
1	RTP 的管脚布局: 未出现 X 脚与 Y 脚组间接反的接法, 如: X1 接触摸屏的 XP, 而 X2 接触摸屏的 YP 或 YN。			
2	CTP 部分依据各触控 IC 决定, 如选择标案推荐形式, 外围电路需要严格按照标案图, 管脚部分需根据所选择触摸屏确定。			
3	在不使用电阻触摸屏时, 电阻屏的 4 个对地电容不贴。			

PCB				
No.	Item	Done	Check / Date	Note
1	CTP 非常容易受干扰, 需要严格按照各触控 IC 厂家提供的 PCB layout 指南进行 lay 板。			




22.3G

SCH				
No.	Item	Done	Check / Date	Note
1	GPI0 电平是否按要求做了电平转换处理。			
2	PCM 连线是否连接正确, 3G-PCM-IN 与 AP-PCM-OUT 相连, 3G-PCM-OUT 与 AP-PCM-IN 相连。			
3	3G 供电是否满足大电流要求。			

PCB				
No.	Item	Done	Check / Date	Note
1	3G 容易受干扰, 需要严格按照 3G 模组厂家提供的 PCB layout 指南进行 lay 板。			

23. PCB COPPER

PCB				
No.	Item	Done	Check / Date	Note
1	<p>大面积铜箔应当用隔热带与焊盘相连, 避免由于热容过大, 造成虚焊、吊桥等不良现象。如下图</p> 			
2	<p>为防止电源辐射, 最好将电源层内缩, 尽量遵循规则。以一个 H (电源和地之间的介质厚度) 为单位, 若内缩 20H 则可以将 70% 的电场限制在接地边沿内; 内缩 100H 则可以将 8% 的电场限制在内。一般四层板电源层内缩 80mil-100mil 为宜。</p> 