

機械学習による論理素子配置の評価環境の構築

Constructing Evaluation Environment for Placement of Logic Device by Using Machine Learning

1820232 渡邊 伊吹 2066008 讃岐 純平 指導教員 窪田 昌史, 弘中 哲夫

1 はじめに

FPGA などの再構成可能デバイスの開発が進んでいく中で配置アルゴリズムについても研究が盛んに行われている。しかし、評価環境が均一でなく独自の評価で良しとしている現状がある。規模学習データ生成の面倒くささ、vpr は高速処理が行えるそこで本研究ではオープンソース CAD である VTR を用いることで一般的な評価環境が実現できるのではと考え、VTR を使用し評価環境を実現しようと思った。

2 環境の組み込み方法

VTR とは FPGA デバイス用のオープンソース CAD をまとめたパッケージでハードウェア記述言語 (HDL) で記述された特定の回路を、指定の FPGA アーキテクチャにマッピングを行うものである。VTR の中には 3 つのオープンソース CAD が入っておりそれぞれ Odin II、ABC、VPR である。Odin II は VTR フローの HDL コンパイラで、論理合成に使用され、HDL を BLIF 形式ネットリストに変換する。BLIF 形式とはテキスト形式で論理レベルの階層回路を記述するための形式のこと ABC は論理最適化とテクノロジーマッピングを実行し、最適化するものである。VPR とは BLIF 形式のネットリストを元に FPGA アーキテクチャに対して配置、配線を行うもの。この VPR は配置した結果に対して同じ形式で別の配置で置き換えても配線を行うことができる。

3 配置配線の評価

VPR によって出力されるものには、ワイヤレングス、配線の成功 or 失敗、配線回数、配線領域不足数、クリティカルパス、などがあり、これらを配置配線の評価と捉えることで配置の良し悪しの指標となる。

4 まとめ

本研究により VPR による配線結果の出力から、配置結果の評価を行うことが可能になった。よってこれからは配線結果を基に自作配置ツールの学習データ採取を行い、機械学習の適用による配置評価を行っていきたい。

参考文献

- [1] Murray, O. Petelin, S. Zhong, J. M. Wang, M. El-Dafrawy, J.-P. Legault, E. Sha, A. G. Graham, J. Wu, M. J. P. Walker, H. Zeng, P. Patros, J. Luu, K. B. Kent and V. Betz “VTR 8: High Performance CAD and Customizable FPGA Architecture Modelling”, ACM TREATS, 2020

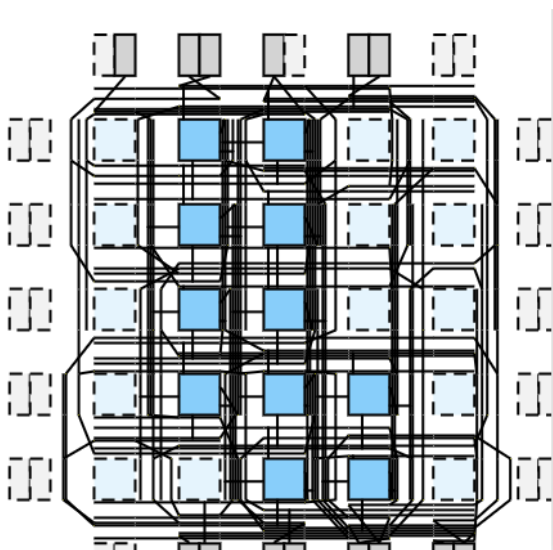


図 1 配線結果