



T582D PLL Clock

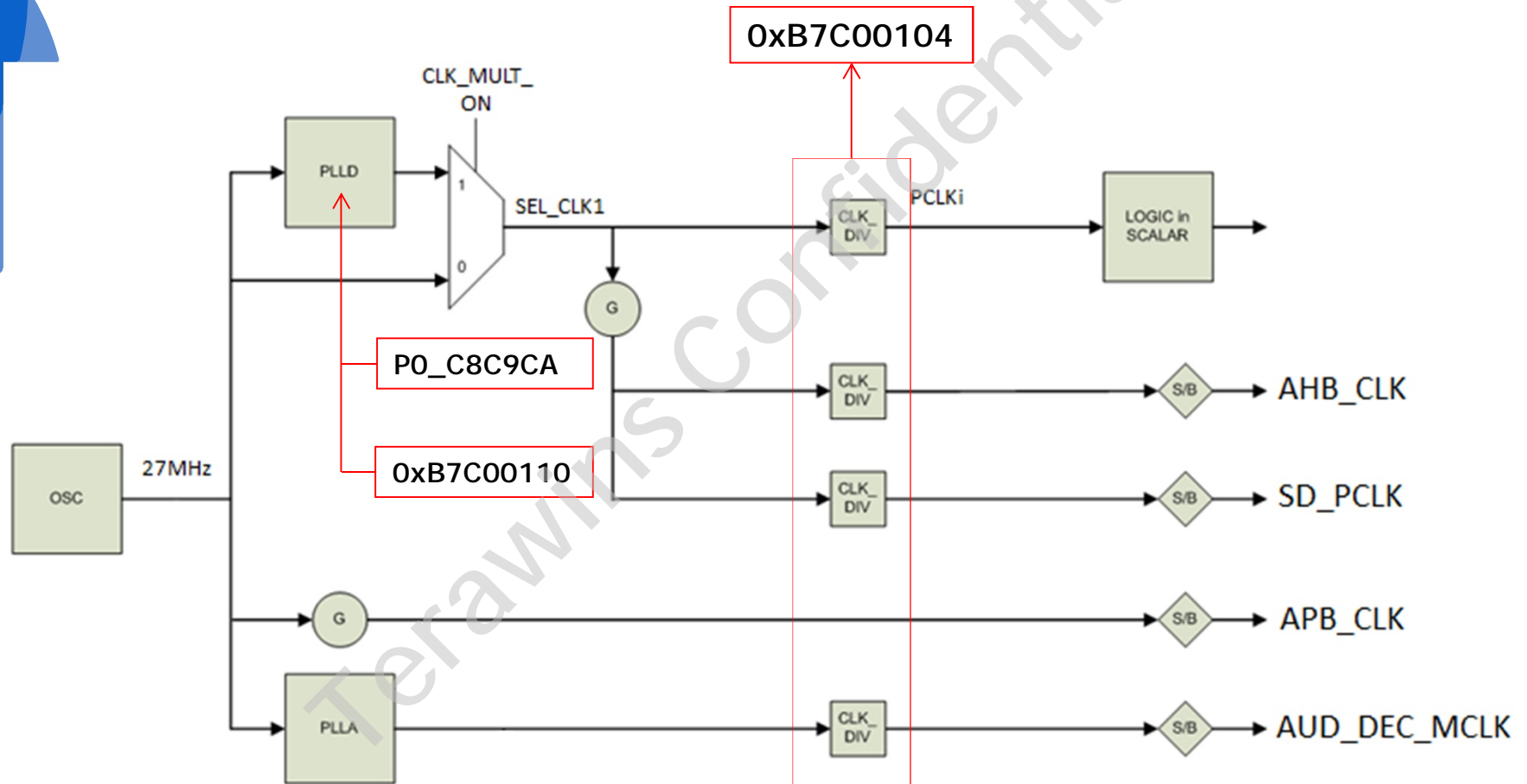
2013/12/04

Kevin



Terawins, Inc.

T582 Clock Topology



Panel Clock Configuration

- i **Green Tool**已經預設的**Panel**頻率, **Green Tool**會自動產生**config.h**可以給軟件人員直接使用。
- i 若需手動調整頻率請依照下面的步驟。
- i **Step 1.** 使用**I2C**調整**P0_C8 C9 CA CB**產生需要的**Panel Clock**,可使用“**T582 PLL Timing.xls**”算出需要的頻率。
- i **Step 2.** 每種信號推**Panel**的**Clock**頻率必須一樣, 也就是每組**Timing**的**P0_C8C9CACB**都是一樣的。
- i **Step 3.** 將調好的**P0_C8C9CACB**的填入“**T582 PLL Timing.xls**”並調整好**SD_PCLK_DIV & AHB_DIV** 後將**VAL_SYSMGM_CLK_DIV & VAL_SYSMGM_AHB_PLL**需要填入的值及每個訊號**iml**交給軟件人員加入代碼內。

T582 PLL Timing.xls

Clock PLL			
XCLK	27	MHz	
VCO_SEL	<input type="radio"/> 1 <input checked="" type="radio"/> 0		= 1 (100~200 MHz) = 0 (150~300 MHz)
C8	215	D7	(Hex)
C9	3	3	(Hex)
CA[1:0]	0	0	(Hex)
CA[4]FLL_Div2	0		(1: CPH/2, 0: CPH)
CA[3:2]FLL_OUT_SEL	0		
fvo	240.3	OK	(150~300MHz)
$fvo = XCLK * (N+2)/(2*(M+2))$			
PLLD	240.3	MHz	(108~130MHz)
$DFLL = fvo / 2^{(OD+DIV2)}$			
0xB7C00110	4793	EB9	(Hex)
CLK Divider			
CLK_DIV	Value	MHz	
VA_CLK_DIV2	7	3.7546875	=CMOS_CLK
VA_CLK_DIV1	7	30.0375	
VD_CLK_DIV	2	80.1	
SD_PCLK_DIV	4	48.06	50MHz
AHB_DIV	1	120.15	100~120MHz
0xB7C00104	1998852353	77241101	(Hex)
Scaler Clock			
Panel Output CLK	40.05	MHz	
SPI OSD CLK	80.1	MHz	
Define in the "tarzan2/include/config.h"			
VAL_SYSMGM_CLK_DIV	EB9	(HEX)	0xB7C00110
VAL_SYSMGM_AHB_PLL	77241101		0xB7C00104

注意這些值的範圍!

由此除出Scaler Clock

Panel Clock

交給軟件人員改到code裡