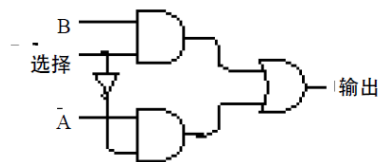


CPU:中央处理器，由数百万至数亿个晶体管构成。内部结构分为，控制器，运算器，时钟，寄存器。

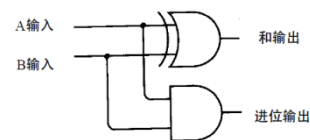
控制器：

2-1 选择器：让你用一个开关来选择加法器的 B 端输入,是取自第 2 排开关还是取自锁存器的 Q 端输出。

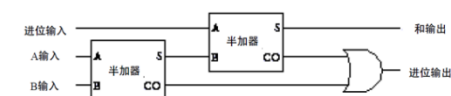


运算器：

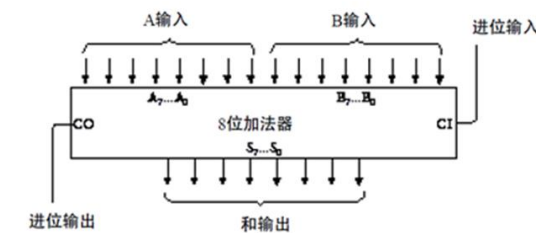
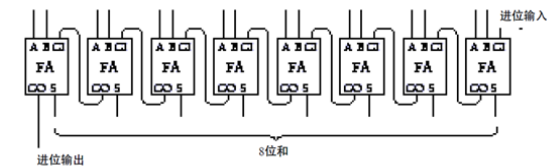
半加器，把两个二进制位 A 和 B 相加，从而得到一个和输出(简称 S) 和一个进位输出(简称 CO)



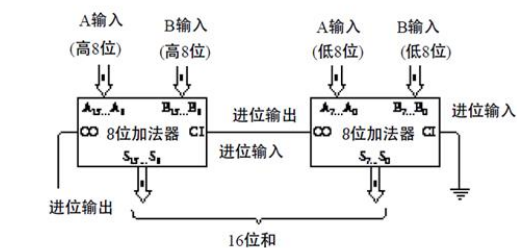
全加器（Full Adder）



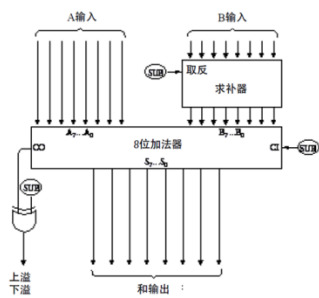
8 位加法器，



16 位加法器：

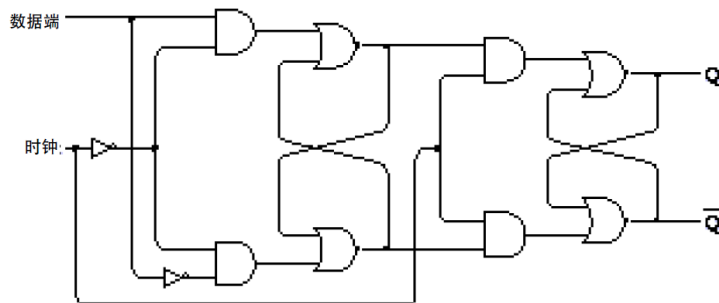


可做减法：

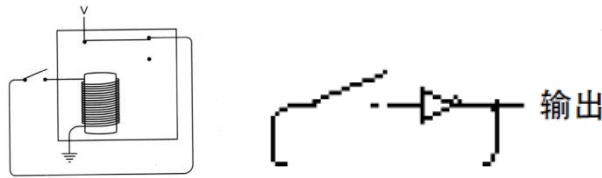


时钟：

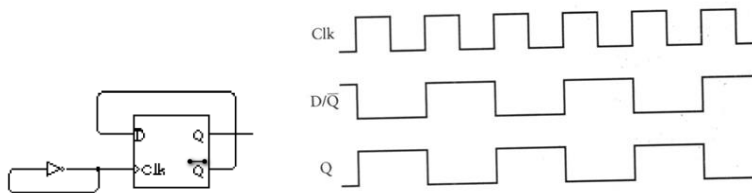
边沿触发器：对于边沿触发器而言，只有当时钟从0变到1的瞬间，输出才会改变。在电平触发器中，当时钟输入为0时，数据端输入的任何改变都不会影响输出；而在边沿触发器中，当时钟输入为1时，数据端输入的改变也不会影响输出。只有在时钟输入从0变到1的瞬间，数据端的输入才会影响边沿触发器的输出。



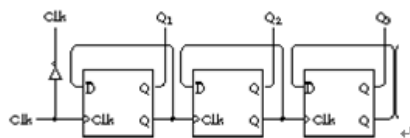
振荡器：有时称为时钟（c l o c k），因为通过对振荡次数记数还可确定时间。

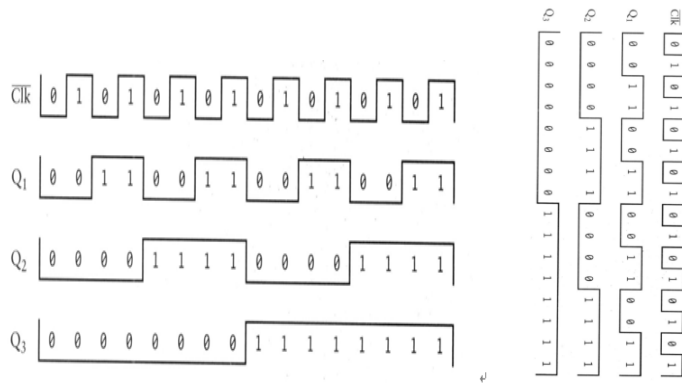


分频器：若振荡器的频率是20赫兹（即每秒20次循环），则Q的输出频率是它的一半，即10赫兹。



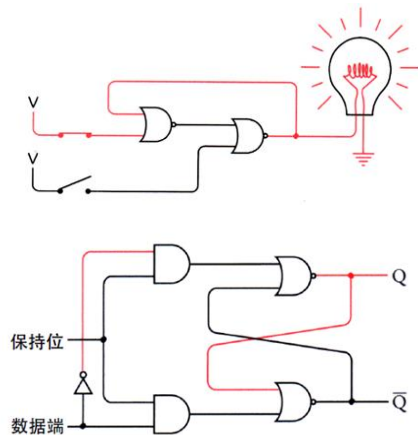
三个分频器连在一起：





寄存器：

触发器：可以“记住”最近一次是哪个开关先闭合的。



这个电路称为**电平触发的D型触发器**，D (Data) 表示数据端输入。所谓电平触发是指当保持位输入为某一特定电平（本例中为“1”）时，触发器才对数据端的输入值进行保存。

和**电平触发的D型锁存器**一样的，保持位即，时钟clk，数据端D。也可以称为**1位存储器**

寄存器种类：

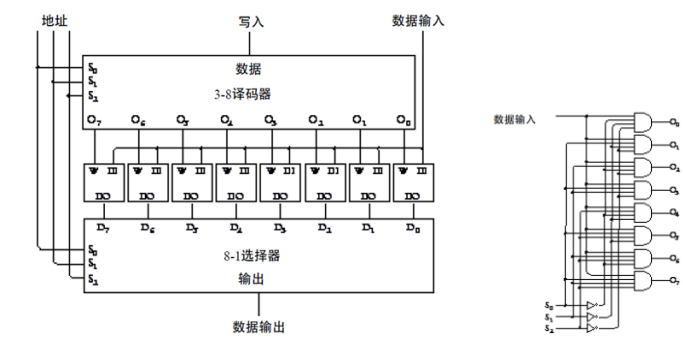
种 类	功 能
累加寄存器 (accumulator register)	存储执行运算的数据和运算后的数据
标志寄存器 (flag register)	存储运算处理后的 CPU 的状态
程序计数器 (program counter)	存储下一条指令所在内存的地址
基址寄存器 (base register)	存储数据内存的起始地址
变址寄存器 (index register)	存储基址寄存器的相对地址
通用寄存器 (general purpose register)	存储任意数据
指令寄存器 (instruction register)	存储指令。CPU 内部使用，程序员无法通过程序对该寄存器进行读写操作
栈寄存器 (stack register)	存储栈区域的起始地址

内存：

这种锁存器的配置有时也称为读 / 写存储器，但通常叫作随机访问存储器或 RAM 。 RAM 可存储 8 个单独的 1 位数据，

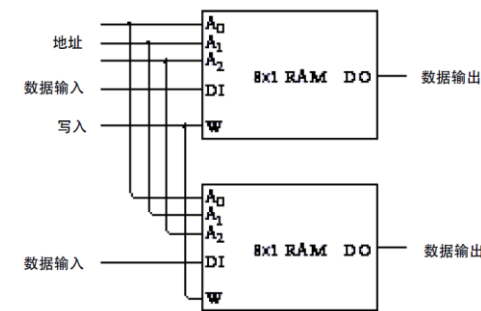
称它为存储器是因为它能保存信息，称为读 / 写存储器是因为可以在每个锁存器中保存新的数据（也就是写数据），同时还可以查看每个锁存器中所保存的数据（也就是读数据）。称它

为随机访问存储器是因为通过简单地改变地址输入就可以从 8 个锁存器中的任意一个读出或写入数据。

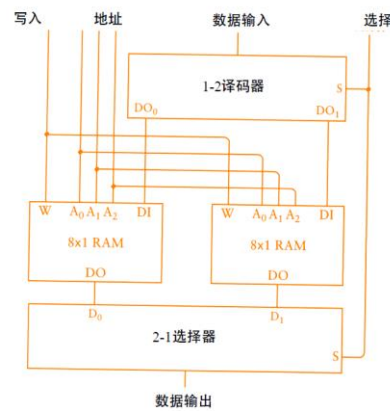


3 - 8 译码器有8个输出端。任何情况下，锁存器除了一个输出端外，其余的均为0。

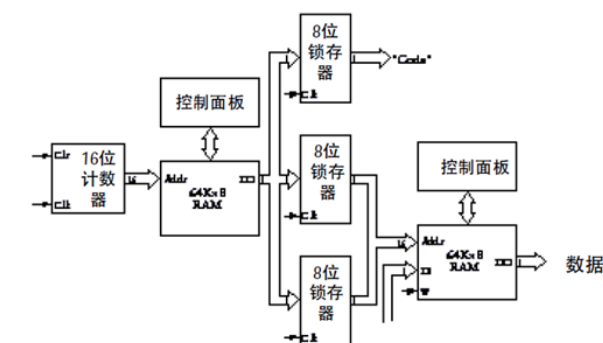
8×2 RAM



1 6×1 RAM



RAM 阵列的存储容量 = 2^{地址输入端数目}



硬盘
指令关系