

K9F2G08UXA

中文翻译: 秦佳奇
联系邮箱: 942443360@qq.com
个人水平有限, 如有错误欢迎指出
有任何问题联系我的邮箱
O(n_n)O

本文档中的信息是关于三星提供的产品的, 如有更改, 恕不另行通知。

在本文件中的任何规定不得解释为授予任何许可证, 明示或暗示, 禁止用反语或其他方式。

关于三星的产品或技术的任何知识产权, 本文提供所有信息。

对“本文如您所见的样子(不再作修理或改进)”的基础上无任何形式的保证或保修。

1. 更新或对三星产品附加信息, 请联系距离您最近的三星办公室。
2. 三星的产品不用于生命维持, 危重病人护理, 医疗, 安全设备, 或类似的在产品故障可能导致人身或身体伤害损失的应用, 或任何军事或国防应用, 或任何政府特别条款或规定说明可以采购适用的应用。

* 三星电子保留更改产品或规格不另行通知的权利。

[文档标题](#)**256M x 8 Bit (256MByte) NAND Flash 存储器**[历史版本](#)

修订号	修正历史	草案日期	备注
0.0	1. 首次发行	2005.11.9	先行版
0.1	1. 增加1.8V 模块。 2. 定义tIRHW参数, tCSD 参数。 3. 删除4G DDP LGA 部分。 4. 添加技术说明。(第18页)	2006.3.17	先行版
0.2	1. FBGA 封装尺寸变化 2. 删除1.8V TSOP 封装方案	2006.3.25	初步版
0.3	1. 1.8V Ioh/Iol (拉电流/灌电流)条件改变 2. 最小 tADL参数(@3.3)范围改变为 70ns 到100ns	2006.6.1	初步版
0.4	1. 1.8V 设备提供copy-back编程功能	2006.6.29	初步版
1.0		2006.8.23	最终版
1.1	1. 1.8V 交流时序条件改变 2. 1.8V 设备增加tRPB/tRCB/tREAB参数	2007.1.15	
1.2	1. tCSD参数改变.(10ns -> 0ns)	2007.3.15	
1.3	1. tCS参数从31ns 到25ns, tREH参数从15ns到10ns (@1.8V)	2007.6.4	

附加的数据表格由三星电子制备和提供。三星电子有限公司，公司保留更改规格的权利。三星电子将评估和回复您的要求和有关设备的问题。如果您有任何问题，请联系你附近的三星办事处办公室。

256M x 8 Bit NAND Flash 存储器

产品列表

零件型号	电压范围	组织结构（数据位宽）	封装形式
K9F2G08R0A-J	1.65 ~ 1.95V	X8	FBGA
K9F2G08U0A-P	2.70 ~ 3.60V		TSOP1
K9F2G08U0A-I			52ULGA

特性

- 电源电压
 - 1.65V ~ 1.95V
 - 2.70V ~ 3.60V
- 组织结构
 - 存储单元阵列: (256M + 8M) x 8bit
 - 数据寄存器: (2K + 64) x 8bit
- 自动的编程(写入)和擦除
 - 页编程: (2K + 64)Byte
 - 块擦除: (128K + 4K)Byte
- 页读取操作
 - 页面大小: (2K + 64)Byte
 - 随机读取: 25μs(最大.)
 - 串行访问: 25ns(最小.)

(*K9F2G08R0A: tRC = 42ns(最小))

- 快速编程周期时间
 - 页编程时间: 200μs(典型值)
 - 块擦除时间: 1.5ms(典型值)
- 命令/地址/数据复用I/O端口
- 硬件数据保护
 - 编程/擦除在电源转换分离
- 可靠的CMOS浮栅技术
 - 耐力: 100K编程/擦除周期(有1bit/512Byte ECC)
- 数据保存时间: 10 年
- 命令式操作
- 带有1bit/528Byte EDC的智能Copy-Back编程
- 唯一的ID版权保护
- 封装
 - K9F2G08R0A-JCB0/JIB0: 无铅封装
63 - Ball FBGA I (10 x 13 / 0.8 mm 间距)
 - K9F2G08U0A-PCB0/PIB0: 无铅封装
48 - Pin TSOP I (12 x 20 / 0.5 mm 间距)
 - K9F2G08U0A-ICB0/IIB0
52 - Pin ULGA (12 x 17 / 1.00 mm 间距)

一般说明

本文档提供的为256Mx8bit的版本,K9F2G08X0A是2G-bit大小的NAND Flash存储器, 带有64Mbit额外数据区(OOB区、冗余区)。此NAND存储颗粒为固态存储市场应用提供了最具成本效益的解决方案。编程(写入)操作可以在200μs(典型值)对大小为(2K+64)Byte的页进行写入, 擦除操作可以在1.5ms(典型值)擦除大小为(128K+4K)的块。读取数据寄存器的数据周期时间为25ns(1.8v设备为42ns) 每字节。I/O端口可以作为地址和数据输入/输出, 也可以作为命令输入。芯片上的写控制器自动完成所有的编程和擦除功能包括脉冲重复、并内部核查和数据余量(如有需要)。即使是写入操作频繁的系统, 也可以通过K9F2G08X0A采用实时映射算法的ECC(错误纠正码)来加强多达的100K编程/擦除周期的可靠性, K9F2G08X0A是一个用于大型非易失性存储应用的最佳解决方案, 例如固态文件存储和其他用于非易失性要求的便携式存储应用。

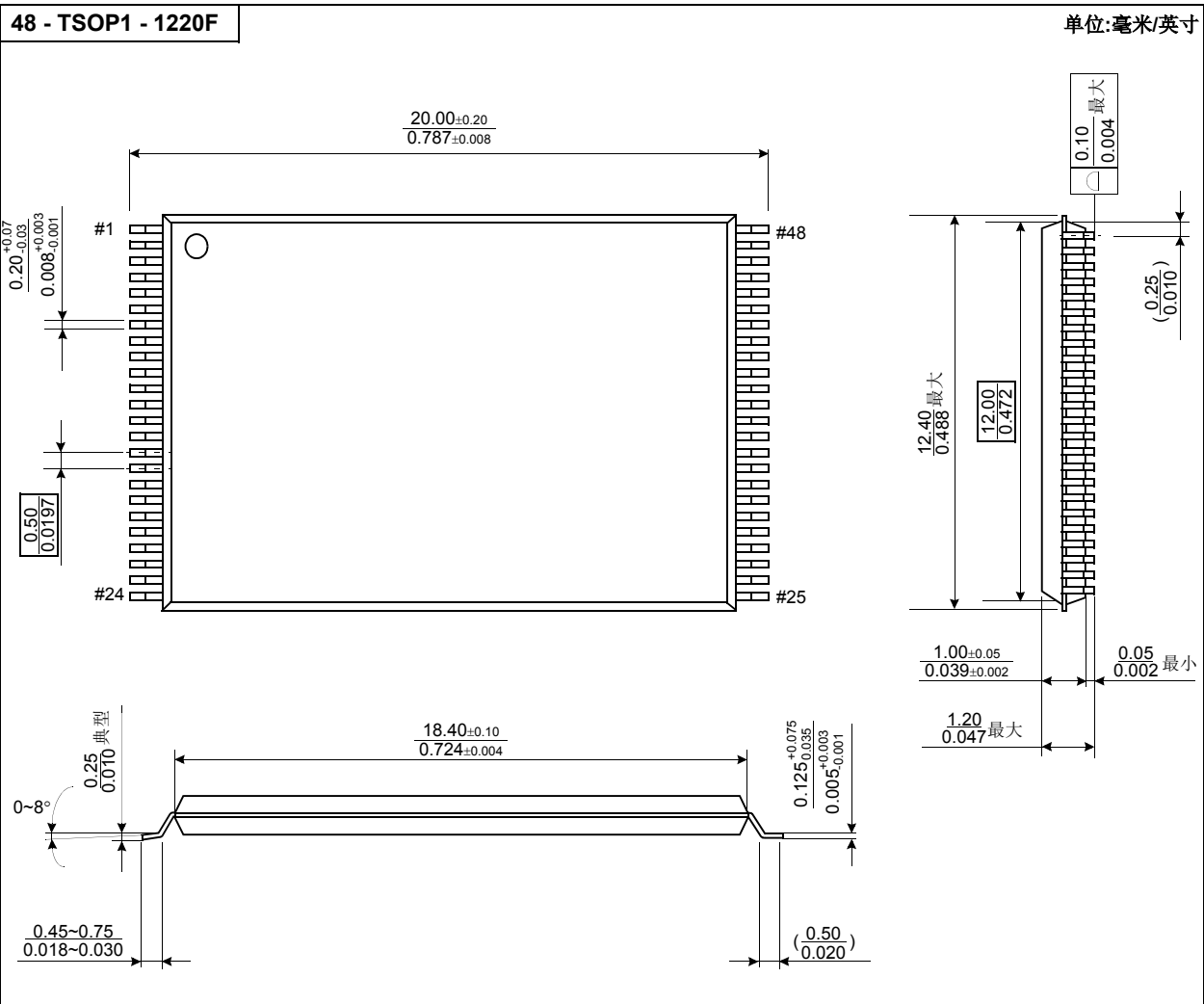
引脚配置 (TSOP1封装)

K9F2G08U0A-PCB0/PIB0



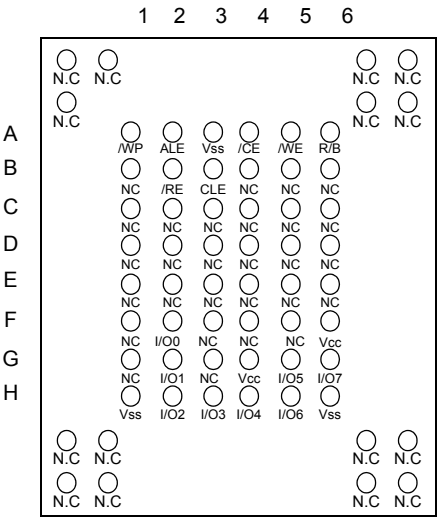
封装尺寸

48-PIN 铅/无铅塑料薄膜小输出直插式封装类型



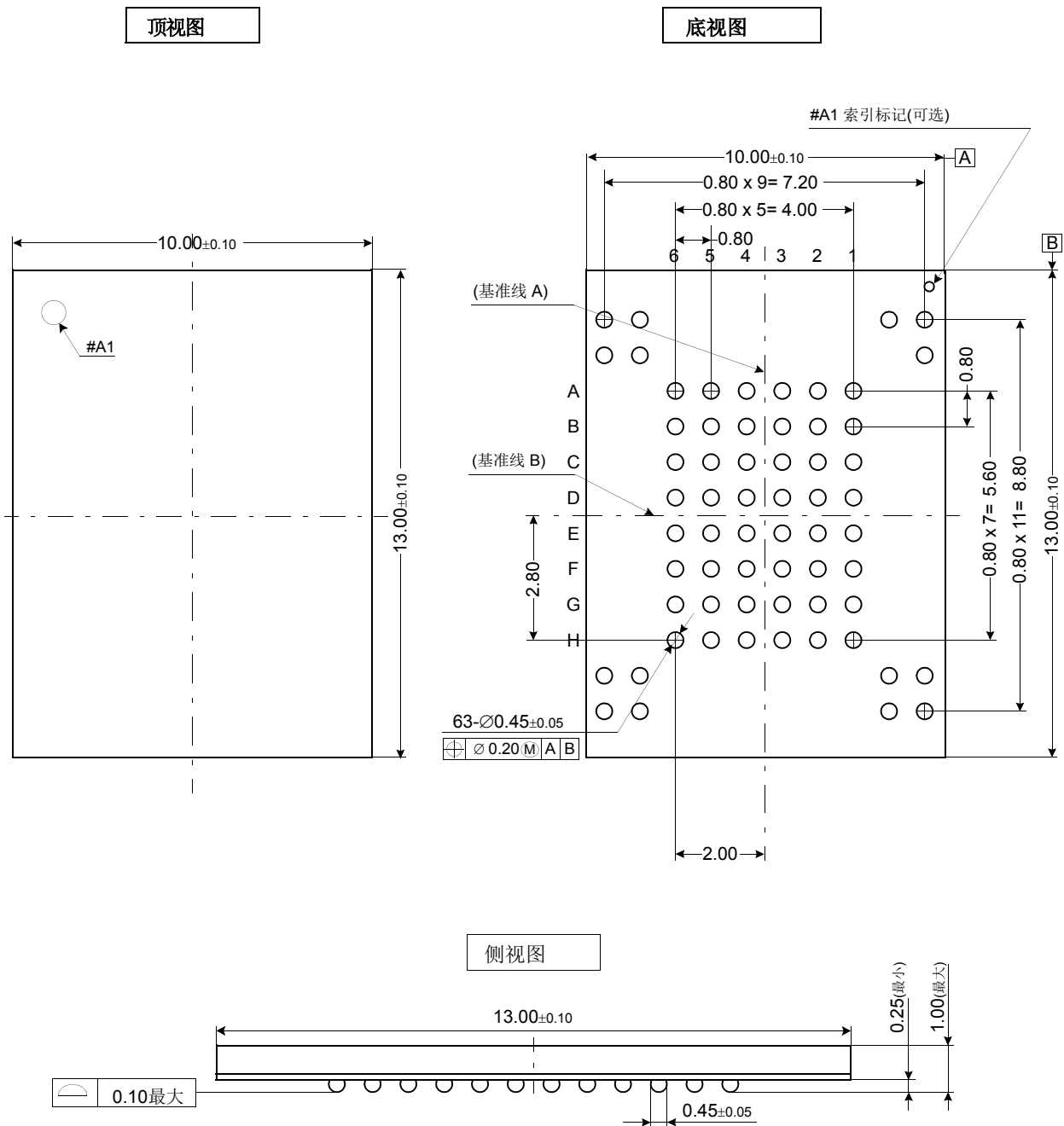
引脚配置 (FBGA封装)

K9F2G08R0A-JCB0/JIB0

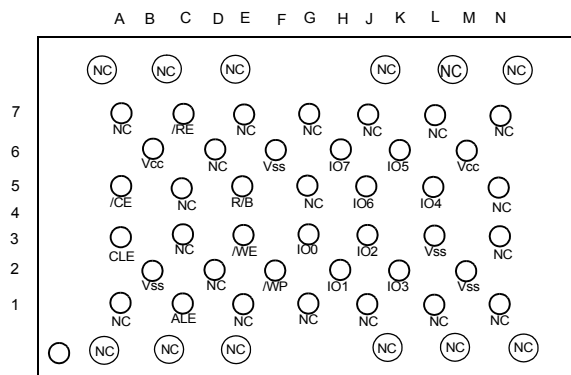


顶视图

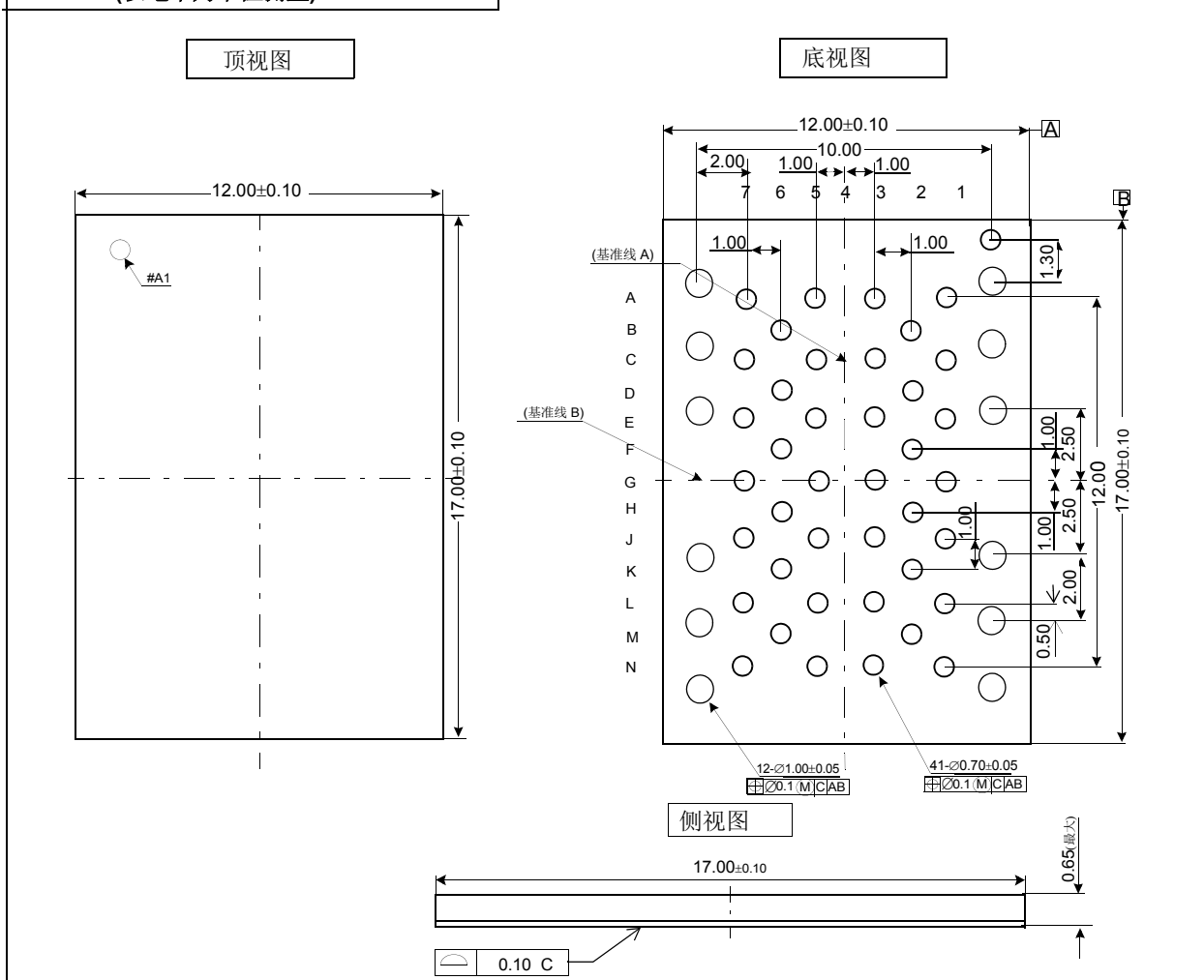
封装尺寸(FBGA封装)



K9F2G08U0A-ICB0/IIB0



52-ULGA (以毫米为单位测量)



引脚说明

引脚名称	引脚功能
I/O ₀ ~ I/O ₇	数据输入/输出 I/O 引脚用来输入命令、地址和数据，在读操作时可以用来输出数据。当 I/O 引脚为浮空高阻状态或芯片未被选中时，引脚被禁用。
CLE	命令锁存使能 CLE 输入引脚用来控制命令信号送入内部命令寄存器的线路的激活。高电平时，在 \overline{WE} 信号的上升沿时命令通过 I/O 口锁存到命令寄存器中。
ALE	地址锁存使能 ALE 输入引脚用来控制地址信号送入内部地址寄存器的线路的激活。高电平时，在 \overline{WE} 信号的上升沿时地址通过 I/O 口锁存到地址寄存器中。
\overline{CE}	片选使能 \overline{CE} 输入引脚用来选择要控制的设备。当设备在繁忙状态时， \overline{CE} 高电平时被忽略，并且设备在编程/擦除操作时设备不会返回到待机模式。
\overline{RE}	读使能 \overline{RE} 输入引脚控制串行数据输出，在使激活状态将数据驱动到 I/O 总线上。数据在 \overline{RE} 下降沿之后的一段时间 (t _{REA}) 内有效，同时通过一个内部地址计数器递增地址。
\overline{WE}	写使能 \overline{WE} 输入引脚控制对 I/O 引脚的写入。当 \overline{WE} 脉冲信号的上升沿时，命令、地址和数据被锁存。
\overline{WP}	写保护 \overline{WP} 提供非操作的电源变化时的编程/擦除保护。当 \overline{WP} 被置为低电平时，内部高电压发生器被重置。
R/ \overline{B}	就绪/忙 状态输出 R/ \overline{B} 引脚的输出指示设备运行的状态。为低电平时，表示设备有编程、擦除或随机读取操作在进行，当操作完成时返回高电平输出。这是一个开漏输出引脚并且在芯片未选中使能或输出被禁用时不浮空到高阻状态。
V _{CC}	电源 V _{CC} 是设备的供电引脚
V _{SS}	接地引脚
N.C	不连接 无内部连接

注：1. 把每个设备的所有 V_{CC} 和 V_{SS} 引脚接到共同的电源输出。
2. 不要留下未连接的 V_{CC} 和 V_{SS} 引脚。

图1. K9F2G08X0A 功能框图

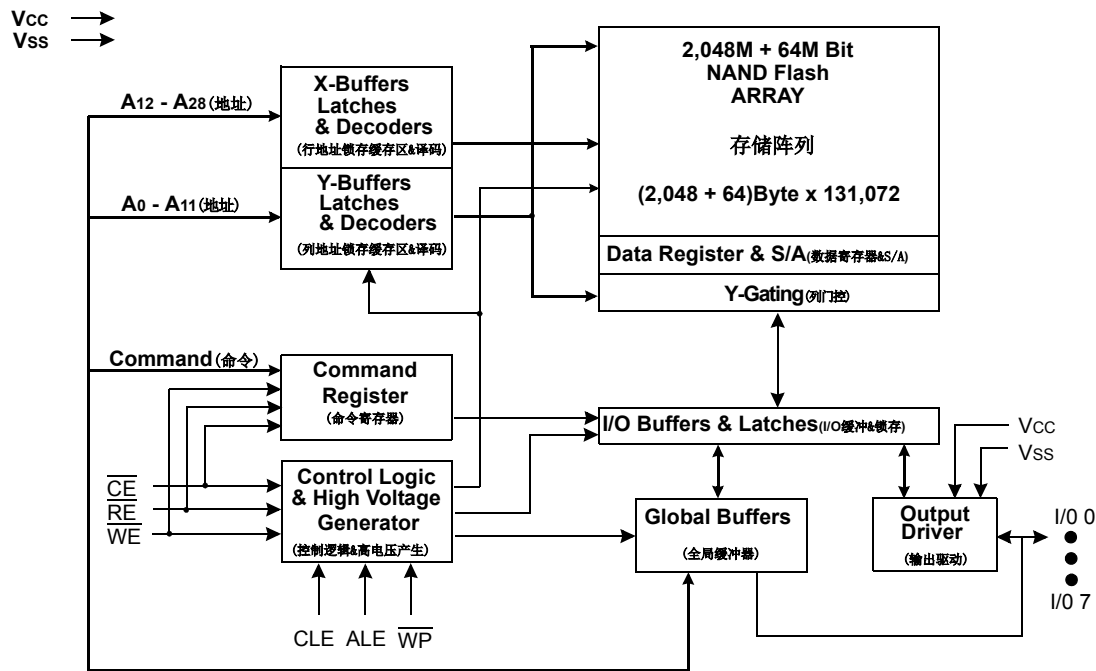
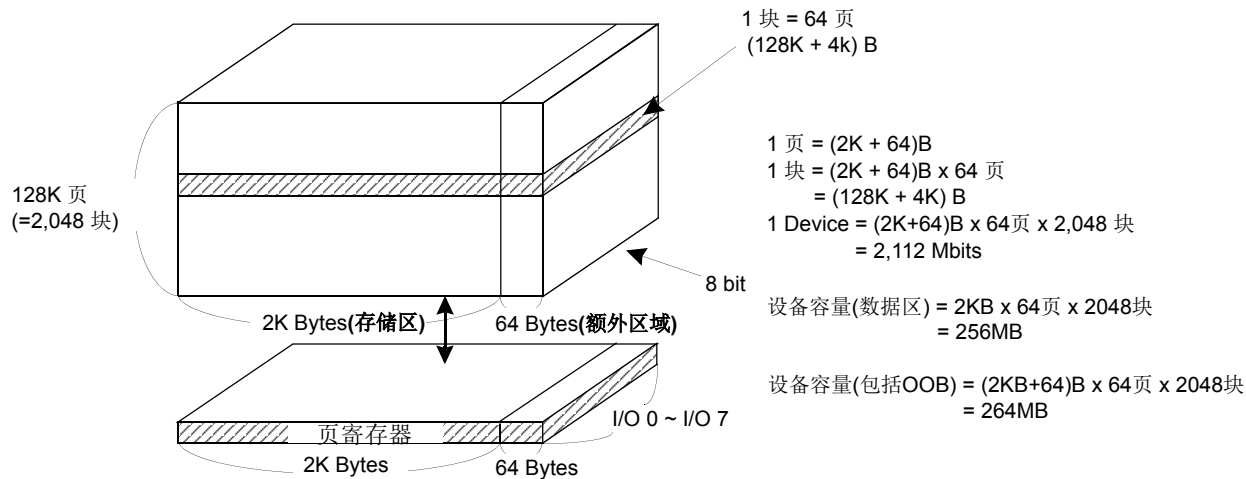


图 2. K9F2G08X0A 存储阵列结构



寻址命令表	I/O 0	I/O 1	I/O 2	I/O 3	I/O 4	I/O 5	I/O 6	I/O 7
第一周期	A0	A1	A2	A3	A4	A5	A6	A7
第二周期	A8	A9	A10	A11	*L	*L	*L	*L
第三周期	A12	A13	A14	A15	A16	A17	A18	A19
第四周期	A20	A21	A22	A23	A24	A25	A26	A27
第五周期	A28	*L	*L	*L	*L	*L	*L	*L

列地址(页内地址)
列地址
行地址(页号地址)
行地址
行地址

注：列地址从寄存器地址开始。A11在访问额外区域时有效，访问存储区时A11为0不加入地址计算。
* L 必须置为“低电平”。
* 设备会忽略任何超出要求的额外的地址输入。

产品介绍

K9F2G08X0A是一个2,112Mbit(2,214,592,512bit)大小，拥有131,072行(页)和2,112x8列的记忆体。额外的64x8列位于列地址的2,048~2,111。在页编程和页读取操作期间，一个2,112-byte大小的数据寄存器(缓存)连接到存储单元阵列在I/O缓存区和存储区之间进行数据的暂存和传输。存储器阵列基本结构是由32个单元串联形成的一个NAND结构。32个单元每个都属于不同的页。一个块包含两个NAND结构串。一个NAND结构包含32个单元。共1,081,344个NAND单元组成一个块。读取和编程操作是在页面上执行的，而擦除操作是基于块的基础上执行的。存储器阵列是由2048个单独的可擦除的128K字节的块组成的。这表明在K9F2G08X0A中一位一位的擦除操作是被禁止的。

K9F2G08X0A有8路I/O地址复用功能。该方案大大减少了引脚数并且允许系统升级到未来的密度还能保持一致性的系统模板设计。命令、地址和数据都通过I/O口写入，此时将WE置为低电平且保持CE为低电平。它们都是通过WE的上升沿来锁存数据的。命令锁存使能(CLE)和地址锁存使能(ALE)用来通过I/O引脚区分命令和地址。一些命令需要一个总线周期。比如重置命令，状态读取命令等只需要一个总线周期。另外的一些命令比如页读取、页编程、块擦除等需要两个周期：一个周期用来设置，另一个周期用来执行。264MB的物理存储空间需要29位的地址，因此需要5个周期来进行寻址：2个周期发送列地址，3个周期发送行地址，按顺序进行。页读取和页编程需要同样的5个地址周期来遵循需要的命令输入。对于块擦除操作，只有3个行地址周期被使用。对命令寄存器写特定的命令可以对设备进行不同的操作。表1 定义了对K9F2G08X0A进行操作的特定命令。

除了增强的结构和接口，设备采用了copy-back编程特性，可以从一个页直接复制到另一页而无需外部缓冲设备进行数据传输。由于耗时的串行访问和数据输入周期被移除，固态硬盘应用系统的性能显著提高。

表 1. 命令集

功能	第一周期	第二周期	忙状态时可接受的命令
Read(读取)	00h	30h	
Read for Copy Back(Copy Back读取)	00h	35h	
Read ID(读取ID)	90h	-	
Reset(复位)	FFh	-	O
Page Program(页编程)	80h	10h	
Two-Plane Page Program ⁽³⁾ (双层页编程)	80h---11h	81h---10h	
Copy-Back Program(Copy-Back编程)	85h	10h	
Two-Plane Copy-Back Program ⁽³⁾ (同上)	85h---11h	81h---10h	
Block Erase(块擦除)	60h	D0h	
Two-Plane Block Erase(Two-Plane块擦除)	60h---60h	D0h	
Random Data Input ⁽¹⁾ (随机数据输入)	85h	-	
Random Data Output ⁽¹⁾ (随机数据输出)	05h	E0h	
Read Status(状态位读取)	70h		O
Read EDC Status ⁽²⁾ (读取EDC状态位)	7Bh		O

注：1. 随机数据输入/输出可以在一个页面执行。

2. 读取EDC状态位只有在Copy Back操作下有效。

3. 除了70h和FFh任何在11h和81h之间的命令都被禁止。

4. K9F2G08R0A 不提供Two-Plane操作。

注意：除了表1中的命令集，任何未定义的命令都是被禁止使用的。

绝对最大额定值

参数		符号	等级		单位
			1.8V	3.3V	
任何引脚相对Vss的电压		VCC	-0.6 to +2.45	-0.6 to +4.6	V
		VIN	-0.6 to +2.45	-0.6 to +4.6	
		VI/O	-0.6 to Vcc + 0.3 (< 2.45V)	-0.6 to Vcc + 0.3 (< 4.6V)	
温度偏差	K9F2G08X0A-XCB0	TBIAS	-10 to +125		°C
	K9F2G08X0A-XIB0		-40 to +125		
保存温度	K9F2G08X0A-XCB0	TSTG	-65 to +150		°C
	K9F2G08X0A-XIB0				
短路电流		IOS	5		mA

注:

1. 输入/输出引脚的最小直流电压为-0.6V。电平变换期间, 在小于30ns的周期内这一指标可能下冲至-2.0V
输入/输出引脚的最大直流电压为V_{CC}+0.3V。电平变换期间, 在小于20ns的周期内这一指标可能上冲至V_{CC}+2.0V
2. 如果超过绝对最大额定值, 可能会发生永久性损坏设备。功能操作时应限制条件。
详见数据手册的操作部分。设备长时间暴露在绝对最大额定条件下可能会影响可靠性。

推荐的操作条件

(对地参考电压, K9F2G08X0A-XCB0 :T_A=0 to 70°C, K9F2G08X0A-XIB0:T_A=-40 to 85°C)

参数	符号	1.8V			3.3V			单位
		最小	典型	最大	最小	典型	最大	
电源电压	V _{CC}	1.65	1.8	1.95	2.7	3.3	3.6	V
电源电压	V _{SS}	0	0	0	0	0	0	V

直流操作特性(推荐工作条件另外注明。)

参数		符号	测试条件	1.8V			3.3V			单位
				最小	典型	最大	最小	典型值	最大	
工作电流	页串行读取	I _{CC1}	t _{RC} =25ns (K9F2G08R0A: 42ns) CE=V _{IL} , I _{OUT} =0mA	-	10	20	-	15	30	mA
	编程	I _{CC2}	-							
	擦除	I _{CC3}	-							
待机电流(TTL)		I _{SB1}	CE=V _{IH} , WP=0V/V _{CC}	-	-	1	-	-	1	μA
待机电流(CMOS)		I _{SB2}	CE=V _{CC} -0.2, WP=0V/V _{CC}	-	10	50	-	10	50	
输入漏电流		I _{LI}	V _{IN} =0 to V _{CC} (max)	-	-	±10	-	-	±10	
输出漏电流		I _{LO}	V _{OUT} =0 to V _{CC} (max)	-	-	±10	-	-	±10	
输入高电压		V _{IH} ⁽¹⁾	-	0.8xV _{CC}	-	V _{CC} +0.3	0.8xV _{CC}	-	V _{CC} +0.3	V
输入低电压, 所有输入引脚		V _{IL} ⁽¹⁾	-	-0.3	-	0.2xV _{CC}	-0.3	-	0.2xV _{CC}	
输出高电平		V _{OH}	K9F2G08R0A: I _{OH} =-100μA K9F2G08U0A: I _{OH} =-400μA	V _{CC} -0.1	-	-	2.4	-	-	
输出低电平		V _{OL}	K9F2G08R0A: I _{OL} =100μA K9F2G08U0A: I _{OL} =2.1mA	-	-	0.1	-	-	0.4	
输出低电流(R/B ₁ 引脚)		I _{OL} (R/B ₁)	V _{OL} =0.4V	3	4	-	8	10	-	mA

- 注: 1. V_{IL} 可以下冲至-0.4V, V_{IH} 可以上冲至V_{CC}+0.4V可持续20 ns 或更少。
2. 典型值的测试环境为V_{CC}=3.3V, T_A=25°C. 不是100% 完全测试。

有效块

参数	符号	最小	典型	最大	单位
K9F2G08X0A	NVB	2,008	-	2,048	Blocks

注释：

1. 设备可能在第一次出厂时就有初始的无效块。额外的无效块可能在使用过程中增加。有效块的数目是同时对无效块的考虑。无效块的定义是一个块中含有一个或多个坏的位。不要擦除或编程出厂标记的坏块。参考附件的技术说明对无效块进行适当的管理。
2. 被放置在块地址的00H处的第一个块保证是一个有效块，带有1bit/512Byte的ECC且有高达1K的编程/擦除周期。
3. 有效块的数量是基于单层操作的基础的，如果是双层操作时这个数值可能会降低。

交流测试条件

(K9F2G08X0A-XCB0 :TA=0 to 70°C, K9F2G08X0A-XIB0:TA=-40 to 85°C,
K9F2G08R0A: Vcc=1.65~1.95V, K9F2G08U0A: Vcc=2.7V~3.6V 除非另有说明)

参数	K9F2G08R0A	K9F2G08U0A
输入脉冲电平	0V to Vcc	0V to Vcc
输入上升和下降时间	5ns	5ns
输入输出时序电平	Vcc/2	Vcc/2
输出负载	1 TTL 门、CL=30pF	1 TTL 门、CL=50pF

电容(TA=25°C, Vcc=3.3V, f=1.0MHz)

条目	符号	测试条件	最小	最大	单位
输入/输出电容	C _{I/O}	V _{IL} =0V	-	10	pF
输入电容	C _{IN}	V _{IN} =0V	-	10	pF

注：电容是周期性采样，而不是100%测试。

模式选择

CLE	ALE	$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{RE}}$	$\overline{\text{WP}}$	Mode	
H	L	L		H	X	读模式	命令输入
L	H	L		H	X		地址输入(5时钟周期)
H	L	L		H	H	写模式	命令输入
L	H	L		H	H		地址输入(5时钟周期)
L	L	L		H	H	数据输入	
L	L	L	H		X	数据输出	
X	X	X	X	H	X	正在读取(忙)	
X	X	X	X	X	H	正在编程(忙)	
X	X	X	X	X	H	正在擦除(忙)	
X	X ⁽¹⁾	X	X	X	L	写保护	
X	X	H	X	X	0V/Vcc ⁽²⁾	待机	

注：1. X 可以是 V_{IL} 或 V_{IH}。

2. 对于待机模式WP的电平高低应偏向CMOS的电平高低。

编程/擦除特性

参数	符号	最小	典型	最大	单位
编程时间	tPROG	-	200	700	μs
双层页编程的虚拟忙时间	tdBSY	-	0.5	1	μs
部分编程周期数	Nop	-	-	4	cycles
块擦除时间	tBERS	-	1.5	2	ms

注：1. 测量环境的典型值Vcc=3.3V, TA=25°C. 非100%测试。

2. 典型的编程时间定义为在3.3V Vcc和 25° C 的环境下对整个页面超过50%的页面进行编程的时间。

命令 / 地址 / 数据输入的交流时序特性

参数	符号	最小		最大		单位
		1.8V	3.3V	1.8V	3.3V	
CLE 设置时间	tCLS ⁽¹⁾	21	12	-	-	ns
CLE 持续时间	tCLH	5	5	-	-	ns
$\overline{\text{CE}}$ 设置时间	tCS ⁽¹⁾	25	20	-	-	ns
$\overline{\text{CE}}$ 持续时间	tCH	5	5	-	-	ns
$\overline{\text{WE}}$ 脉冲宽度	tWP	21	12	-	-	ns
ALE 设置时间	tALS ⁽¹⁾	21	12	-	-	ns
ALE 持续时间	tALH	5	5	-	-	ns
数据设置时间	tDS ⁽¹⁾	20	12	-	-	ns
数据持续时间	tDH	5	5	-	-	ns
写入周期时间	tWC	42	25	-	-	ns
$\overline{\text{WE}}$ 高电平持续时间	tWH	15	10	-	-	ns
地址取数据的加载时间	tADL ⁽²⁾	100	100	-	-	ns

注：1. $\overline{\text{WE}}$ 维持低电平时相应控制引脚的状态转换只能发生一次。

2. tADL 是 $\overline{\text{WE}}$ 最后一个地址周期的上升沿到 $\overline{\text{WE}}$ 第一个数据周期的上升沿之间的时间。

操作时的交流特性

参数	符号	最小		最大		单位
		1.8V	3.3V	1.8V	3.3V	
存储单元到寄存器的传输时间	t _{IR}	-	-	25	25	μs
ALE到 $\overline{\text{RE}}$ 的延迟时间	t _{AR}	10	10	-	-	ns
CLE到 $\overline{\text{RE}}$ 的延迟时间	t _{CLR}	10	10	-	-	ns
$\overline{\text{RE}}$ 转为低电平的就绪时间	t _{RR}	20	20	-	-	ns
$\overline{\text{RE}}$ 脉冲宽度	t _{RP}	21	12	-	-	ns
$\overline{\text{WE}}$ 高电平到忙状态的时间	t _{WB}	-	-	100	100	ns
读周期时间	t _{RC}	42	25	-	-	ns
$\overline{\text{RE}}$ 访问时间	t _{REA}	-	-	30	20	ns
$\overline{\text{CE}}$ 访问时间	t _{CEA}	-	-	35	25	ns
$\overline{\text{RE}}$ 高电平到输出高阻状态的时间	t _{RHZ}	-	-	100	100	ns
$\overline{\text{CE}}$ 高电平到输出高阻状态的时间	t _{CHZ}	-	-	30	30	ns
$\overline{\text{CE}}$ 高电平到ALE或CLE无关的时间	t _{CSD}	0	0	-	-	ns
$\overline{\text{RE}}$ 高电平输出保持时间	t _{RHOH}	15	15	-	-	ns
$\overline{\text{RE}}$ 低电平输出保持时间	t _{RLOH}	5	5	-	-	ns
$\overline{\text{CE}}$ 高电平输出保持时间	t _{COH}	15	15	-	-	ns
$\overline{\text{RE}}$ 高状态保持时间	t _{REH}	10	10	-	-	ns
高阻状态到 $\overline{\text{RE}}$ 低电平的时间	t _{IR}	0	0	-	-	ns
$\overline{\text{RE}}$ 高电平到 $\overline{\text{WE}}$ 低电平的时间	t _{RHW}	100	100	-	-	ns
$\overline{\text{WE}}$ 高电平到 $\overline{\text{RE}}$ 低电平的时间	t _{WHR}	60	60	-	-	ns
设备复位时间(读取/编程/擦除时)	t _{RST}	-	-	5/10/500 ⁽¹⁾	5/10/500 ⁽¹⁾	μs
$\overline{\text{RE}}$ 在忙状态的脉冲宽度	t _{RPB} ⁽²⁾	35	-	-	-	ns
忙状态的读取周期时间	t _{RCB} ⁽²⁾	50	-	-	-	ns
$\overline{\text{RE}}$ 在忙状态的访问时间	t _{REAB} ⁽²⁾	-	-	40	-	ns

注: 1. 如果复位命令(FFh)在就绪状态写入, 设备会进入最多5μs的忙状态。
2. 参数 (t_{RPB}/t_{RCB}/t_{REAB}) 必须且只能用于1.8V设备。

NAND Flash 技术说明

初始的无效块

初始的无效块定义为一个块含有一个或多个无效的位并且三星电子无法保证其可靠性。关于初始无效块的信息被称为**初始无效块信息**。带有无效块的设备和全都是有效块的设备有相同的质量等级和相同的直流、交流特性。初始无效块不影响有效块的性能，因为它们可以通过选择晶体管而独立于位线和同源线。系统的设计必须能够通过地址映射来屏蔽无效块。第一个块，即放置在00H块地址的块，要保证其可以进行1bit/512Byte的ECC查错并且有高达1K的编程/擦除周期。

确定初始无效块

设备的所有位置都可以被擦除(FFh)除了出厂时写入**初始无效块信息**的位置。初始无效块的状态被定义在额外存储区的第一个字节中。三星电子确保在每个初始无效块中无论是第一页还是第二页的2048列地址(即额外存储区的第一个列地址)中都为FFh数据。由于初始无效块信息在很多情况下是可以擦除的，一旦被擦除恢复数据是不可能的。因此，因此系统必须能通过原始的初始无效块信息来识别初始无效块，并且通过如下建议的流程图(图3)来创建**初始无效块信息**表格。任何故意删除初始无效块信息的操作是被禁止的。

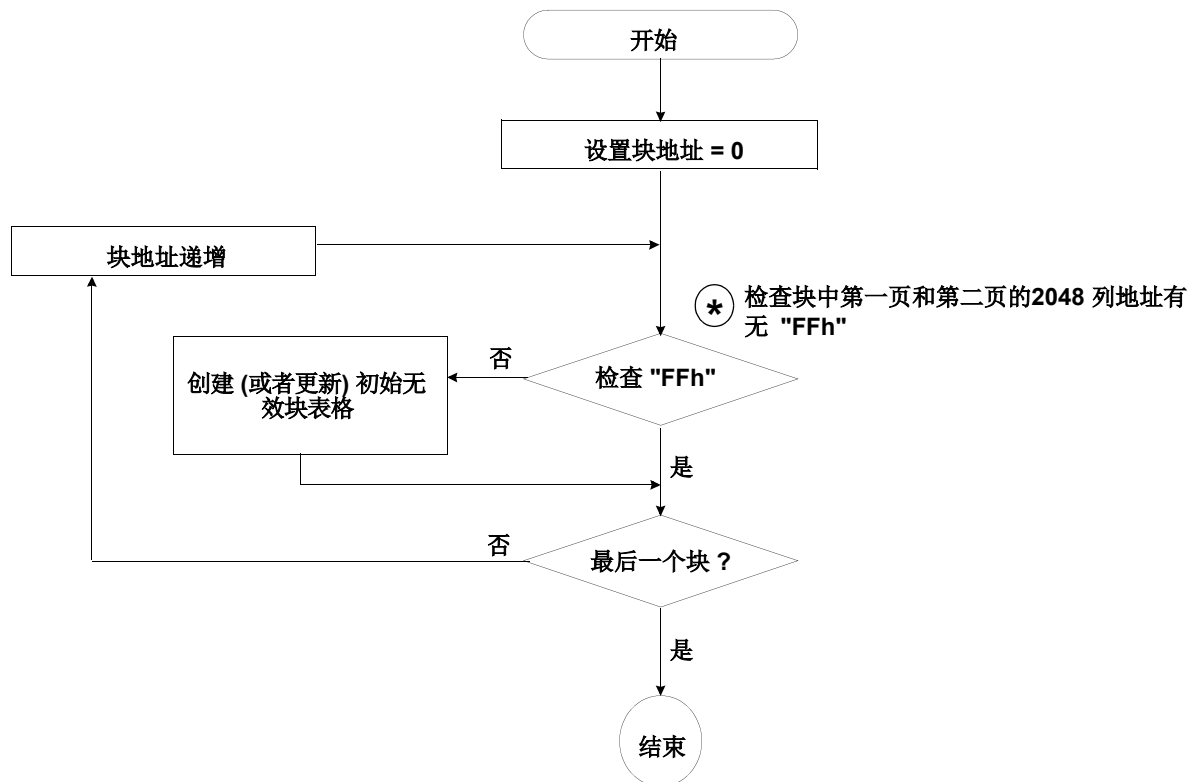


图 3. 建立初始无效块信息表格的流程图

NAND Flash 技术说明(接上页)

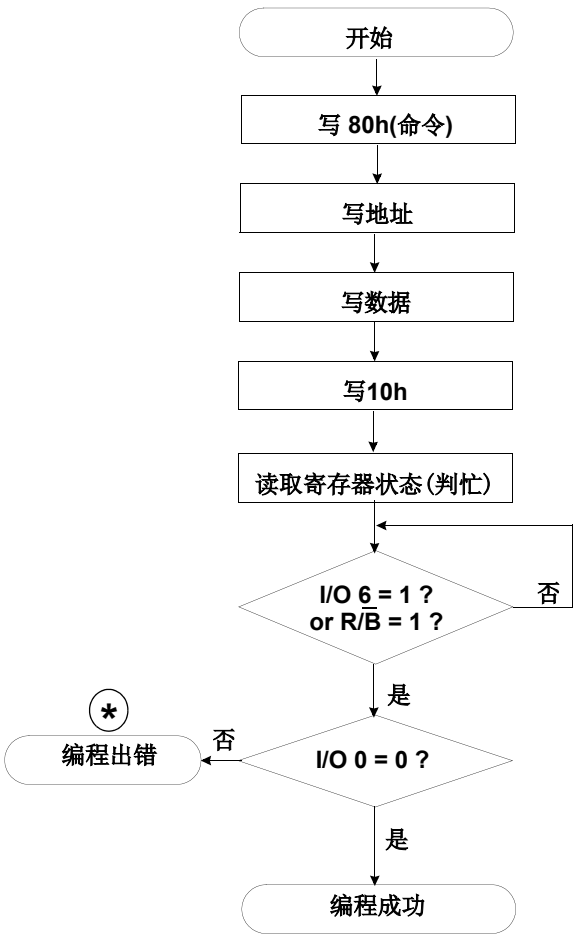
读写操作中的错误

在其生命周期内，额外的NAND Flash坏块会增加。参考实际数据的评定报告，如下的故障模型可以作为参考来实现一个高度可靠的系统。如果在编程或擦除操作后进行读取状态位失败，那么需要进行块的替换。因为在页编程时编程状态的读取失败不影响同一块中不同页的数据，块的替换操作过程为：找到一个擦除的空白块并重编程当前目标数据、拷贝剩余的数据到替换到的块，重编程在一个页大小的缓存区内执行。在读取的状态下，必须采用ECC进行查错。为了提高存储空间效率，这里建议阅读或验证那些可以被ECC纠错修复且无替换块的由于单个位错误引起的错误。额外说明，块的故障率不包括那些可以用ECC纠错的块。

故障模式		检查和对策
写	擦除故障	擦除后状态位读取 --> 块替换
	编程故障	编程后状态位读取 --> 块替换
读	单个位故障	ECC验证 -> ECC 校正

ECC : 错误校正编码 --> 汉明码等
例如) 1位校正 & 2位检测

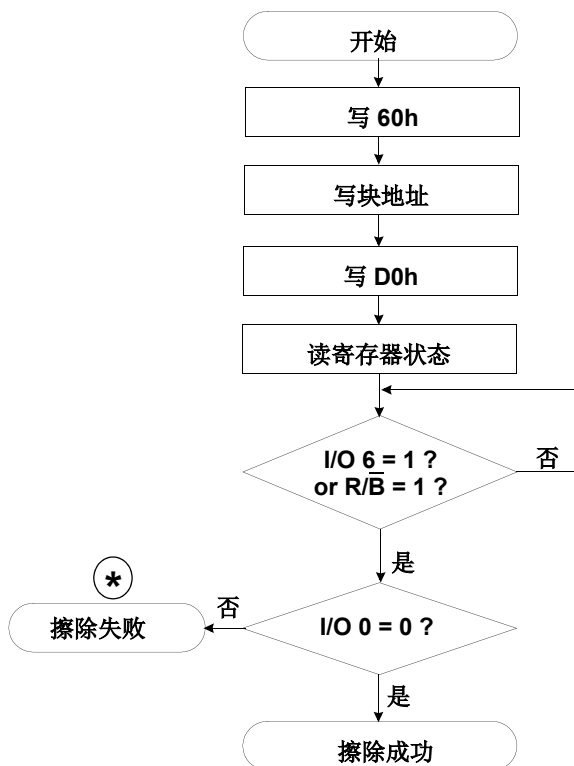
编程操作流程



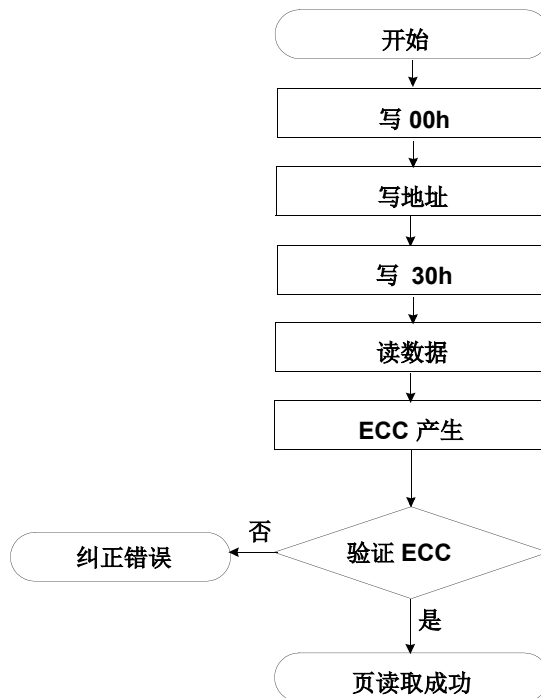
(*) : 如果编程操作出错，标记出错的页和其所在的块并拷贝目标数据到其他的块中。

NAND Flash 技术说明 (接上页)

擦除操作流程

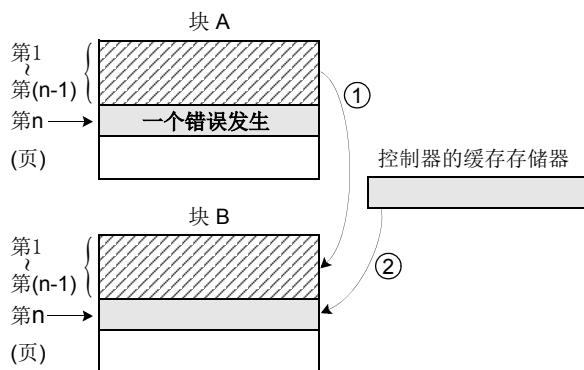


读取操作流程



⊛：如果擦除操作失败，标记出错的块并用其他块代替它。

块的替换



* 第一步

在编程或擦除操作的时候在A块的第n页发生了错误。

* 第二步

拷贝第1页到第n-1页的数据到另外空闲块的相同的位置。(块B)

* 第三步

接着，拷贝缓存存储器中本应处于块A的第n页中的数据到块B的第n页。

* 第四步

不要再对块A进行编程或擦除，可以创建一个“无效块”表格或者采取其他合适的方案。

NAND Flash 技术说明 (接上页)

带有EDC的Copy-Back 操作 & EDC扇区定义

通常的，copy-back编程是很强大的，它可以不利用任何外部存储器把数据存储到页中。但是，如果源页中因为电荷丢失或增加有一位错误，而且没有 EDC，copy-back编程操作也会累积位错误。

K9F2G08X0A 提供带有EDC的copy-back来防止位错误的累积。为了使EDC有效，页编程需要在整个页(2112byte) 或整个扇区(528byte)来执行。在Copy-Back编程之前通过随机数据输入来修改一个扇区的数据必须要在整个扇区执行且每个扇区只能执行一次。任何小于扇区的部分修改会破坏片上的 EDC码。

一个2,112-byte大小的页由4个528-byte大小的扇区组成，每个528-byte大小的扇区由 512-byte大小的主存储区和16-byte大小的额外存储区组成。

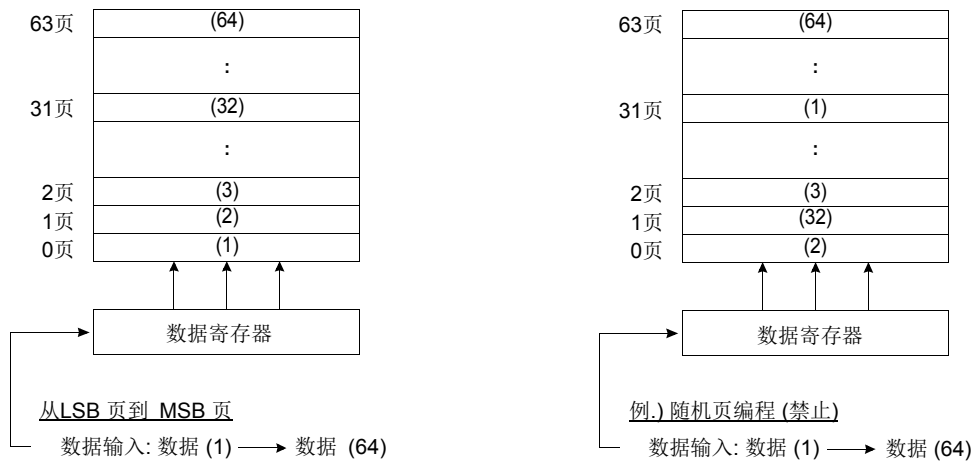
主存储区 (2,048 Byte)				额外存储区 (64 Byte)			
"A" 区域 (第一个扇区)	"B" 区域 (第二个扇区)	"C" 区域 (第三个扇区)	"D" 区域 (第四个扇区)	"E" 区域 (第一个扇区)	"F" 区域 (第二个扇区)	"G" 区域 (第三个扇区)	"H" 区域 (第四个扇区)
512 Byte	512 Byte	512 Byte	512 Byte	16 Byte	16 Byte	16 Byte	16 Byte

表 2. 528-Byte 扇区的定义

扇区	主存储器 (列 0~2,047)		额外存储区 (列 2,048~2,111)	
	区域名	Column Address	Area Name	Column Address
第一个528-Byte 扇区	"A"	0 ~ 511	"E"	2,048 ~ 2,063
第二个528-Byte 扇区	"B"	512 ~ 1,023	"F"	2,064 ~ 2,079
第三个528-Byte 扇区	"C"	1,024 ~ 1,535	"G"	2,080 ~ 2,095
第四个528-Byte 扇区	"D"	1,536 ~ 2,047	"H"	2,096 ~ 2,111

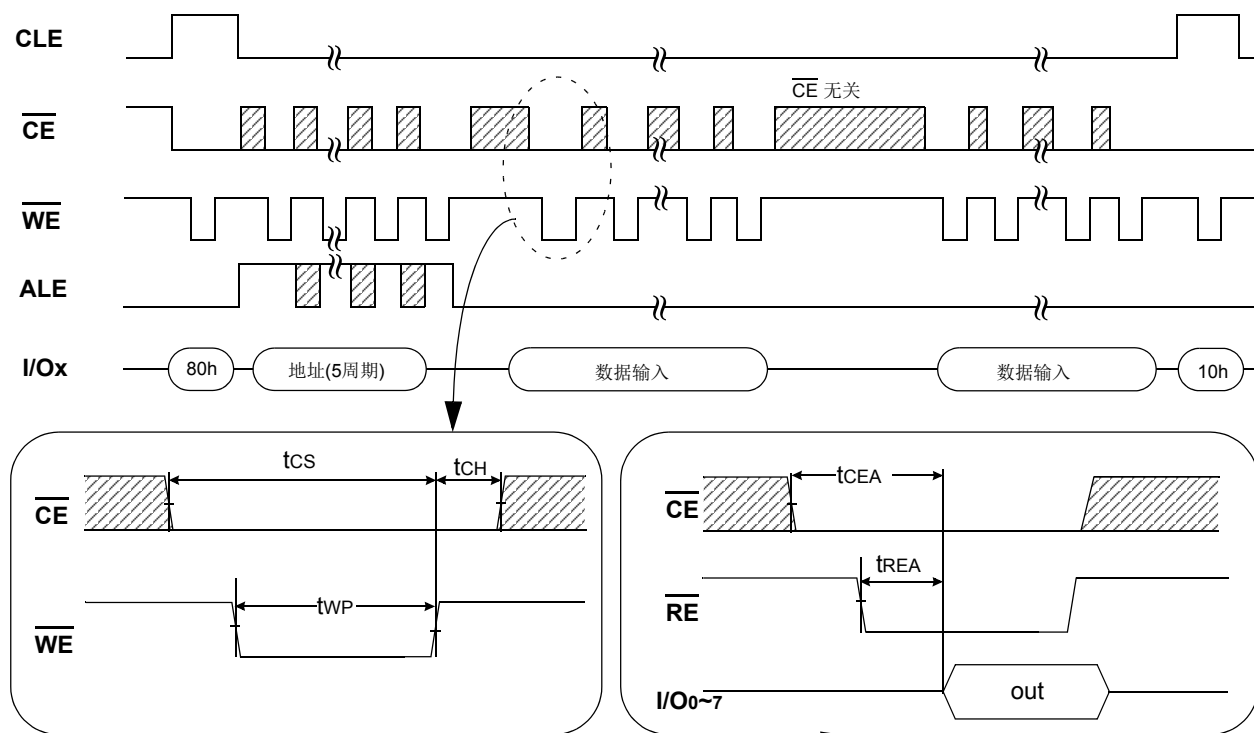
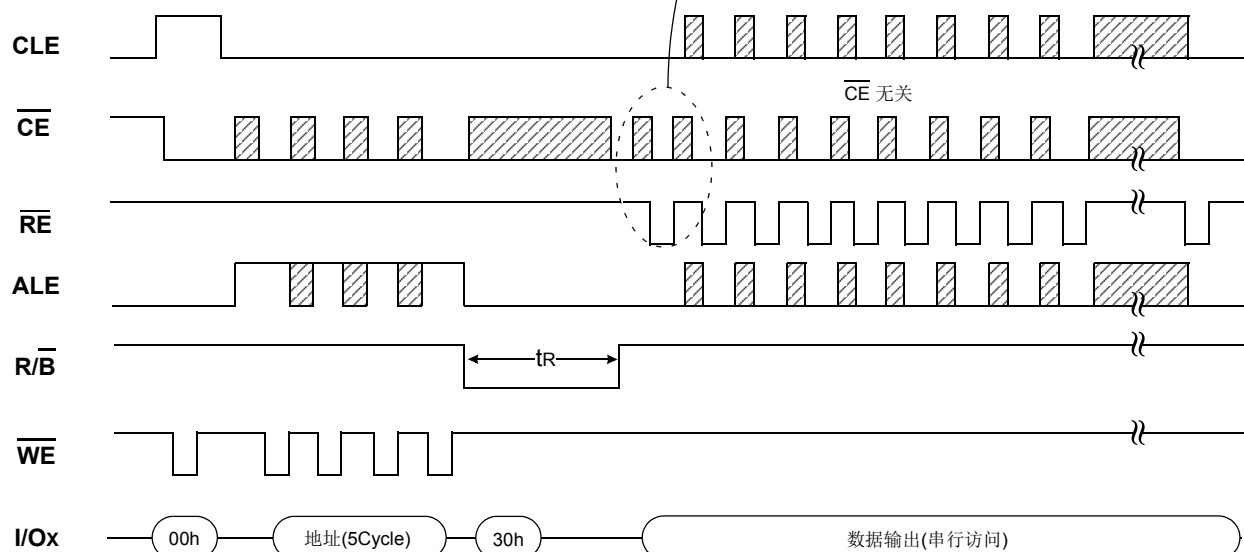
编程操作的寻址

在块中，页的编程必须连续的从块的LSB(最低有效位)页到块的MSB(最高有效位)页。随机地址的页编程是被禁止的。LSB页的定义是LSB为所有页面中开始编程的页。因此，LSB页不一定是第0页。



系统接口使用 $\overline{\text{CE}}$ 无关。(片选无关功能)

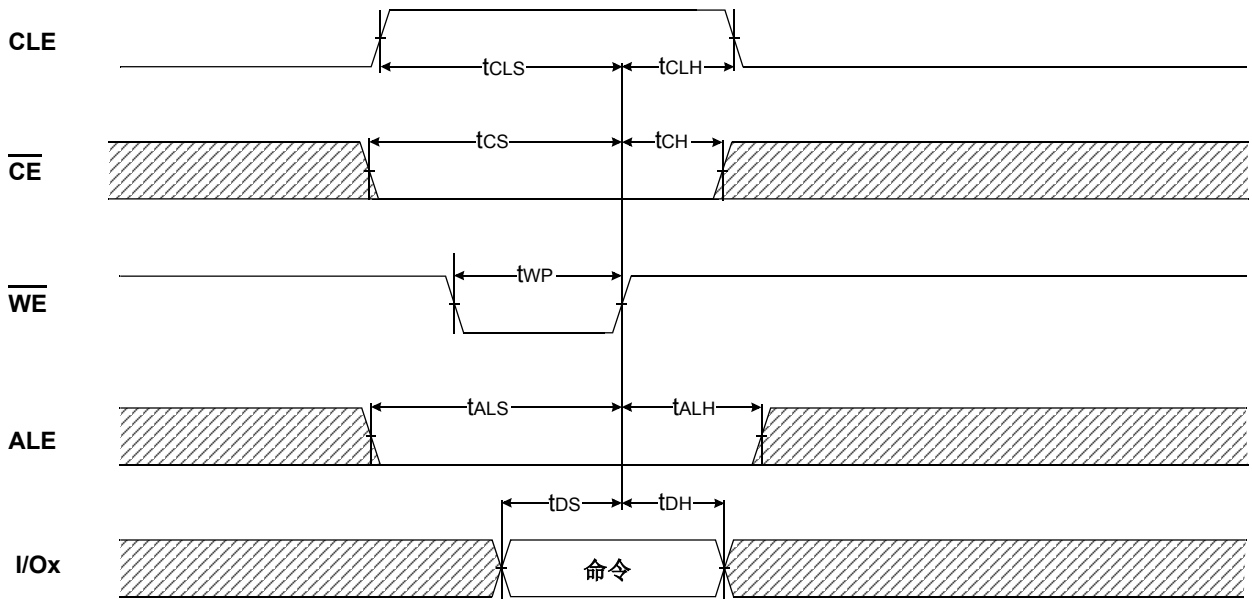
对于简单的系统接口，如下图所示 $\overline{\text{CE}}$ 在数据读取和串行访问的时候可以是非激活状态的。对于这个操作，内部2,112byte大小的数据寄存器可以用作单独的缓存并且使系统的设计更加灵活。此外，对于视频和音频这些使用 μ 秒级别的慢周期的应用，在数据读取和串行访问过程中取消 $\overline{\text{CE}}$ 的激活可以显著的提升节省电力消耗的能力。

图 4. $\overline{\text{CE}}$ 无关的编程操作图 5. $\overline{\text{CE}}$ 无关的读取操作

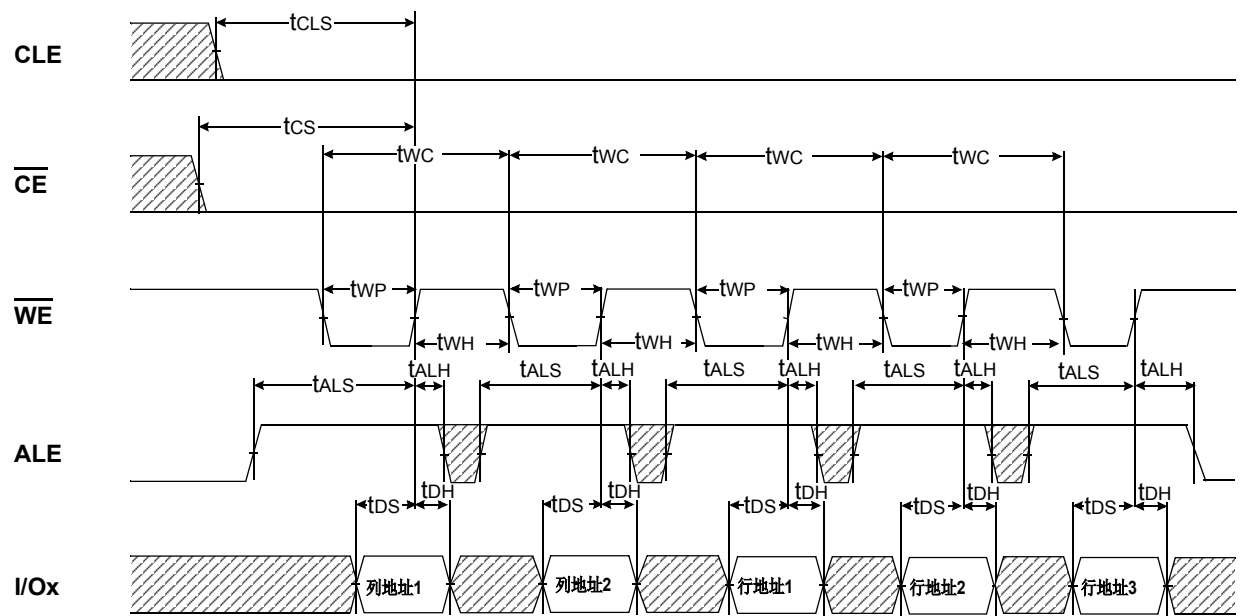
注:

设备	I/O	数据	地址				
	I/Ox	数据 输入/输出	列地址1	列地址2	行地址1	行地址2	行地址3
K9F2G08X0A	I/O 0 ~ I/O 7	2,112byte	A0~A7	A8~A11	A12~A19	A20~A27	A28

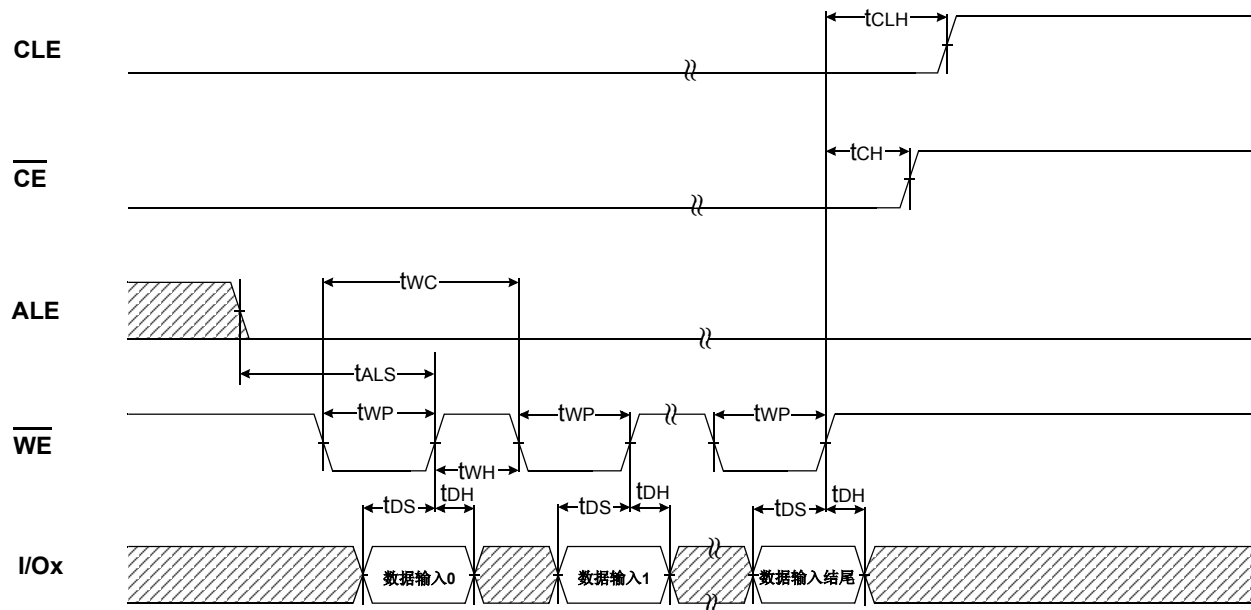
命令锁存周期



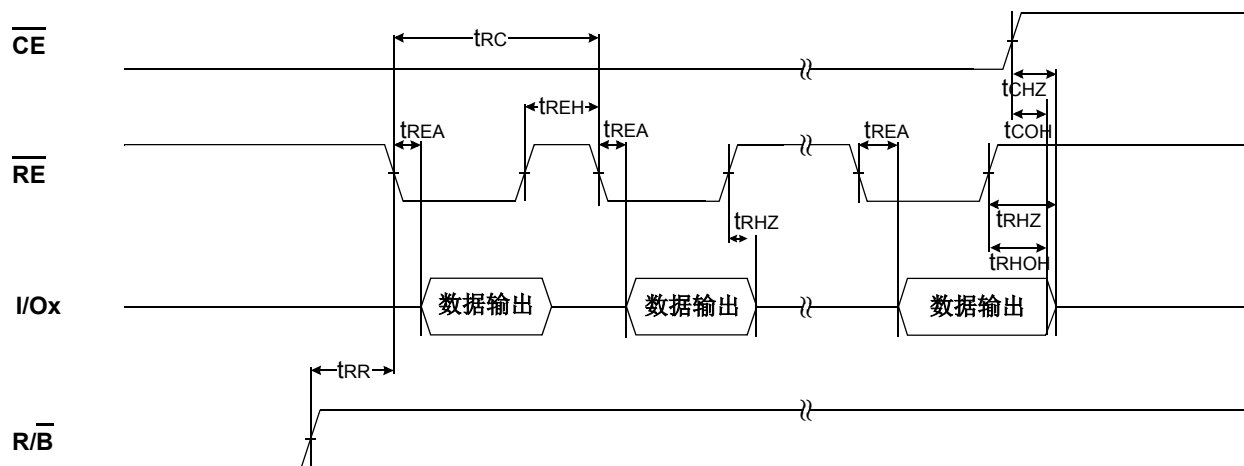
地址锁存周期



数据输入锁存周期

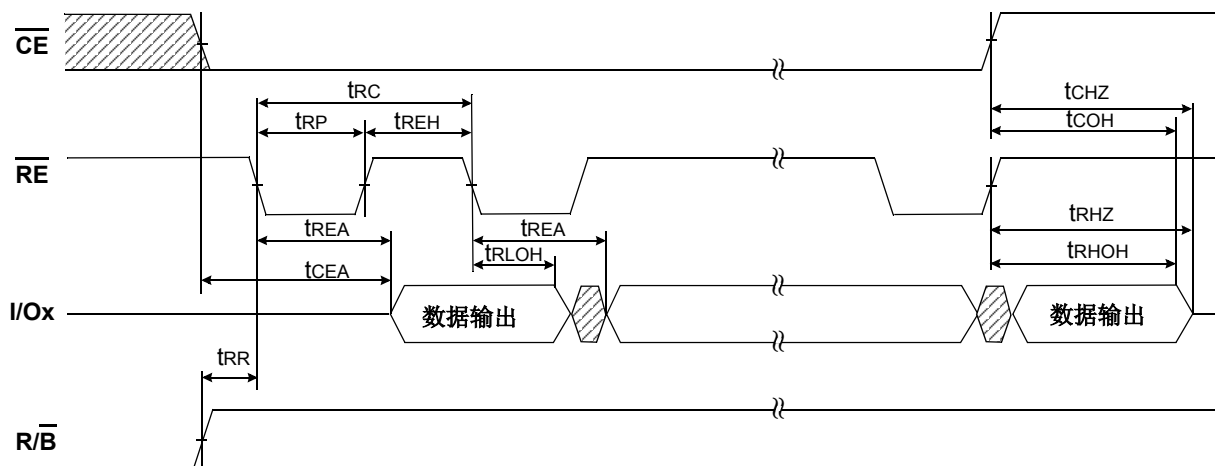


* 读取后的串行访问 (CLE=L, \overline{WE} =H, ALE=L)



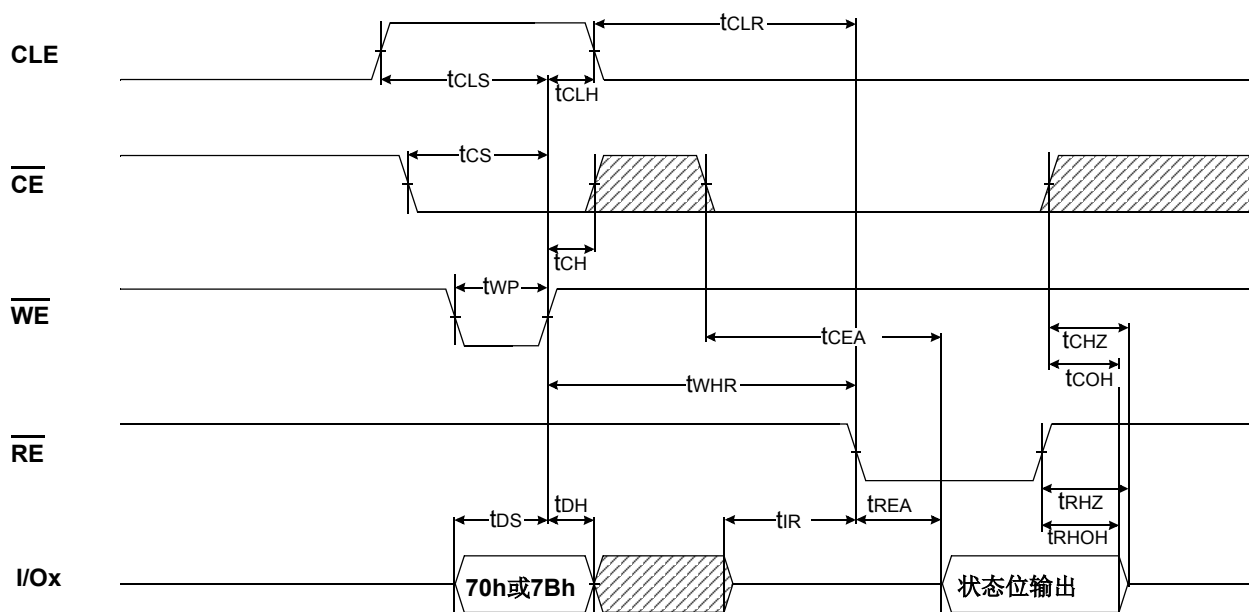
- 注: 1. 状态翻转是在 $\pm 200\text{mV}$ 稳态负载电压的条件下测量的。
2. 这些参数为采样测得, 非100%测试。
3. 频率高于33MHz时 t_{RLOH} 有效。
4. 频率低于33MHz时 t_{RHOH} 开始生效。

读取后的串行访问(EDO模式, $\overline{CLE}=L$, $\overline{WE}=H$, $ALE=L$)

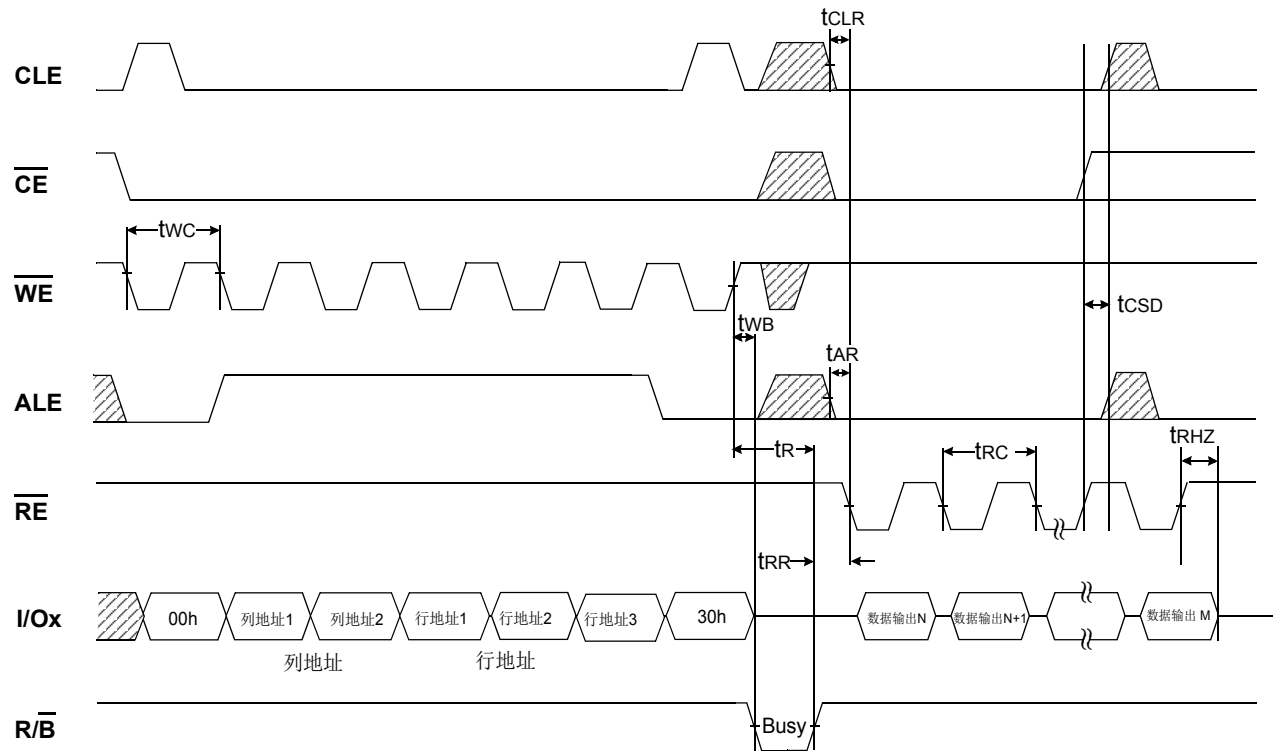


- 注: 1. 状态翻转是在 $\pm 200mV$ 稳态负载电压的条件下测量的。
2. 这些参数为采样测得, 非100%测试。
3. 频率高于33MHz时 t_{RLOH} 有效。
4. 频率低于33MHz时 t_{RHOH} 开始生效。

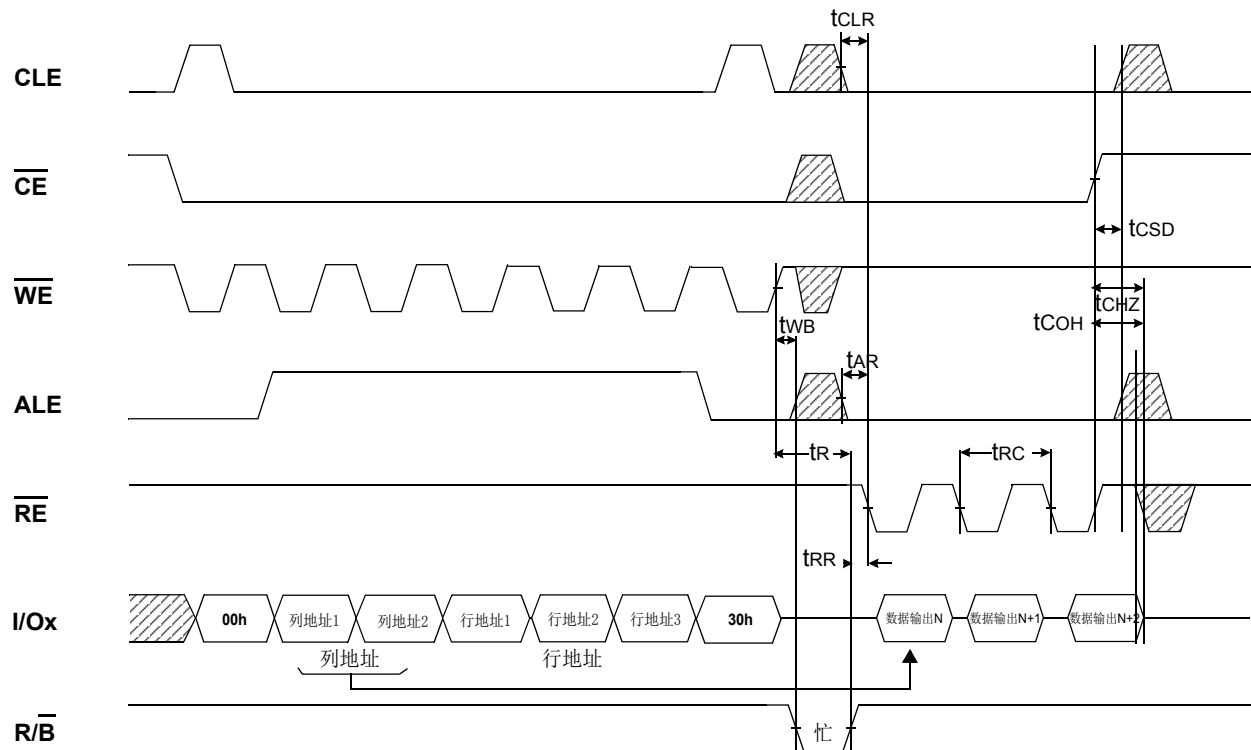
状态位读取周期 & EDC 状态位读取周期



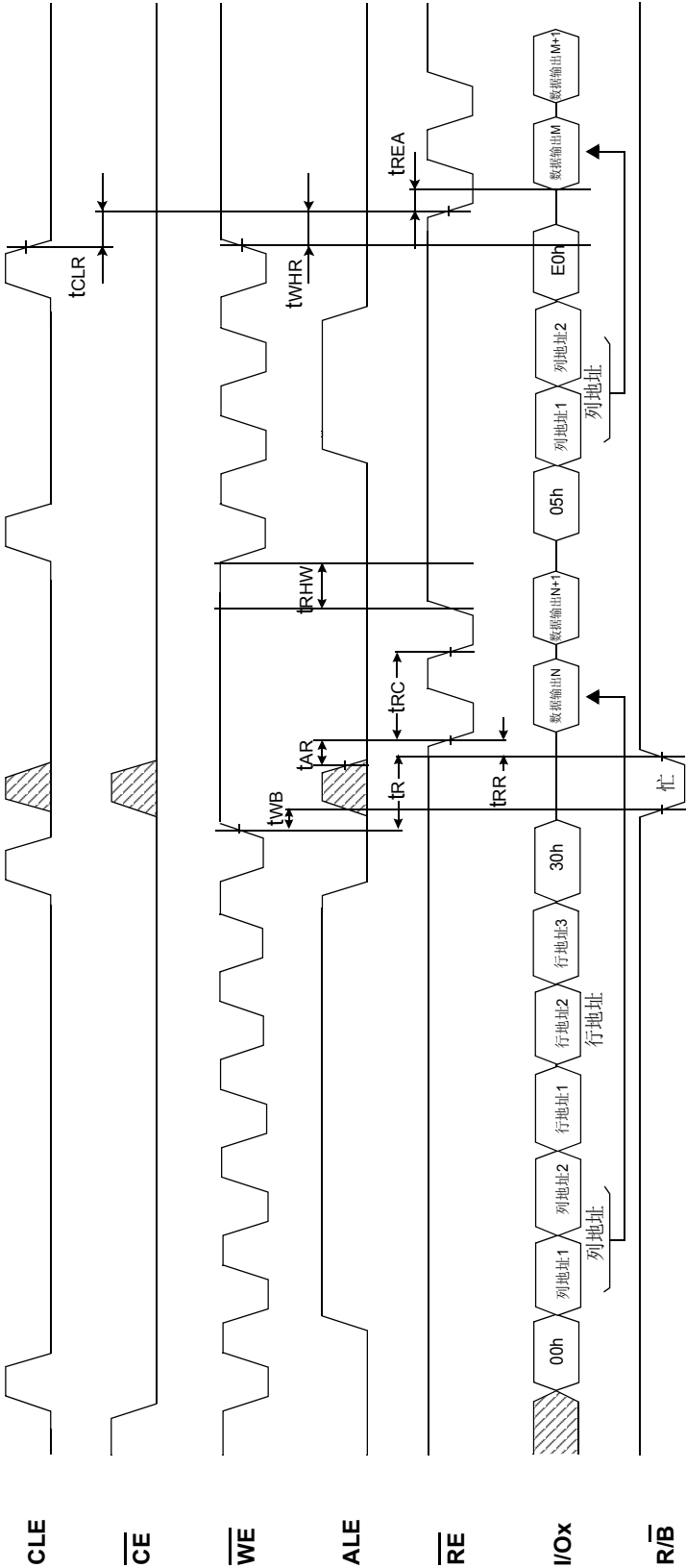
读操作



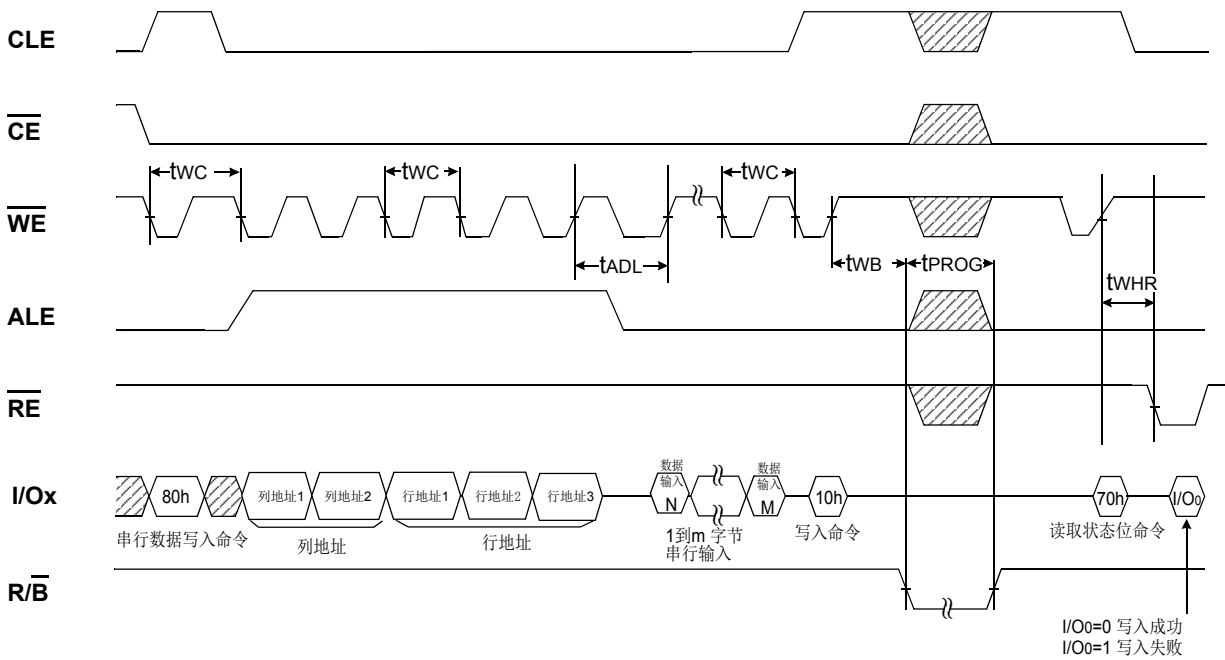
读操作(被 $\overline{\text{CE}}$ 截获)



页内随机数据输出

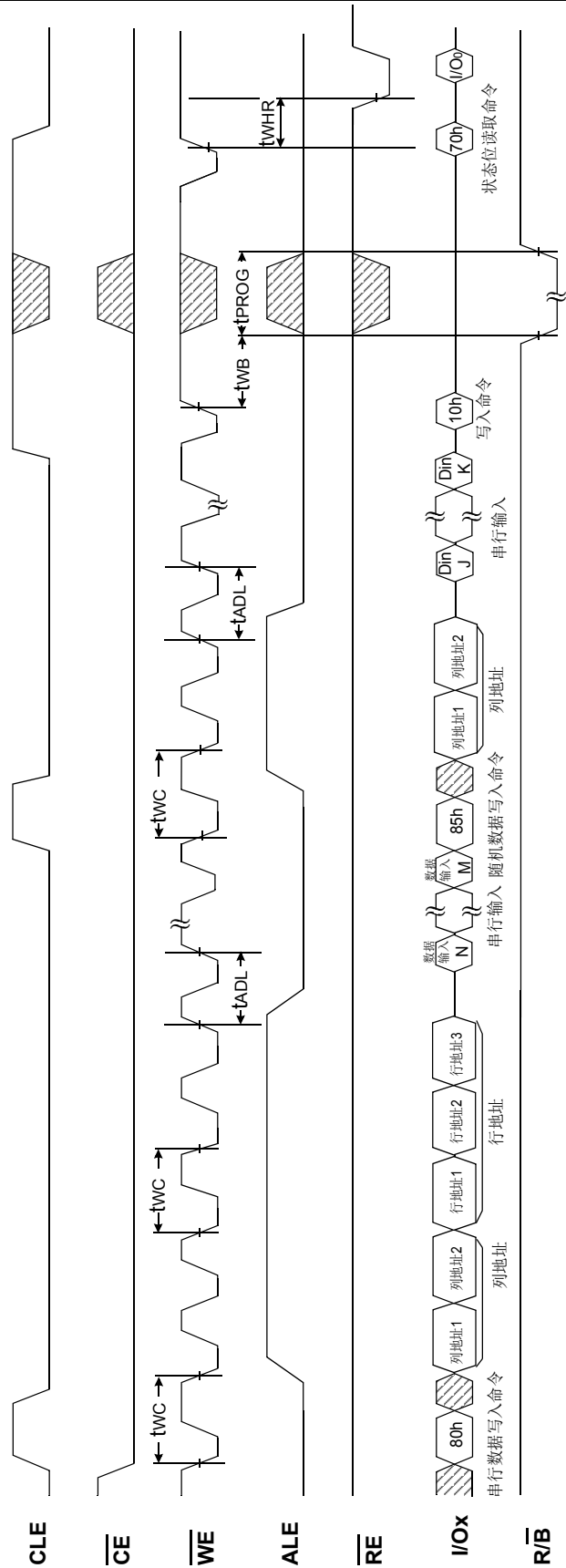


页编程操作



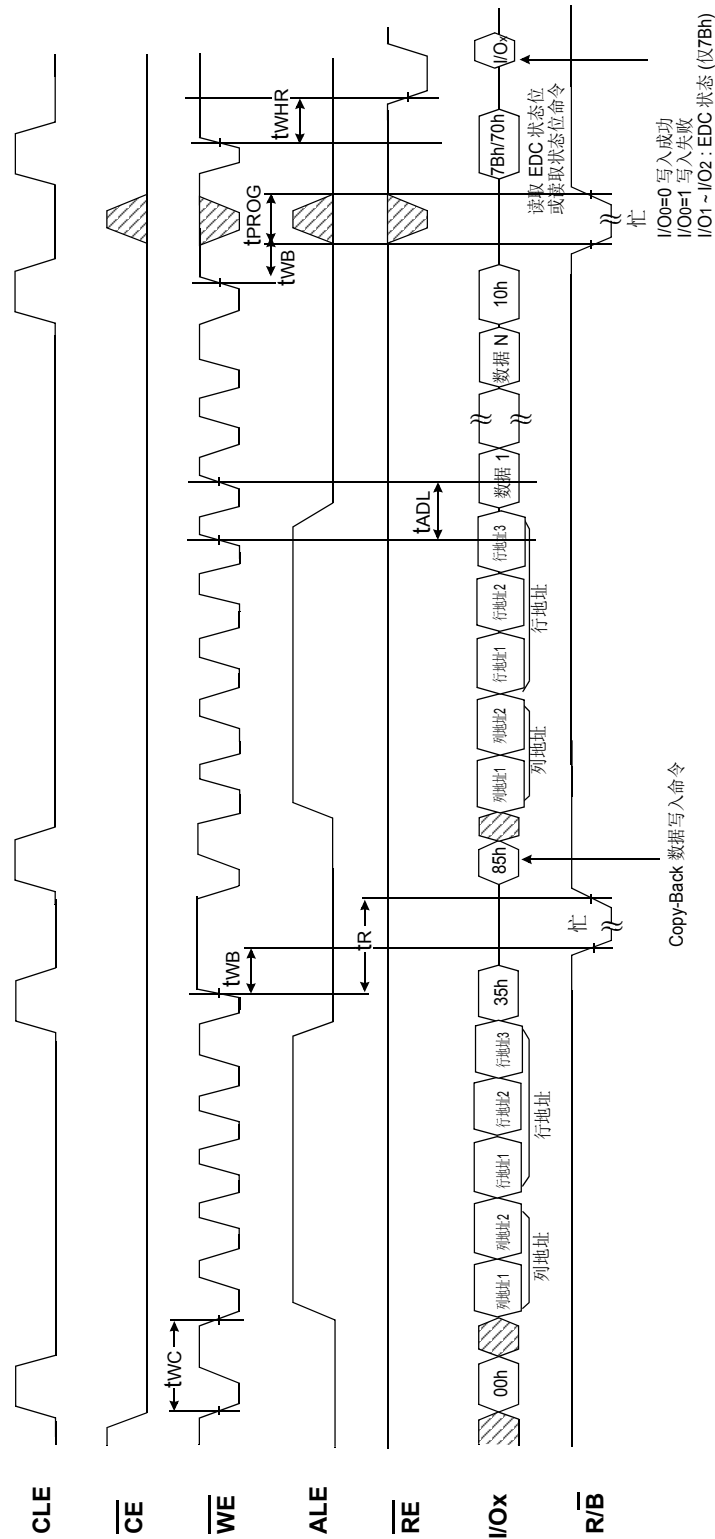
注：tADL是最后一个地址周期时 \overline{WE} 的上升沿到第一个数据输入周期时 \overline{WE} 的上升沿之间的时间。

页编程操作的随机数据输入



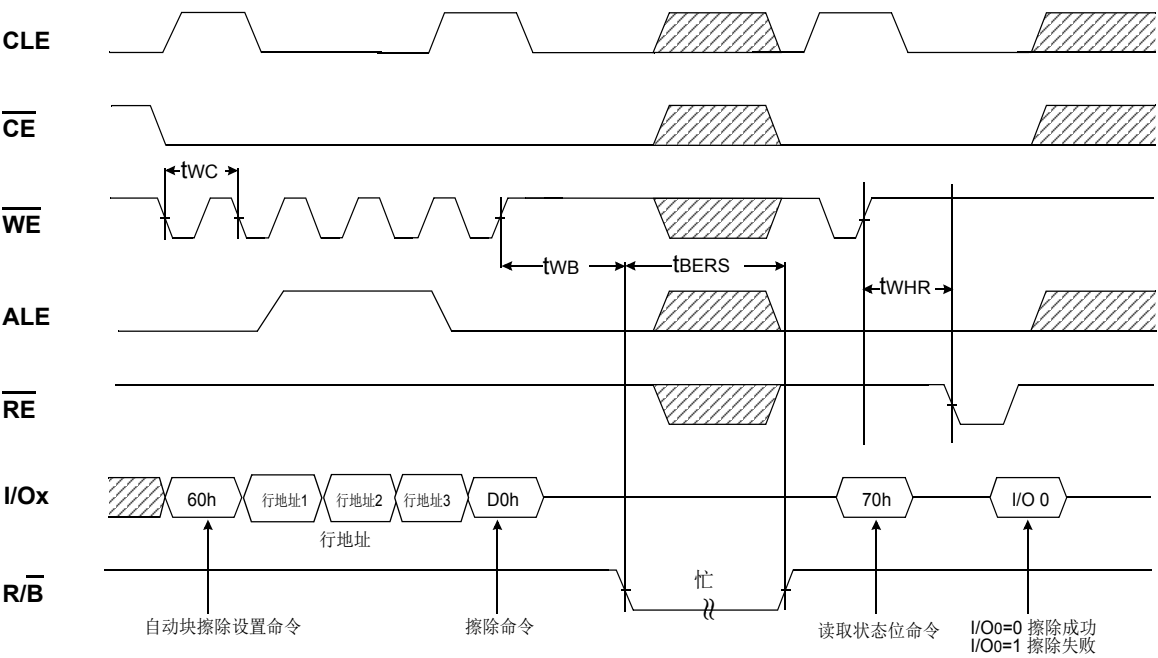
注: 1. tADL 是最后一个地址周期时WE的上升沿到第一个数据输入周期时WE的上升沿之间的时间。
2. 对于EDC操作, 同一个地址只允许一次随机数据写入操作。

Copy-Back编程操作的随机数据输入

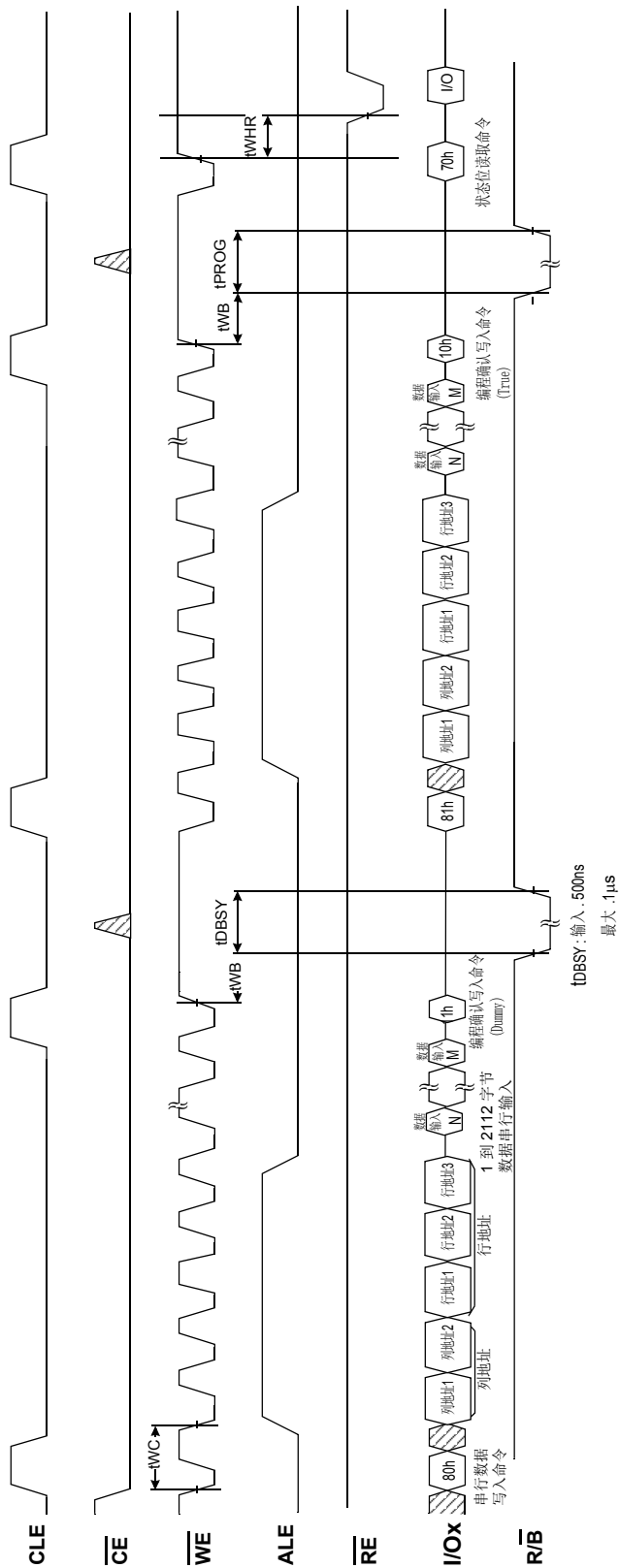


注: 1. tADL是最后一个地址周期时WE的上升沿到第一个数据输入周期时WE的上升沿之间的时间。
2. 对于EDC操作, 同一个地址只允许一次随机数据写入操作。

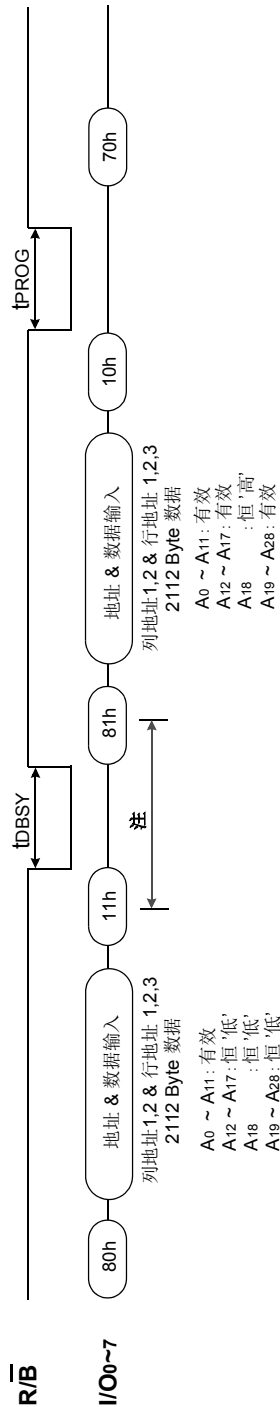
块擦除操作



双层页编程操作

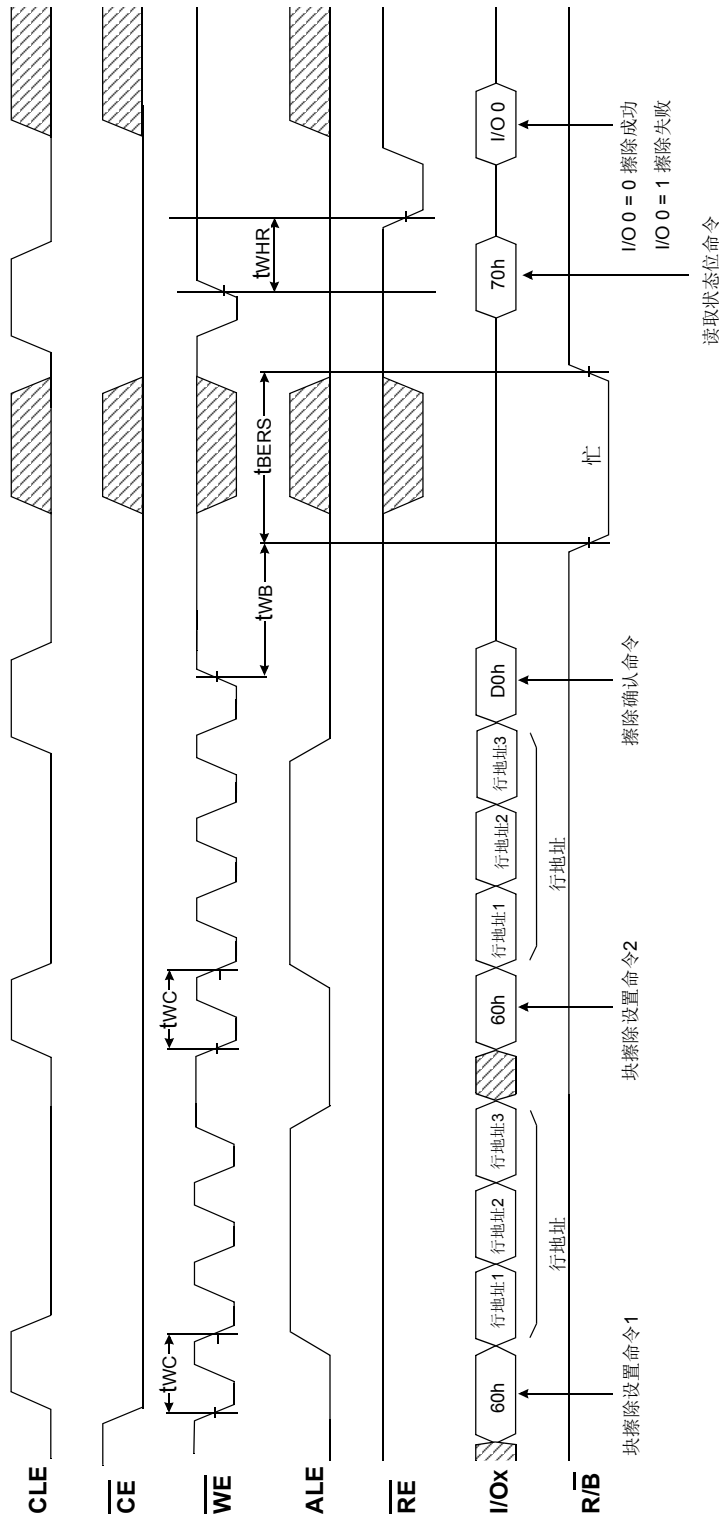


例.) 双层页编程

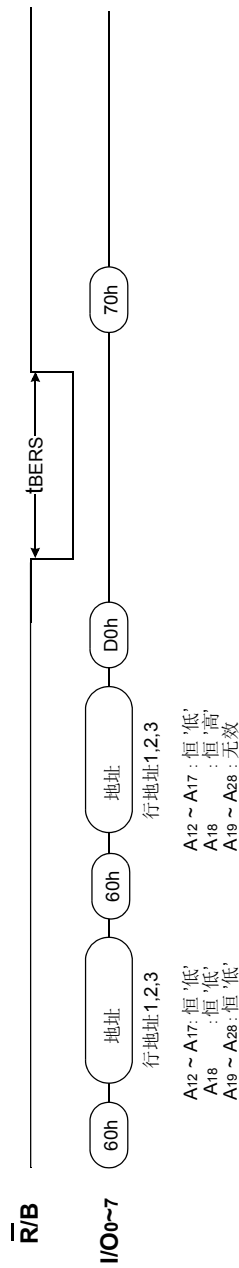


注: 任何在11h和81h之间的命令除了70h和FFh都是被禁止的。

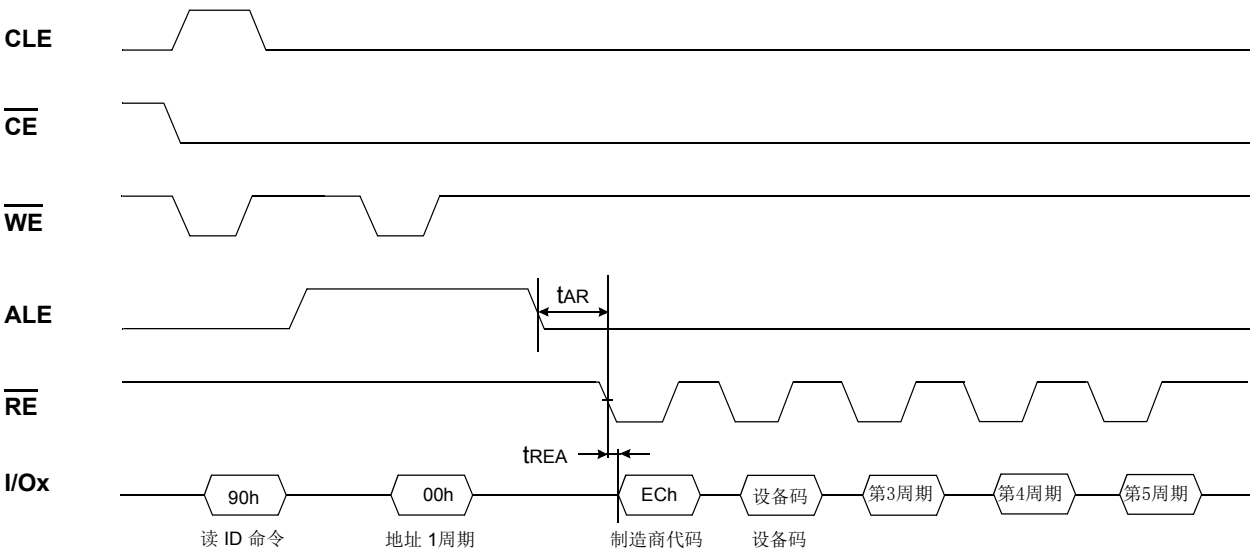
双层块擦除操作



例.) 双层块擦除操作的地址限制



读 ID 操作



设备	设备码 (第2周期)	第3周期	第4周期	第5周期
K9F2G08R0A	AAh	00h	15h	44h
K9F2G08U0A	DAh	10h	95h	44h

ID 定义表格

90 ID : 访问命令 = 90H

	描述
第一字节	制造商代码
第二字节	设备码
第三字节	内部片数, 存储单元类型, 可同时编程的页数等
第四字节	页大小, 块大小, 冗余区域大小, 组织结构, 最小串行访问时间
第五字节	层的数量, 层大小

ID 第三字节数据

	描述	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
内部片数	1							0	0
	2							0	1
	4							1	0
	8							1	1
单元类型	2 级单元					0	0		
	4 级单元					0	1		
	8 级单元					1	0		
	16 级单元					1	1		
可同时编程的页数	1			0	0				
	2			0	1				
	4			1	0				
	8			1	1				
交错页编程	不支持		0						
	支持		1						
缓存编程	不支持	0							
	支持	1							

ID 第四字节数据

	描述	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
页大小 (写入/输出 冗余区域)	1KB							0	0
	2KB							0	1
	4KB							1	0
	8KB							1	1
块大小 (写入/输出 冗余区域)	64KB			0	0				
	128KB			0	1				
	256KB			1	0				
	512KB			1	1				
冗余区域大小 (byte/512byte)	8						0		
	16						1		
组织结构	x8		0						
	x16		1						
最小串行访问时间	50ns/30ns	0				0			
	25ns	1				0			
	保留	0				1			
	保留	1				1			

ID 第五字节数据

	描述	I/O7	I/O6	I/O5	I/O4	I/O3	I/O2	I/O1	I/O0
层数	1					0	0		
	2					0	1		
	4					1	0		
	8					1	1		
层大小 (写入/输出 冗余区域)	64Mb		0	0	0				
	128Mb		0	0	1				
	256Mb		0	1	0				
	512Mb		0	1	1				
	1Gb		1	0	0				
	2Gb		1	0	1				
	4Gb		1	1	0				
	8Gb		1	1	1				
保留		0						0	0

设备操作

页读取

向命令控制器写入00h和30h，并发送5个地址周期可以进行页的读取。初始上电后00h命令被锁存。因此在初始上电后只有再发送五个地址周期和30h命令才能启动操作。被选中的页中的2,112 bytes数据在不到25 μ s(t_R)的时间被传送到数据寄存器中。系统控制器可以通过分析R/B引脚的输出来检查数据的传送是否完成。当页中的数据被加载到数据寄存器中时，数据可以通过RE的顺序脉冲在25ns(1.8V设备为42ns)的周期被读出。RE引脚通过重复的高低电平转换驱动设备从选定的列地址到最后一个列地址——输出。在写入随机数据输出命令时设备可能随机输出页中的数据而不是连续的按顺序输出数据。下一个数据(即将输出的数据)的列地址，可能随着随机数据输出命令而改变地址。随机数据输出可以被操作多次并且不管这项操作在页中已经被执行了多少次。

图 6. 读操作

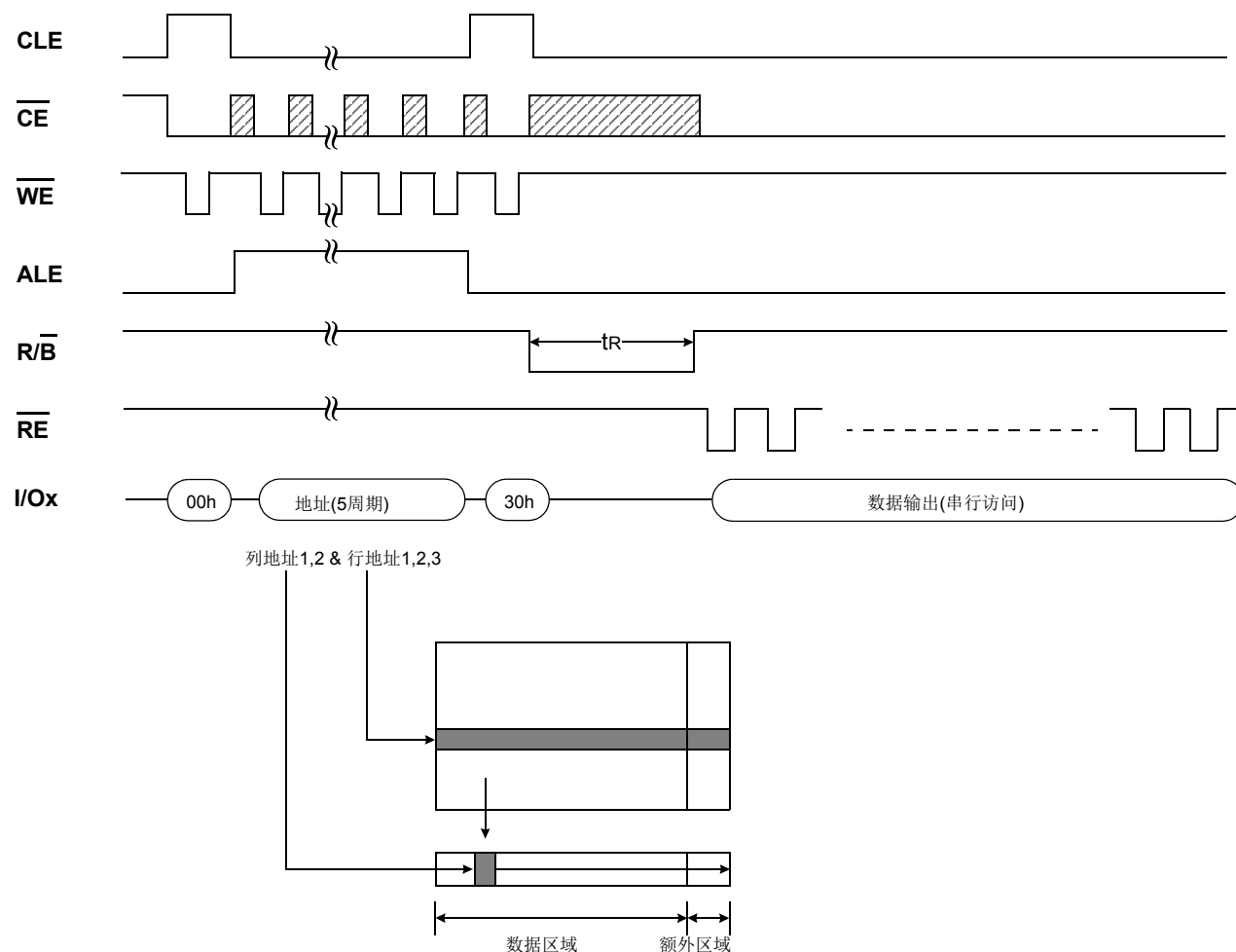
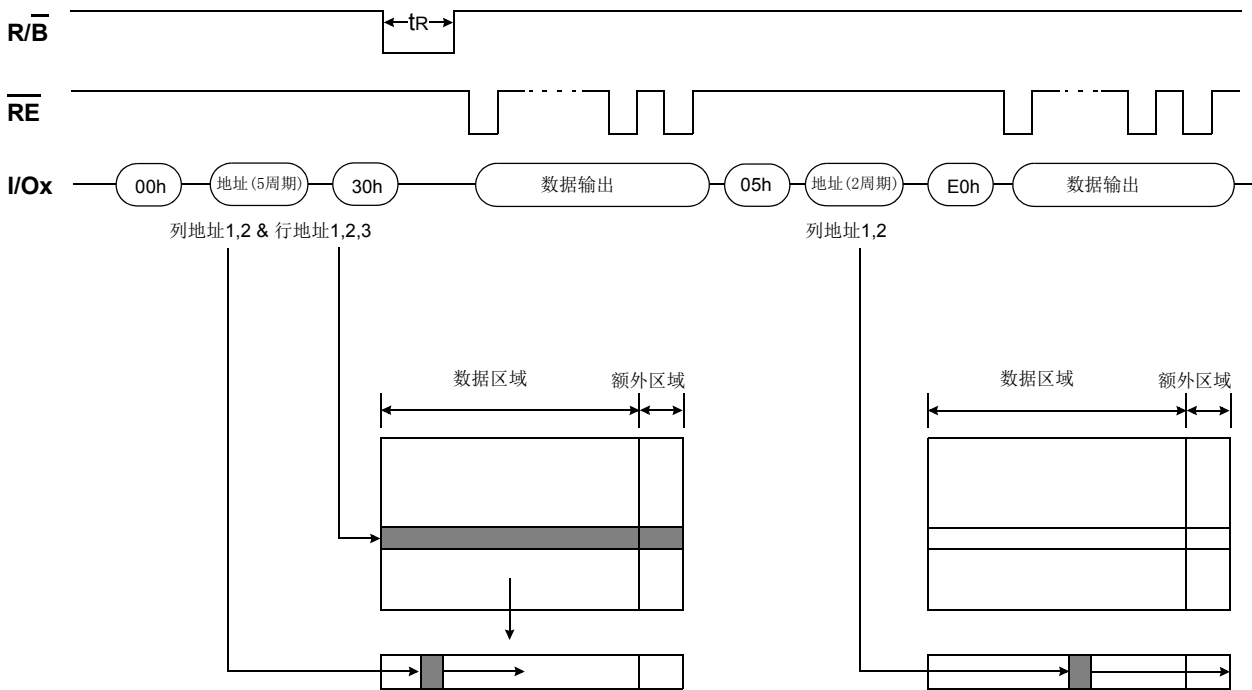


图 7. 页内随机数据输出



页编程(写入)

设备的编程写入是基于页的，但是在单个的页编程周期内也允许进行一个字或连续的字节(直到第2,112个字节)这样的部分页编程。在同一个页中没有经过擦除操作干预的情况下，每个单独页的连续部分页编程的次数一定不要超过4次。块中的寻址操作应按顺序操作的。一个页编程周期包括两个阶段，一是2,112bytes的数据被加载到数据寄存器的串行数据加载阶段，接着是把加载的数据编程写入到对应的存储单元的非易失编程阶段。串行数据的加载阶段开始于穿行数据输入命令(80h)，接着是五个地址周期的输入并开始串行数据的加载。除上述所说的编程过程无需被加载。设备提供页内随机数据输入功能。下一个数据的列地址(即将进入的列地址)，可能跟随随机输入命令(85h)而改变地址。随机数据输入可以被操作多次并且不管这项操作在页中已经被执行了多少次。在Copy-Back编程之前通过随机数据输入修改扇区数据时，一定要确保在整个扇区执行并且每个扇区只允许执行一次。任何小于扇区的部分修改会破坏片上的EDC码。页编程确认命令(10h)正式启动编程写入过程。写入10h后如果未事先写入串行数据编程写入过程不会被启动。内部的写状态控制器自动执行编程和验证必需的算法和时序，从而使系统控制器可以被释放去做别的任务。一旦编程过程开始，读状态寄存器命令可以进入状态位寄存器来读取状态位。系统控制器可以通过监测 $\overline{R/B}$ 引脚的输出或状态位寄存器的状态位(I/O 6)来监测编程的完成情况。在编程过程中只有读状态位命令和复位命令是有效的。当编程完成时，写状态位(I/O 0)可以被检查(图 8)。内部写校验只能检测到"1"没有成功的编程变为"0"这种错误。命令寄存器会仍然保持在状态位读取模式直到一个有效的命令写入命令寄存器。

图 8. 编程 & 读状态位操作

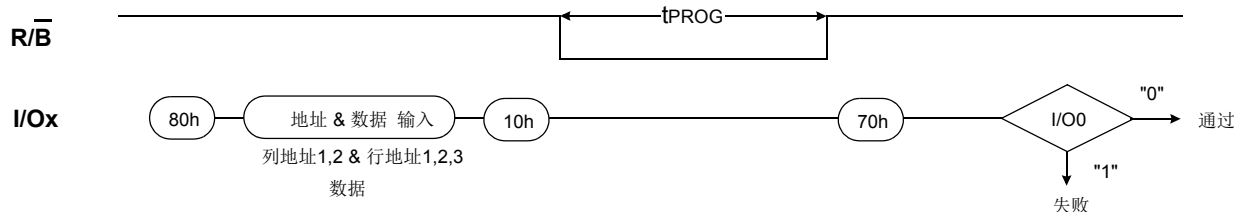
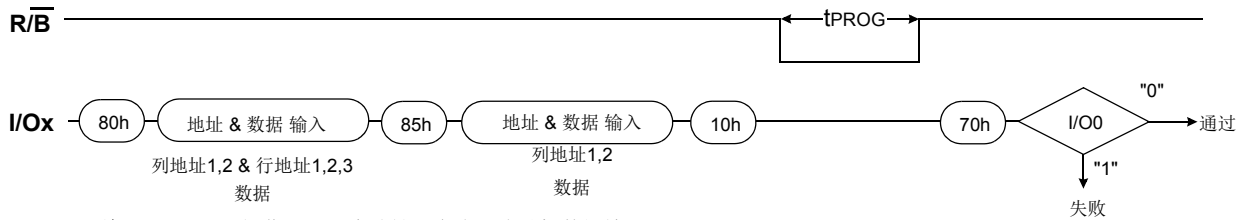


图 9. 页内随机数据输入



Copy-Back 编程

Copy-Back编程被配置为: 可以进行快速、高效的数据重写并存储到一个页上而无需使用任何外部存储设备。由于费时的串行访问周期和重载周期被移除, 系统的性能提高。当一部分块被更新且剩下块的数据需要被拷贝到新分配的空白块中时, Copy-Back编程的好处是尤为明显的。copy-back编程的执行过程是一个顺序执行的页读取操作, 这个操作可以无需串行访问且拷贝编程数据到目的页的地址。读操作由命令"35h"启动, 同时把源页地址中全部2,112-byte数据移动到内部数据缓存区中。当设备返回到就绪状态时, 页拷贝数据输入命令(85h)和目标页的地址周期可以被写入。编程确认命令(10h)正式要求开始编程写入操作。在tPROG期间, 设备执行本身的EDC码。一旦编程开始进行, 读状态寄存器命令(70h)和读EDC状态位命令(7Bh)可以进入读状态寄存器。系统控制器可以通过监测R/B引脚的输出或状态位寄存器的状态位(I/O 6)来监测编程的完成情况。当Copy-Back编程完成, 写状态位(I/O 0)和EDC状态位(I/O 1 ~ I/O 2)可以被检查(图 10 & 图 11 & 图 12)。内部写校验只能检测到"1"没有成功的编程变为"0"这种错误, 内部EDC检查源页的每个528-byte扇区时否只有1个位错误。每528-byte的扇区如果有超过2个位的错误检测那么这个扇区是无效的。命令寄存器会仍然保持在状态位读取模式或EDC状态读取模式直到一个有效的命令写入命令寄存器。在copy-back编程期间, 数据修改可以使用随机数据输入命令(85h)如图11。但是在copy back操作时通过随机数据输入操作对一些位或字节进行修改的话, EDC状态位是无效的。不过, 在以528 byte的扇区为单位进行修改的话, EDC状态位是有效的。

图 10. 页Copy-Back编程操作

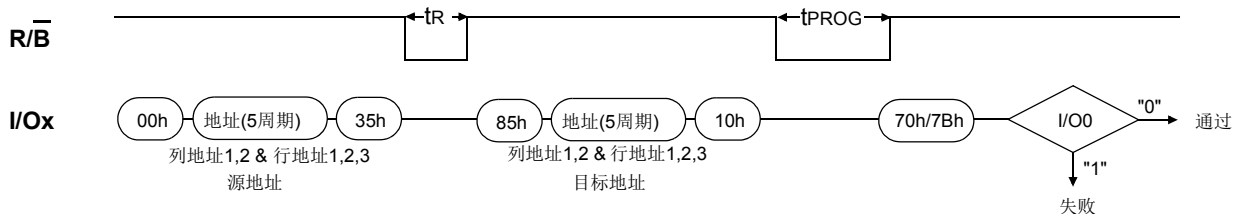
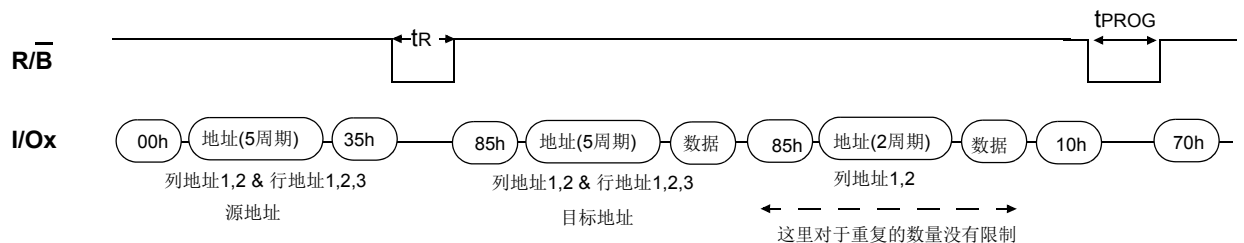


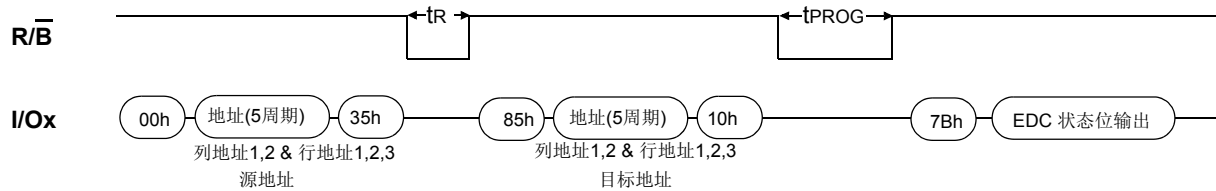
图 11. 页Copy-Back编程操作的随机数据输入



EDC 操作

注意, 使用EDC模式的Copy-Back操作时, 在Copy-Back编程模式或页编程模式同一个地址只允许一次随机数据输入。对于使用非EDC模式的Copy-Back编程操作的用户, 同一个地址的随机数据写入是无限限制的。

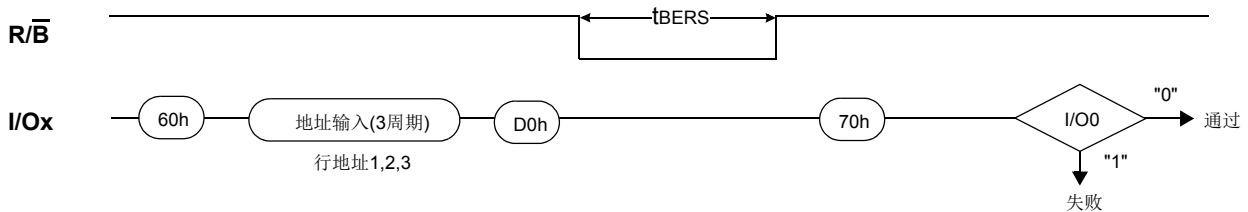
图 12. 页Copy-Back编程操作, EDC & 读EDC状态位



块擦除

擦除操作是基于块的。块地址的加载通过擦除设置命令(60h)在3个周期完成。只有地址A18到A28是有效的, A12和A17被忽略。擦除确认命令(D0h)随着块地址的加载启动内部擦除操作的执行。设置为两步顺序执行命令可以确保存储内容不会因为外部的噪声干扰而不小心删除。在擦除确认命令输入后的 \overline{WE} 的上升沿时, 内部的写控制器进行擦除和擦除验证操作。当擦除操作完成后, 写状态位(I/O 0)可以被检查。图 13 介绍了这个顺序。

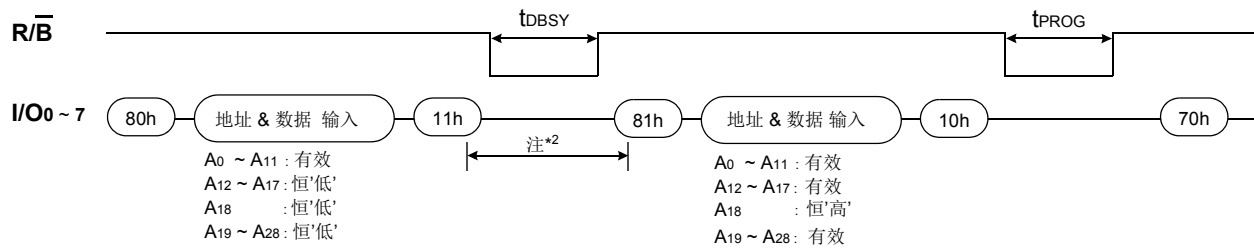
图 13. 块擦除操作



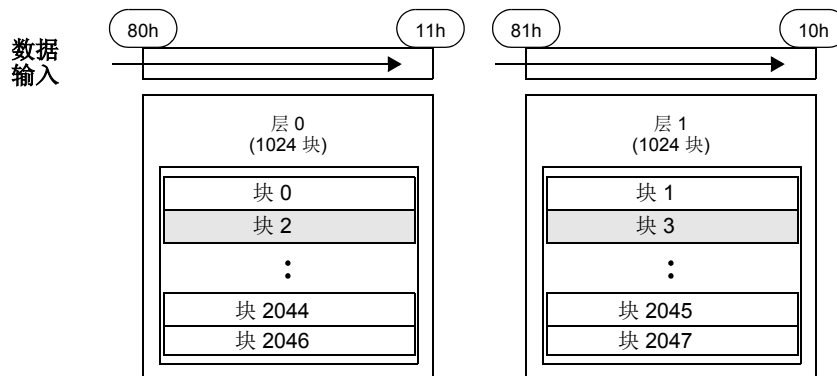
双层页编程

双层页编程是一种扩展的通过2112 byte页寄存器对单个层进行的页编程。由于设备配备了两个存储层, 激活两套2112 byte页寄存器使得同时对两个页进行编程成为可能。在写入第一套2112 byte数据到选定的页寄存器后, 虚拟(Dummy)页编程确认命令(11h)代替实际页编程确认命令(10h)输入, 用来完成第一个层的数据加载。由于没有编程操作的参与, $\overline{R/B}$ 在一段短的时间(t_{DBSY})保持忙状态。读取状态位命令(70h)可以通过查询就绪/忙状态位(I/O 6)来查询设备何时返回到就绪状态。然后其他层的另一套数据在命令81h和地址序列发送后被输入。当发送最后一个层的数据时, 必须用实际编程确认命令(10h)代替虚拟页编程确认命令(11h)来开启编程写入过程。 $\overline{R/B}$ 引脚的操作和状态位的读取和一般的页编程操作相同。虽然两个层同时进行编程操作, 但当编程完成后通过/失败并不是对每个页都有效的。当任何一个页编程失败时, 状态位I/O 0被置为"1"。双层页编程的寻址限制如图 14。

图 14. 双层页编程



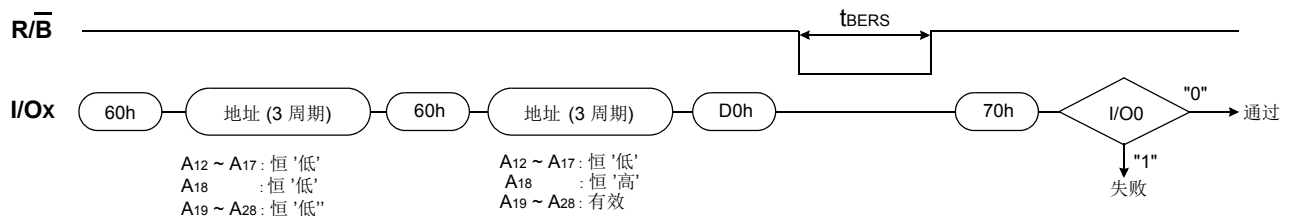
注 : 1. 值得注意的是同一行地址可以应用到两个块除了A18。
2. 在11h和81h之间的任何命令除了70h和FFh都是被禁止的。



双层块擦除

双层块擦除的基本概念和双层页编程时相同的。分别位于两个层的两个块可以被同时擦除。写入标准的块擦除命令序列(块擦除设置命令(60h)和3个地址周期)重复两次即可擦除两个块。每个层中只有一个块可以被选择。擦除确认命令(D0h)来启动正式的擦除过程。擦除操作的完成情况可以通过监测 $\overline{R/B}$ 引脚或读取"就绪/忙"状态位(I/O 6)来获得。

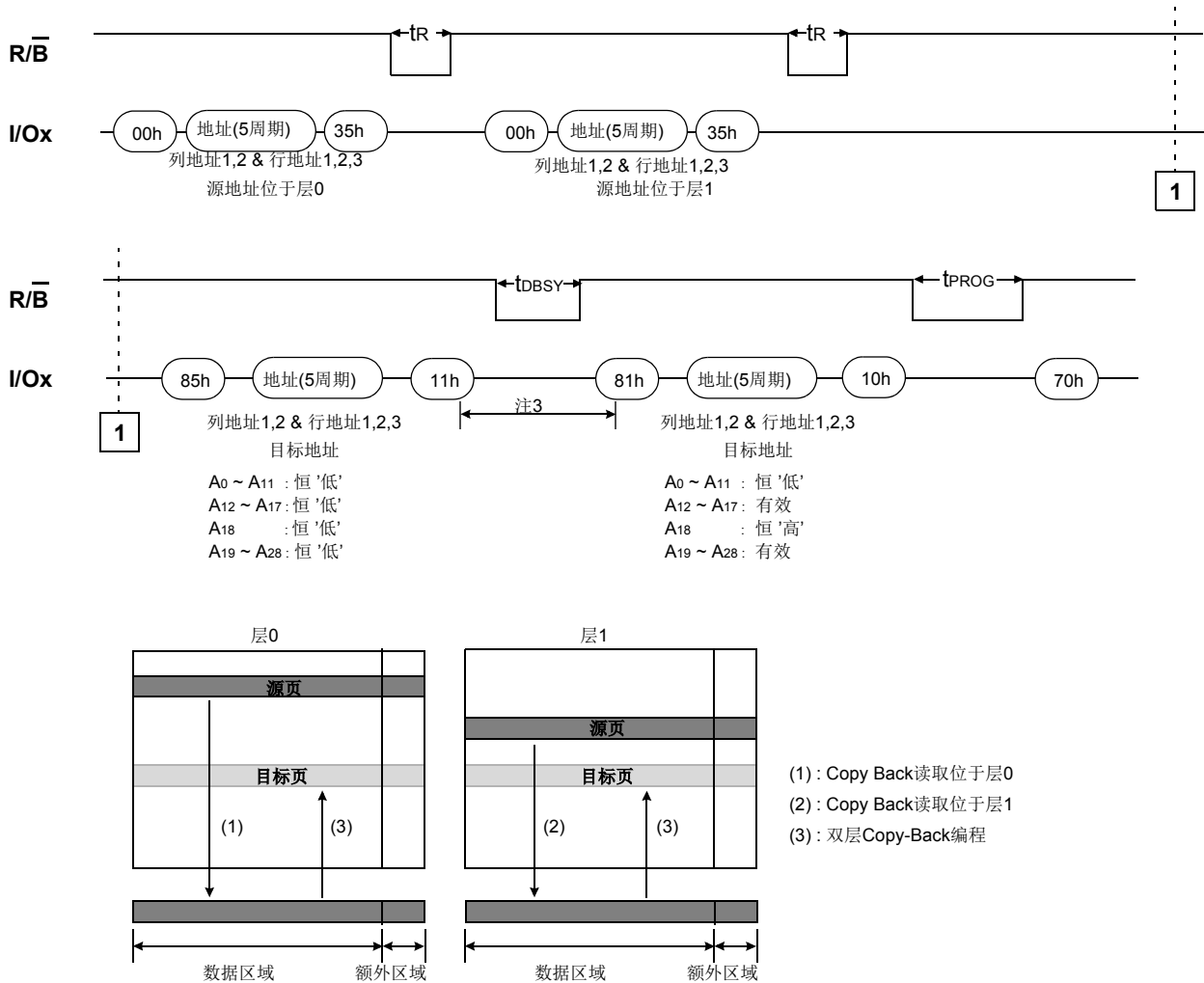
图 15. 双层块擦除操作



双层Copy-Back编程

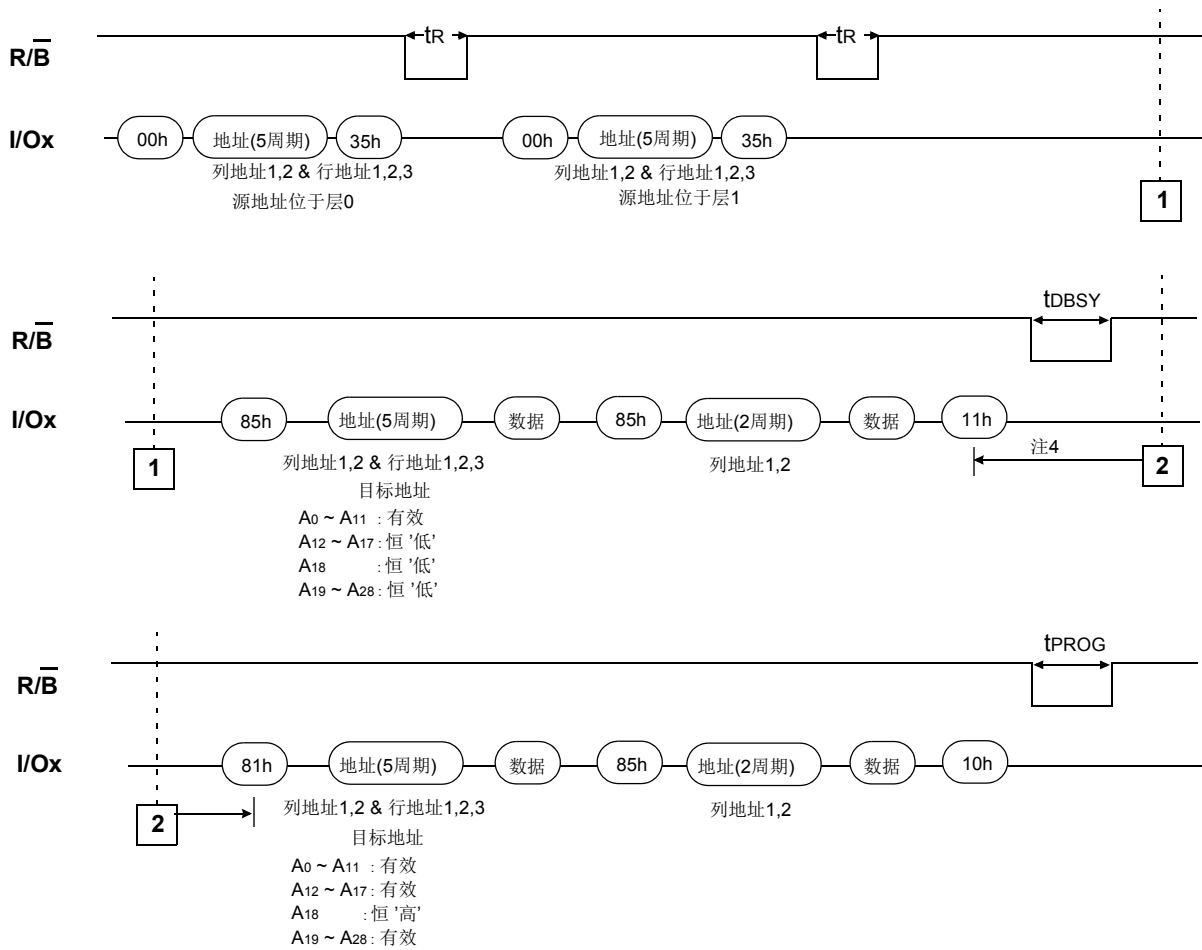
双层Copy-Back编程是一种扩展的通过2112 byte页寄存器对单个层进行的Copy-Back编程操作。由于设备装配了两个存储层，激活两套2112 byte页寄存器使得同时对两个页进行编程成为可能。

图 16. 双层Copy-Back编程操作



- 注: 1. Copy-Back编程操作只允许在同一个层中执行。
2. 在同一个层内, 奇数地址(作为源地址)到偶数地址(作为目标地址)或者偶数地址(作为源地址)到奇数地址(作为目标地址)的copy-back编程操作是被禁止的。因此, copy-back编程只允许两个奇数地址之间或者两个偶数地址之间进行操作。
3. 在11h和81h之间的任何命令除了70h和FFh都是被禁止的。

图 17. 双层Copy-Back编程操作的随机数据输入



注: 1. Copy-Back编程操作只允许在同一个层中执行。

2. 在同一个层内, 奇数地址(作为源地址)到偶数地址(作为目标地址)或者偶数地址(作为源地址)到奇数地址(作为目标地址)的copy-back编程操作是被禁止的。因此, copy-back编程只允许两个奇数地址之间或者两个偶数地址之间进行操作。

3. 在copy back操作时通过随机数据输入操作对一些位或字节进行修改的话, EDC状态位是无效的。不过, 在以528 byte的扇区为单位进行修改的话, EDC状态位是有效的。

4. 在11h和81h之间的任何命令除了70h和FFh都是被禁止的。

读状态位

设备包含了一个状态位寄存器可以用来读取一些消息，比如编程、擦除操作是否完成或操作是否成功完成。当写入命令70h到命令寄存器后，一个读周期在CE或RE的下降沿输出状态位寄存器的内容到I/O引脚，无论内容是现在的还是过去的。双线控制允许系统在多存储连接状态检查每个设备的允许状态，即使R/B引脚正在命令被写入状态。RE和CE无需为状态的更新而切换。请参考表3的寄存器特定状态定义。命令寄存器会仍然保持在状态位读取模式直到一个有效的命令写入命令寄存器。因此，如果要在随机读取周期读状态位寄存器，读命令(00h)应该在读取周期开始前被写入。

表 3. 对70h命令的状态位寄存器定义

I/O	页编程	块擦除	读取	定义
I/O 0	通过/失败	通过/失败	未使用	通过："0" 失败："1"
I/O 1	未使用	未使用	未使用	不关心
I/O 2	未使用	未使用	未使用	不关心
I/O 3	未使用	未使用	未使用	不关心
I/O 4	未使用	未使用	未使用	不关心
I/O 5	未使用	未使用	未使用	不关心
I/O 6	就绪/忙	就绪/忙	就绪/忙	忙："0" 就绪："1"
I/O 7	写保护	写保护	写保护	被保护："0" 不被保护："1"

注：1. I/O口定义的'未使用'在读取状态位操作执行时建议被屏蔽掉。

读EDC状态位

读EDC状态位操作仅仅在'Copy-Back编程'过程中有效。设备包含一个EDC状态位寄存器可以用来检查Copy-Back的读过程中哪里发生了错误。写入命令7Bh到命令寄存器后，一个读周期通过CE和RE的上升沿把EDC状态位读输出到I/O引脚上，无论数据时现在的还是过去的。双线控制允许系统在多存储连接状态检查每个设备的允许状态，即使R/B引脚正在命令被写入状态。RE和CE无需为状态的更新而切换。请参考表4的寄存器特定状态定义。命令寄存器会仍然保持在EDC状态位读取模式直到一个有效的命令写入命令寄存器。

表 4. 对7Bh命令的状态位寄存器定义

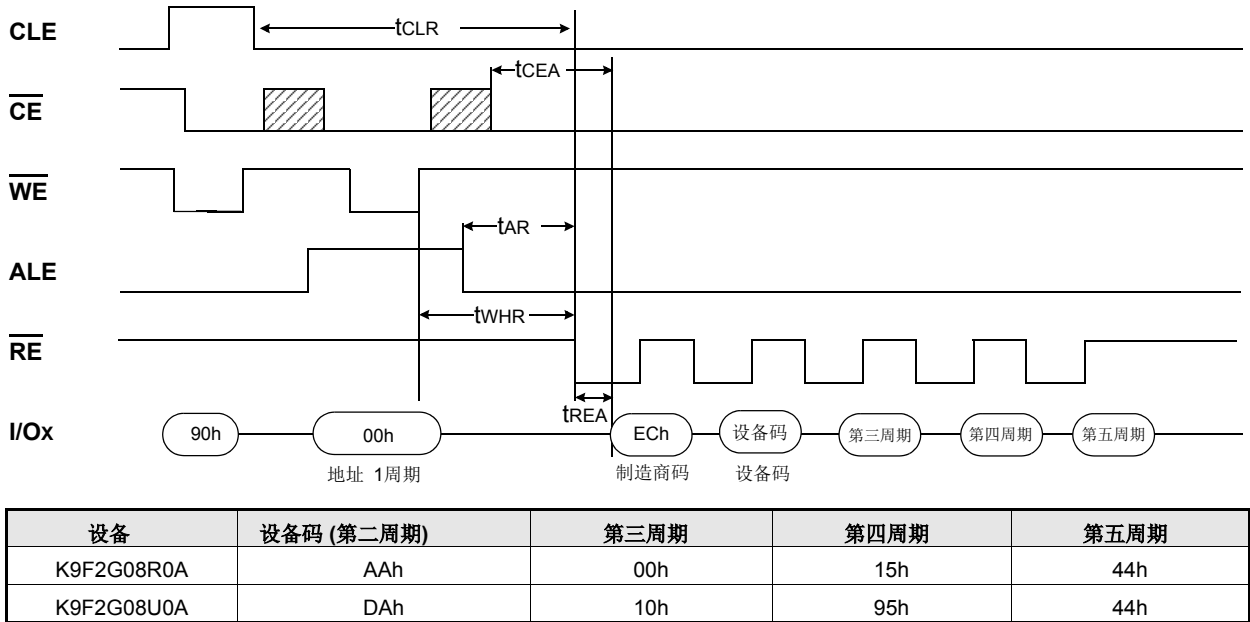
I/O	Copy Back编程	页编程	块擦除	读取	定义
I/O 0	Copy Back编程的 通过/失败	通过/失败	通过/失败	未使用	通过："0", 失败："1"
I/O 1	EDC 状态位	未使用	未使用	未使用	无错："0", 错误："1"
I/O 2	EDC 有效状态位	未使用	未使用	未使用	有效："1", 无效："0"
I/O 3	未使用	未使用	未使用	未使用	不关心
I/O 4	未使用	未使用	未使用	未使用	不关心
I/O 5	未使用	未使用	未使用	未使用	不关心
I/O 6	Copy Back编程的 就绪/忙	就绪/忙	就绪/忙	就绪/忙	忙："0", 就绪："1"
I/O 7	Copy Back编程的写保护	写保护	写保护	写保护	被保护："0", 不被保护："1"

注：1. I/O口定义的'未使用'在读取状态位操作执行时建议被屏蔽掉。
2. 每一个检测超过2个位错误的528 Byte的扇区是无效的。也就是说，每个528 Byte的扇区只检测出最多一个位错误才是可用的。

读ID

设备有一个产品识别模式，通过写命令90h到命令寄存器来启动，并写入存放设备信息的地址00h。5个读周期顺序输出：第一个周期为制造商码(ECh)，第二个周期为设备码，第三、第四、第五周期分别为ID。命令寄存器会一直保持在读ID模式直到一个有效的命令被输入。图18展示了操作过程。

图 18. 读ID操作



复位

设备提供一个复位功能，通过向命令寄存器写入FFh来执行。当设备在忙状态：随机读取、编程、擦除模式时，复位会终止这些操作。正在改变的存储单元内容将不再有效，因为这些数据会被部分的编程或擦除。命令寄存器会被清空并等待下一个命令的输入，状态位寄存器会在WP为高电平时复位到值C0h。如果设备已经处于被复位后的状态，新的复位命令会被命令寄存器接受。在复位命令写入后，R/B引脚会变为低电平并保持一段时间(t_{RST})。参考图19如下。

图 19. 复位操作

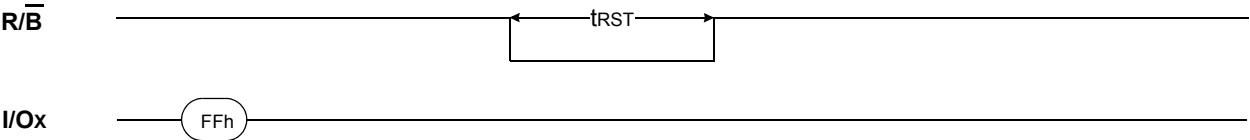


表 5. 设备状态

	上电后	复位后
操作模式	00h 命令被锁存	等待下一个命令

就绪/忙

设备有一个 $\overline{R/B}$ 输出引脚，它提供了一个硬件的方法来监测页编程、擦除和随机读取的完成情况。 $\overline{R/B}$ 引脚在通常状况下是高电平的，但是当编程、擦除命令被写入后或加载地址后随机读取操作开始时，引脚会转变为低电平。当内部控制器完成了这些操作后，引脚会返回到高电平状态。此引脚是开漏输出引脚，因此允许两个或多个 $\overline{R/B}$ 输出被捆绑。因为上拉电阻的值和 $t_r(\overline{R/B})$ 、忙状态时的漏电流(i_{busy})相关，一个合适的值可以从下面的参考图中获得(图20)。这个值可以通过以下的选取指导来确定。

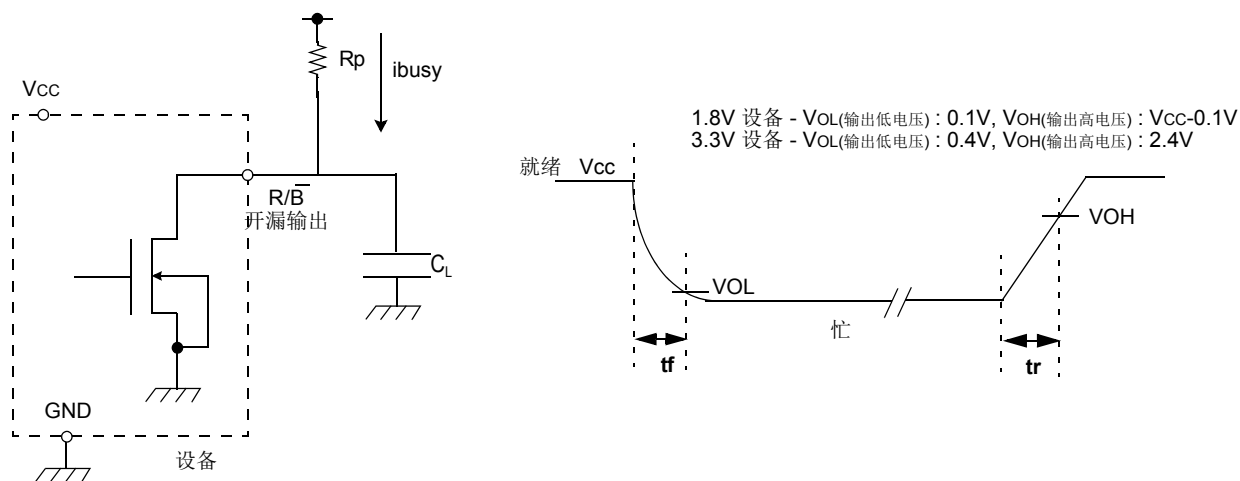
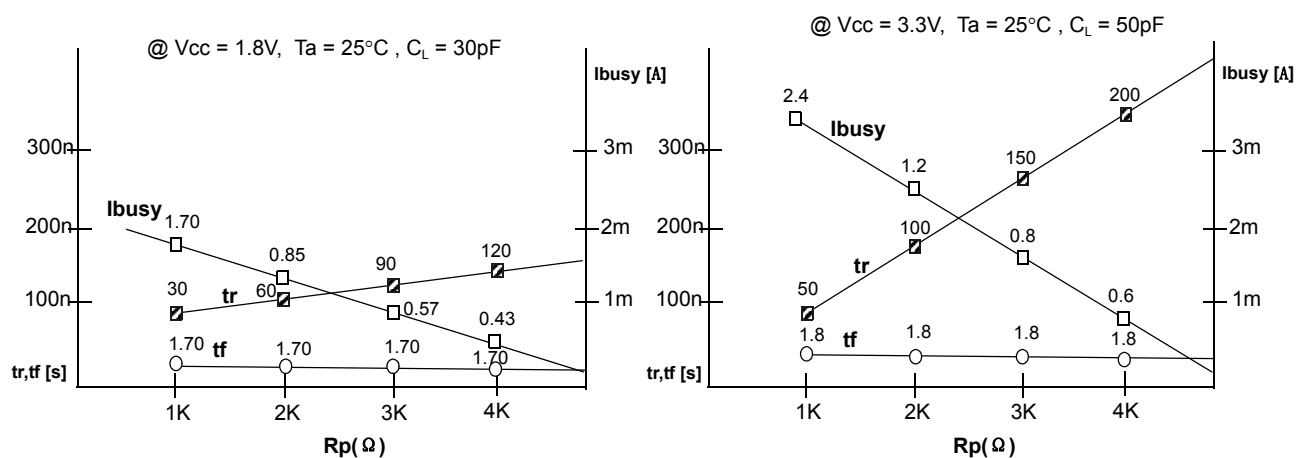


图 20. R_p 与 t_r, t_f 的关系图 & R_p 与 i_{busy} 的关系图



R_p 值选取指导

$$R_p(\text{最小, 1.8V 部分}) = \frac{V_{cc}(\text{最大}) - V_{OL}(\text{最大})}{I_{OL} + \sum I_L} = \frac{1.85V}{3mA + \sum I_L}$$

$$R_p(\text{最小, 3.3V 部分}) = \frac{V_{cc}(\text{最大}) - V_{OL}(\text{最大})}{I_{OL} + \sum I_L 8mA + \sum I_L} = \frac{3.2V}{I_{OL} + \sum I_L 8mA + \sum I_L}$$

I_L 是连接到 $\overline{R/B}$ 引脚上的所有设备的输入电流的总和。

$R_p(\text{最大})$ 是由 t_r 的最大容限来确定的。

数据保护 & 上电顺序

设备设计提供了一个保护功能用来防止任何由于电源转换时产生的非自愿的编程和擦除。当设备电源电压低于1.1V(1.8V设备)或2V(3.3V设备)时，设备内部的电压检测器会禁用所有的功能。 \overline{WP} 引脚提供了硬件的保护，建议在上电和掉电过程中保持为值VIL。在内部电路就绪准备接收任何命令序列时，需要一个最小100 μ s恢复时间，如图21。对于编程、擦除这些两步顺序命令，需要额外提供软件保护。

图 21. 电源过渡的交流波形

