



CPU总体设计

流水线设计

设计亮点与调试体会

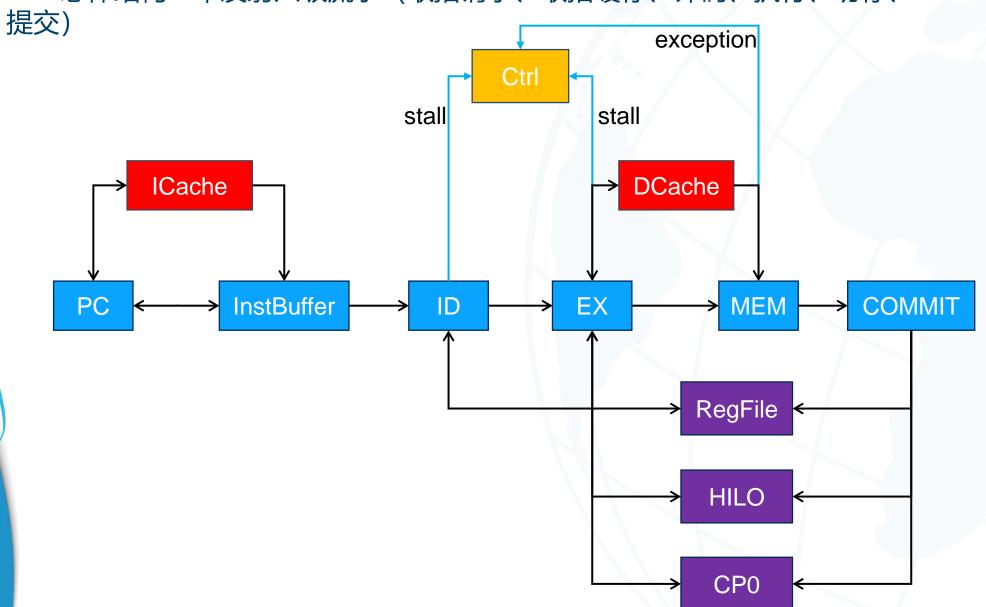
Cache设计

成果与展望





CPU总体结构:单发射六级流水 (取指请求、取指缓存、译码、执行、访存、





流水线结构



取指请求阶段

计算当前pc, 发送读取指令请求

取指缓存阶段

读入来自ICache的指令,并向译码级发送数据

译码阶段

译码,取操作数

执行阶段

执行指令, 计算结果, 分支信息更新

访存阶段

取回来自DCache的数据, 异常判断

提交阶段

将指令实现的修改提交给各寄存器



译码模块设计

主要功能:确定操作数、操作类型、操作子类型,传递给执行级

数据冒险的处理方式: 前递、暂停

对于read-after-write型冒险

根据从执行级、访存级前推过来的信息生成操作数,以确保使用的是寄存器堆的最新值。

对于load-use型冒险

• 向控制模块发送暂停请求,直至从 DCache中取回所需数据。

执行模块读取CP0寄存器、HILO寄存器所产生的数据冒险,同样采用前递方式解决!

执行模块设计



主要功能: 根据传递而来的操作数、运算类型、运算子类型计算出结果

对于多个周期才能得到结果的指令

• 暂停流水线的执行,向控制模块发送暂停请求,直到获得运算结果后撤销请求。

如果产生异常,则不暂停

• 例如: 访存、除法指令

发送分支信息

• 检测到分支结果为跳转时,向PC、InstBuffer发送跳转信息,通知它们改变取指地址或清除掉已经预取的错误指令。

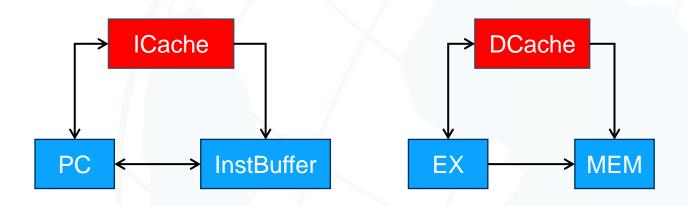
分支信息必须在延迟槽指令进入 译码级之后才能发送,否则可能 导致延迟槽指令被错误清除

访存模块设计



主要功能:接受从DCache传递过来的数据,进行处理后送入到提交阶段,同时提交异常

EX向DCache发送数据 请求与请求的地址,当数 据成功返回时,由MEM负 责接收数据。



两者间存在高度相似的关系

异常处理

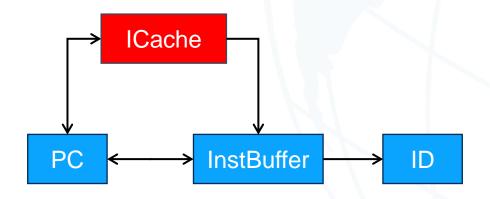
• 向控制模块和CPO寄存器发送异常信息,以便尽快清除流水线并进行异常处理。





设计亮点: 取指拆分为两个阶段

我们将取指模块拆分为取指请求、取指缓存两个模块,以降低取指、执行操作之间的耦合度。 当流水线不得不暂停时,取指模块仍然可以继续工作,充分预取指令。这样,当流水线结束暂停 状态时,可以从InstBuffer中连续取回多条指令执行,不必耗费时间等待ICache返回数据。



设计亮点: 取指请求模块设计

哈爾濱Z某大學 HARBIN INSTITUTE OF TECHNOLOGY

PC的更新逻辑,按照优先级排列,如下所示:

- (1) 复位, 更新为0xbfc00000;
- (2) 异常产生、清除流水线,更新为控制模块所送来的epc;
- (3) 分支跳转信号有效时,更新为分支地址;
- (4) 指令队列满,保持原有pc值不变;
- (5) 上一时钟周期取指请求成功,更新为pc + 4;
- (6) 其它情况下,均保持原有值不变。

inst_req的更新逻辑,按照优先级排列,如下所示:

- (1) 复位,不发送请求;
- (2) 异常产生、清除流水线,不发送请求;
- (3) 指令队列满,不发送请求;
- (4) 上一时钟周期取指请求成功,不发送请求;
- (5) inst_addr_ok信号有效,发送请求;
- (6) 其它情况下,均保持原有值不变。



设计亮点: 取指缓存模块设计

数据结构:队列,FIFO原则

维护头、尾两个指针

同时存储指令、PC

队列大小为32(即最多预取32条指令)

取指缓存阶段对队列进行的操作,按照优先级排列,如下所示:

- (1) 复位有效,清空队列;
- (2) 由于需要进行异常处理,清空队列;
- (3) 由于需要进行分支跳转,清空队列;
- (4) 当流水线没有发生暂停且队列非空时,出队;当inst_data_ok信号有效时,入队(出队、入队可并发进行)。



测试驱动开发,逐步增量、迭代

- 一开始时,将没有功能的CPU顶层接入测试环境,故意使测试报错,知道为什么报错,完成对大赛测试框架的熟悉;
- 查看反汇编,针对测试的报错逐步增加功能,提高开发效率;
- Cache的开发未完成?提前协商接口,独立进行开发,减少相互等待

其它调试手段:增加复杂逻辑条件的仿真波形,回溯错误源头; FPGA在线调试

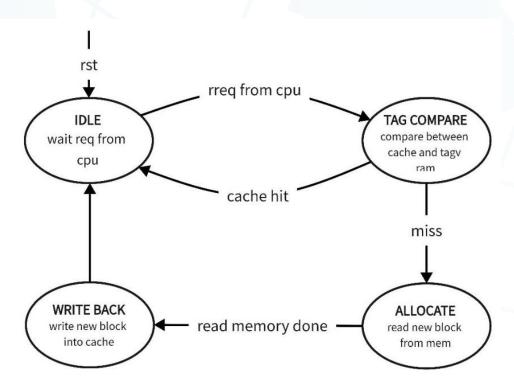


Cache设计

ICache与DCache均实现为二路组相联,每路大小为8KB,使用伪LRU替换策略,Cache行大小为32字节。

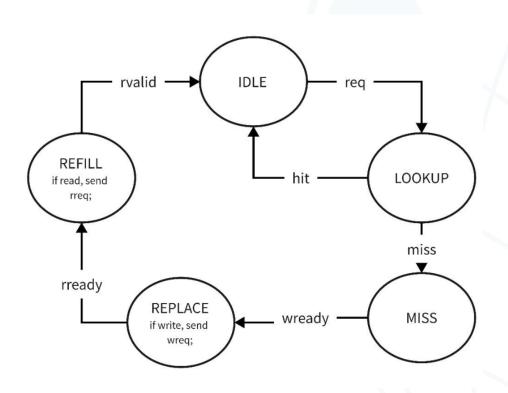
ICache设计

ICache状态机有4个状态,分别是等待请求状态(IDLE)、标志判断状态(TAG COMPARE)、分配状态 (ALLOCATE)、写回状态(WRITE BACK),转换关系 如右图所示。



DCache设计

DCache状态机有5个状态,分别是等待请求状态(IDLE)、标志判断状态(LOOK UP)、缺失状态 (MISS)、替换状态(REPLACE)、写回状态(REFILL),转换关系如下图所示。



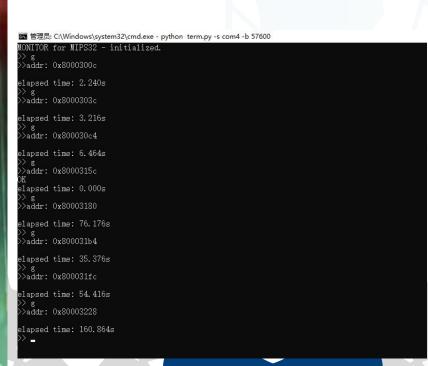


- 功能测试(封装为AXI接口)的89个测试点全部通过;
- 记忆游戏通过;

成果

- 性能测试通过;
- 系统测试通过;
- 性能分5.32, 频率60MHZ, IPC比值3.368;
- 决赛指令集答题测试通过;







展望——改进方向

- 尝试更多的性能优化措施:如超标量、多发射、分支预测、流水Cache;
- 尝试优化关键路径,充分提升频率;
- 尝试TLB的实现;
- 乘法器、除法器模块的改进;
- 尝试更多外设的开发:如LCD屏幕;
- 尝试系统移植: 如pmon、ucore、Linux;

•



