**七、本学期心得**

计组实验是一门很有意思的课程，在这门课上我们需要学习使用汇编语言模拟器和vivado软件，并需要学习verilog语言。这门课需要完成三次大作业，分别是基于汇编模拟器的汇编语言代码编写，基于verilog的单周期CPU编写和基于berilog的多周期CPU编写。

汇编语言的实验比较简单，了解mips指令，对着一份c++代码编写就好了。

上学期数字电路实验的时候曾经用过vivado软件，但是主要是使用block design部分，并没有学习verilog语言。学习一门新的语言还是需要花费一些时间的，verilog语言在一些设定和编码规定上和C语言不同，有一些很烦人的限制规定，而且verilog语言是并行执行的语言，所以在设计上也有一定的难度。

而且编写Verilog语言需要使用vivado软件，vivado软件以其编译时间长而闻名，在烧板的时候每改一次代码就需要花费十几分钟跑综合跑实现，因此也浪费了很多时间。在单周期CPU的实验中我花费了比较多的时间来适应verilog语言，尤其是在烧板的时候。但在适应了之后实验也就比较简单了。

在单周期CPU实验的基础上，多周期CPU其实也就很好实现了。多周期八成的代码可以直接借鉴单周期部分，只需要增加状态部分即可。在单周期实验中花费了很多时间的写板部分在多周期中直接照抄就好了，省去了很多时间。因此在多周期CPU的实现过程相比单周期就少花了很多时间，大概一两天就写完了。

通过本学期的实验，我对单周期CPU和多周期CPU的数据通路和运行方式更加了解，这对计组理论课的学习也有了很大的帮助。我还学会了verilog语言的编写和vivado软件的使用。