第一步：X, Y, Z: 输出信号。

ScanOut: JTAG 测试输出信号。

输入端口：

A, B, C, D: 输入信号。

ScanMode, ScanIn, ScanClr, ScanClk: JTAG 测试输入信号。

其中，ScanMode 是 JTAG 测试模式选择信号，用于控制测试模式或正常操作模式。ScanIn 是 JTAG 测试数据输入信号，用于输入测试数据。ScanClr 是 JTAG 测试清零信号，用于清除测试逻辑的状态。ScanClk 是 JTAG 测试时钟信号，用于控制测试操作的时钟。

这些信号的存在表明这个设计文件中加入了 JTAG 测试端口，用于支持外部的测试和调试功能。JTAG 是一种常用于芯片测试和调试的接口标准，允许对芯片内部的寄存器和逻辑进行访问和控制，以验证设计的正确性和进行故障排除。

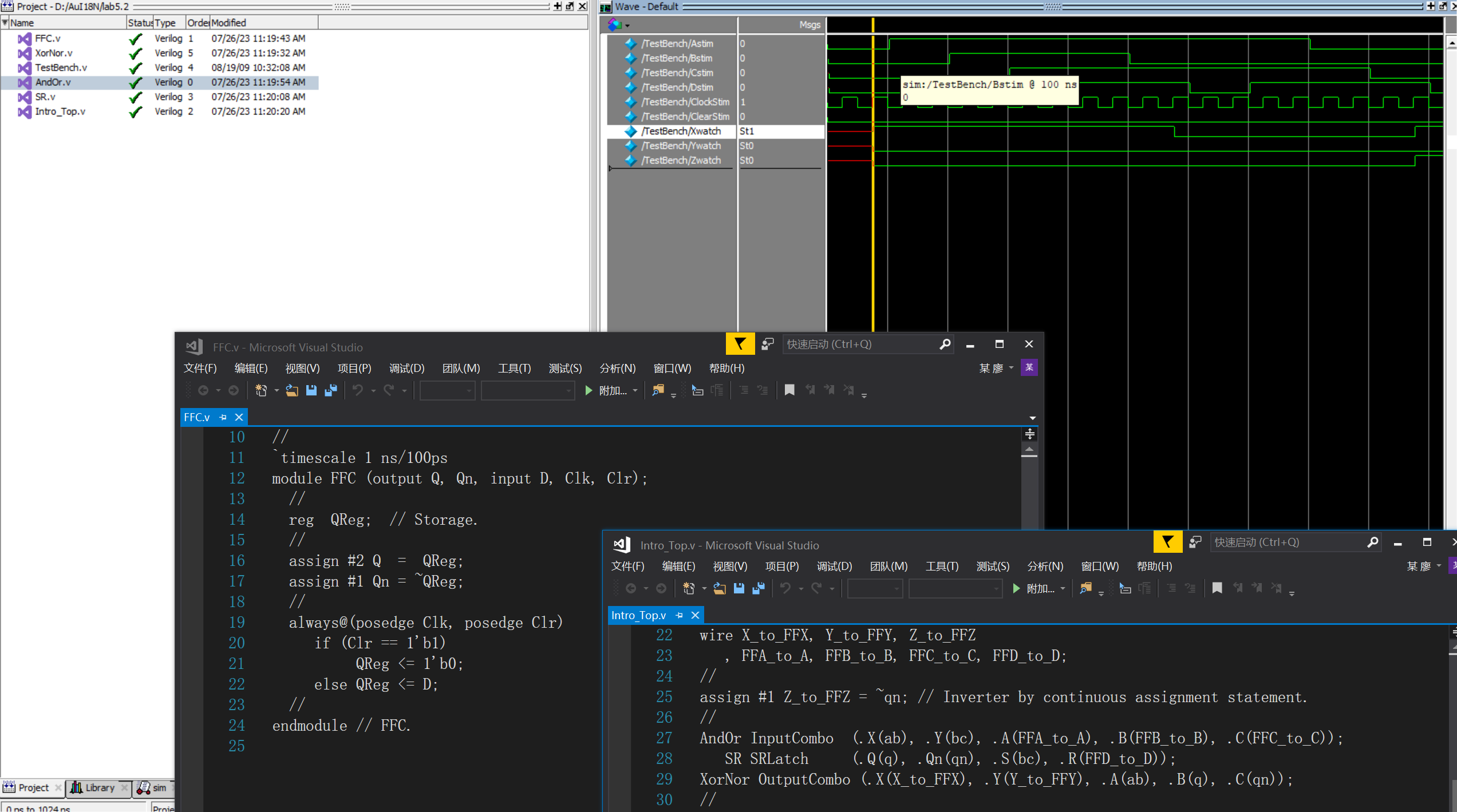
第二，三步：

1.AndOr InputCombo (.X(ab), .Y(bc), .A(FFA\_to\_A), .B(FFB\_to\_B), .C(FFC\_to\_C)); 这行代码实例化了一个与门（AndOr），它有三个输入端口 A、B 和 C，以及两个输出端口 X 和 Y。其中，X和Y被连到上一级的逻辑模块，而A、B和C则连接到其他信号线，例如FFA\_to\_A、FFB\_to\_B和FFC\_to\_C。

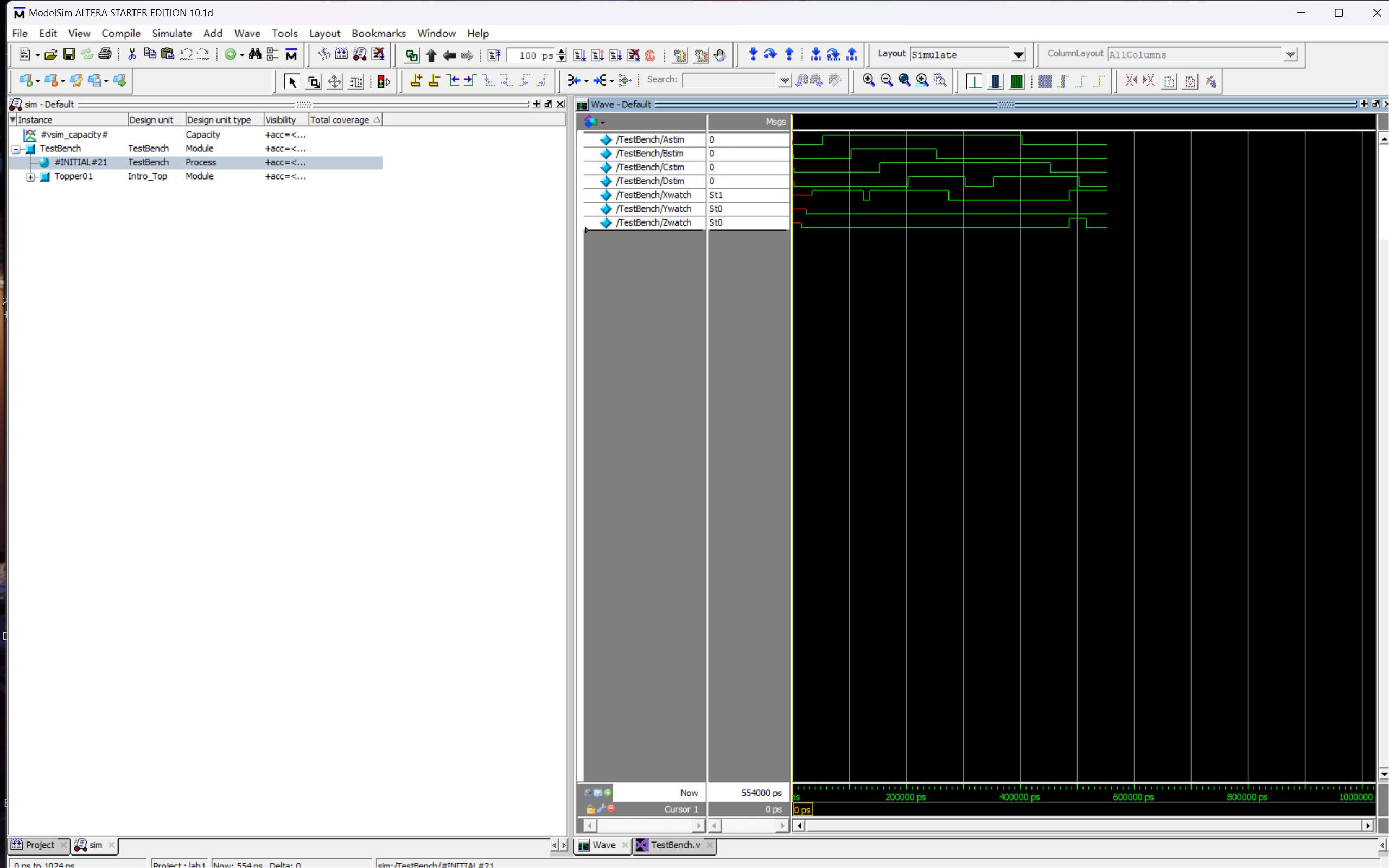
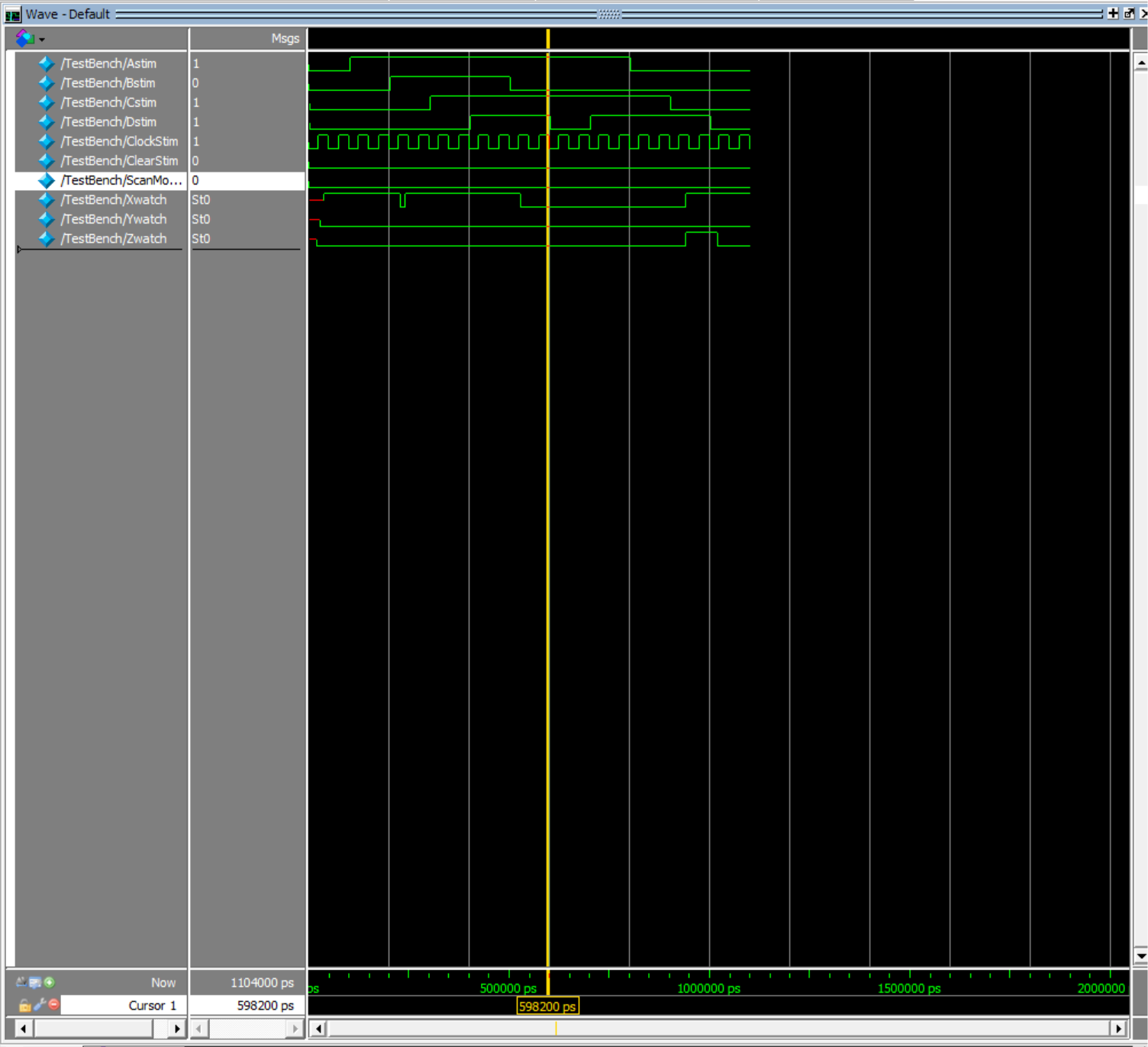
2.SR SRLatch (.Q(q), .Qn(qn), .S(bc), .R(FFD\_to\_D)); 这行代码实例化了一个SR锁存器（SRLatch），它有两个输出端口 Q 和 Qn，以及两个输入端口 S 和 R。其中，Q和Qn连接到上一级的逻辑模块，而S和R则连接到其他信号线，例如bc和FFD\_to\_D。

3.XorNor OutputCombo (.X(X\_to\_FFX), .Y(Y\_to\_FFY), .A(ab), .B(q), .C(qn)); 这行代码实例化了一个异或非门（XorNor），它有三个输入端口 A、B 和 C，以及两个输出端口 X 和 Y。其中，X和Y是最终的输出信号，而A、B和C分别连接到前面实例化的与门（AndOr）和SR锁存器（SRLatch）的输出端口，以构成逻辑电路的级联。

4.时钟处在上升沿时，此时所选时间节点A,B,C输入均为1，根据三输入异或非门的真值表可知此时输出X,Y应分别为1，0。如仿真验证所示



第四，五步：对比练习1仿真波形



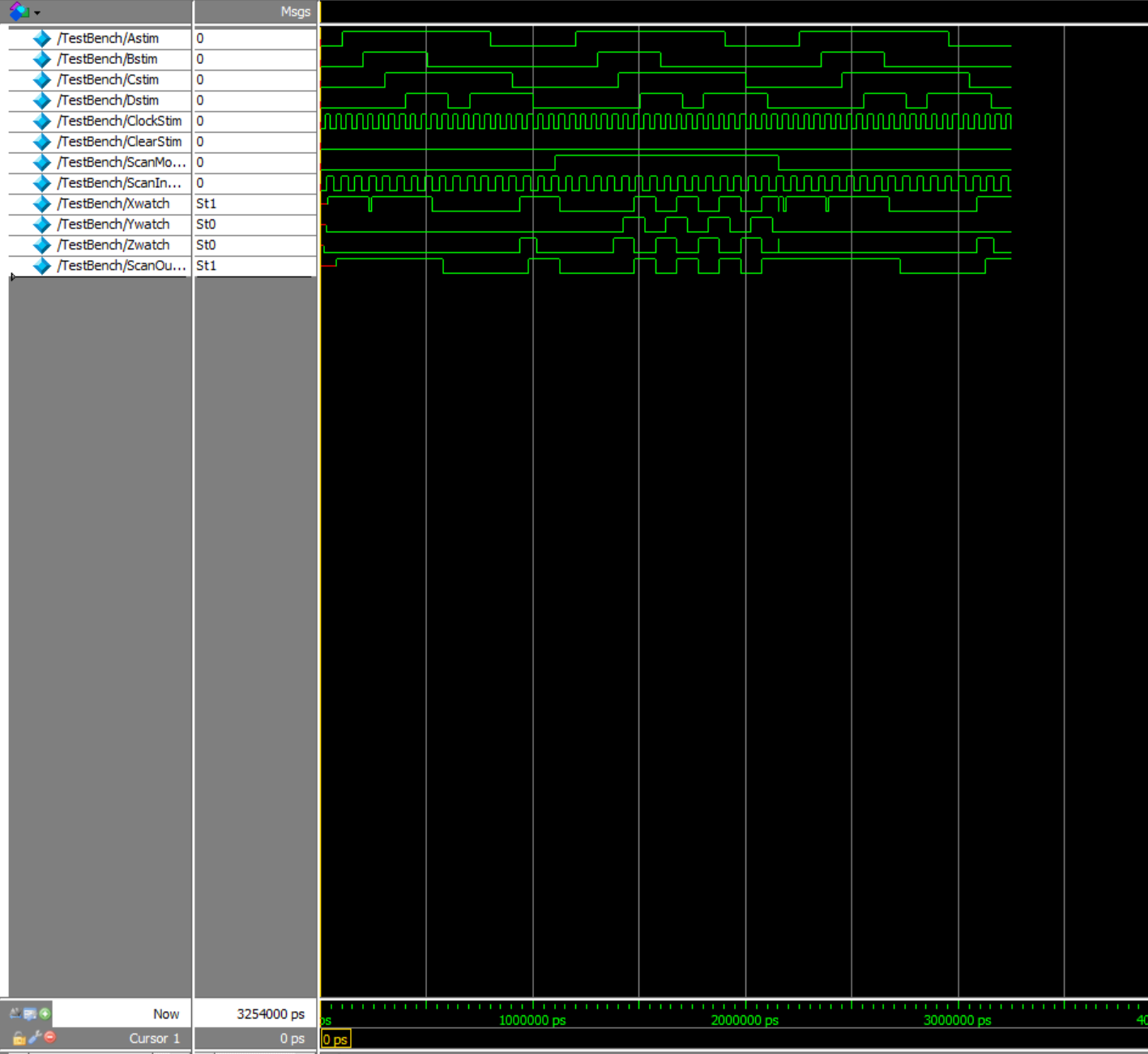
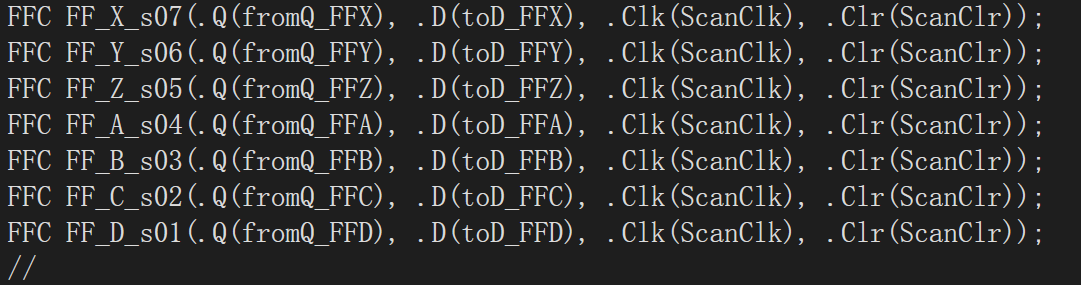
可以看出实现了练习1中的功能但扫描功能暂未发挥作用，多出FF模块和多路选择器。

1.边界扫描（Boundary Scan）是一种测试和故障诊断技术，用于检测集成电路或芯片上的连接故障。它是由IEEE标准1149.1定义的，通常称为JTAG（Joint Test Action Group）标准。

边界扫描技术通过在芯片的输入和输出端口上添加额外的逻辑电路，使得可以通过JTAG接口对芯片内部的信号线进行访问和控制。这些额外的逻辑电路包含一个或多个边界扫描单元（Boundary Scan Cell），它们可以在芯片的输入和输出之间插入。这样，通过JTAG接口可以控制这些边界扫描单元，用于测试和故障诊断。

2.边界扫描技术可以用于测试和诊断各种电路，特别是在高密度集成电路上，它提供了一种在外部访问芯片内部信号的手段，避免了需要直接物理接触芯片引脚的复杂和昂贵的测试方法。边界扫描技术在集成电路生产和维护中得到广泛应用，能够有效地提高测试效率和故障诊断能力。

第六步：D触发器命名

第七，八步：

1.仿真安全网（Simulation SafeNet）是一种在Verilog设计文件中添加特殊代码的技术，用于在仿真中保护敏感部分的设计逻辑，防止在仿真时出现不期望的结果或仿真过程中出现错误。

2.在设计复杂的数字电路时，有时候希望在仿真过程中保护某些关键的电路部分，防止其被修改或意外地改变其状态。这样可以确保在仿真过程中这些关键部分的行为与预期一致，从而更加可靠地进行功能验证。

仿真安全网的添加通常是通过在设计文件中插入特殊的条件编译指令（ifdef 和 endif）来实现的。这些条件编译指令会根据定义的条件来决定是否包含或排除特定的代码段。

3.声明部分：

output X, Y, Z: 这是模块的输出端口，表示三个输出信号 X、Y 和 Z。

input A, B, C, D: 这是模块的输入端口，表示四个输入信号 A、B、C 和 D。

output ScanOut: 这是模块的输出端口，表示一个扫描输出信号 ScanOut。

input ScanMode, ScanIn, ScanClr, ScanClk: 这是模块的输入端口，用于扫描链功能。

4.内部信号声明部分：

wire ab, bc, q, qn: 这是内部连接信号，用于连接不同模块之间的信号。

wire X\_to\_FFX, Y\_to\_FFY, Z\_to\_FFZ, FFA\_to\_A, FFB\_to\_B, FFC\_to\_C, FFD\_to\_D: 这是一些用于连接不同模块之间的信号。

wire UNK: 这是一个临时信号，用于标记在某些步骤中尚未完成的工作。

连接部分：

assign #1 Z\_to\_FFZ = ~qn;: 这是一个连续赋值语句，将信号 qn 取反并赋值给信号 Z\_to\_FFZ。

5.Mux和扫描控制部分：

在这部分代码中，使用了一些 Mux 和条件选择语句，用于实现扫描控制功能。根据 ScanMode 的值（1或0），选择不同的信号路径来实现扫描链的功能。

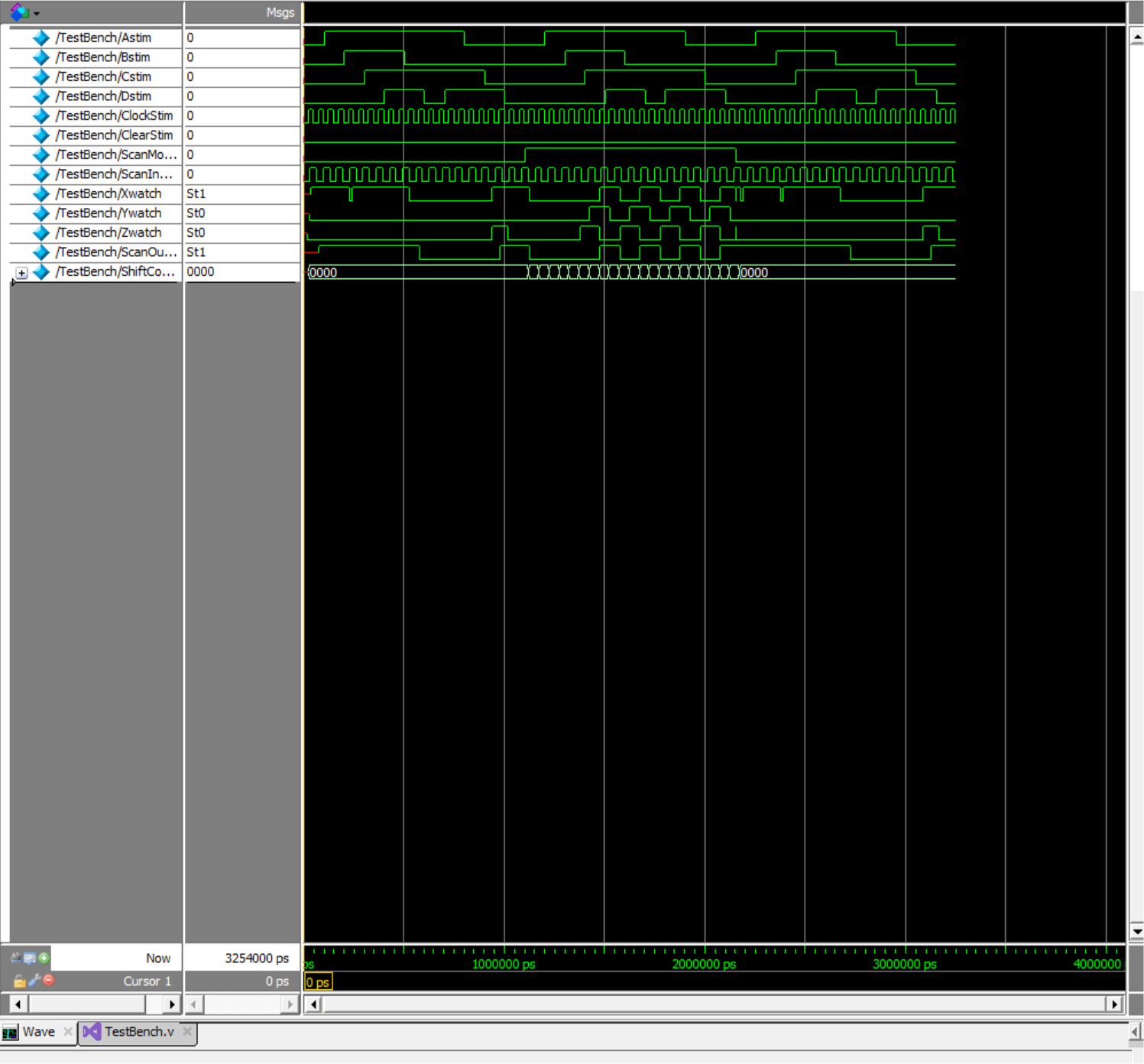
6.逻辑电路部分：

AndOr InputCombo (.X(ab), .Y(bc), .A(FFA\_to\_A), .B(FFB\_to\_B), .C(FFC\_to\_C));: 这是一个名为 InputCombo 的模块实例，表示逻辑与和逻辑或门的组合。

SR SRLatch (.Q(q), .Qn(qn), .S(bc), .R(FFD\_to\_D));: 这是一个名为 SRLatch 的模块实例，表示一个SR锁存器。

XorNor OutputCombo (.X(X\_to\_FFX), .Y(Y\_to\_FFY), .A(ab), .B(q), .C(qn));: 这是一个名为 OutputCombo 的模块实例，表示逻辑异或和逻辑或非门的组合。

7.总体上，该设计使用了一系列逻辑门和触发器来实现一个简单的数字电路功能。其中，通过添加条件选择和扫描控制部分，可以实现对该电路的扫描链功能，用于测试和验证设计。

仿真安全网仅在仿真过程中执行，对于综合和实际的实现不会产生影响。因此，添加仿真安全网是一种非常常用且有效的验证设计功能的技术