



实验注意事项：

①Extras.inc文件要放到和工程文件同一级文件夹，不要放到work里面，否则会找不到。

②将五个文件载入modelsim后要将Intro和SR，XorNor，AndOr文件的第一行加上和testbench文件一样的时间精度，否则仿真无法进行。

③在仿真前要将文件路径选择到比work大一级的文件夹。具体步骤为：右击testbench文件，打开properties，点击Verilog&systemVerilog，点击include directory,选择文件路径。