



# 沈阳工业大学

SHENYANG UNIVERSITY OF TECHNOLOGY

# 数字电子技术

沈阳工业大学  
电子技术教研室

23

# 知识点23 Verilog HDL内 置门



沈 阳 工 业 大 学

SHENYANG UNIVERSITY OF TECHNOLOGY



内置门是verilog HDL语言预定义的一些常用的门电路模型，可以用来实现门级电路的建模。

Verilog HDL中提供6种内置门，分别是：

- ①多输入门
- ②多输出门
- ③三态门
- ④上拉/下拉电阻
- ⑤MOS开关
- ⑥双向开关



## 1.多输入门

内置的多输入门包括6种门电路：

- ①and（与门）
- ②nand（与非门）
- ③nor（或非门）
- ④or（或门）
- ⑤xor（异或门）
- ⑥xnor（同或门）

所有的多输入门都只有一个输出和一个或多个输入。



## 1.多输入门

多输入门实例的语法格式如下：

```
MultipleInputGateType[instance_name](OutputY,InputA, InputB,...);
```

**MultipleInputGateType** 为所用多输入门的关键词（名称）

。instance\_name作为所定义的实例门电路编号，属于可选项，可以根据情况保留或者去除。

需要注意的是，第一个端口**OutputY**一定是输出端口，其它端口**InputA**、**InputB**等都是输入端口，输入端口之间的先后排列顺序没有具体要求，输入端口的数量根据实际设计需要可多可少。





## 2.多输出门

多输出门包括两种：

①缓冲门buf

②非门not

多输出门都只有一个输入和一个或多个输出。

多输出门的语法格式如下：

```
MultipleOutputGate[instance_name](Y1, Y2,..., YN, A);
```

多输出门的最后一个端口一定是输入端口，其余端口都是输出端口，输出端口可以有一个或多个，排列顺序没有具体要求。



## 3.三态门

三态门有三种输出状态，即：

- ①高电平（1）
- ②低电平（0）
- ③高阻态（Z）

内置三态门包括四种，即：

- ①bufif0
- ②bufif1
- ③notif0
- ④notif1



## 3.三态门

三态门包含一个数据输出端、一个数据输入端和一个控制输入端。

三态门语法格式如下：

```
TristateGate[instance_name] (Y, A,Con);
```

在定义三态门时，端口列表的第一个端口**Y**一定是数据输出端口，第二个端口**A**一定是数据输入端口，第三个端口**Con**一定是控制输入端口。控制端口的状态决定了三态门的输出是否是高阻态。





## 4. MOS开关

MOS开关包括6种，分别是：

①cmos

②pmos

③nmos

④rcmos

⑤rpmos

⑥rnmos



## 4. MOS开关

MOS开关用来为单向开关建模，即数据从输入流向输出，并且可以控制开关通断。  
pmos(P类型MOS管)、nmos(n类型MOS管)，rnmos(r代表电阻)和rpmos开关包含一个数据输出、一个数据输入和一个控制输入。

实例的语法格式如下：

```
MOSGate [instance_name](OutputA,InputB,ControlC);
```

MOSGate为定义的MOS开关关键词，如nmos等。instance\_name为定义多开关的编号，属于可选项。第一个端口OutputA为数据输出，第二个端口InputB是数据输入，第三个端口ControlC是控制输入端。



## 5.双向开关

双向开关没有方向限制，任何数据端口都可以做输入或者输出，数据可以双向流动，类似于普通的开关电路。

双向开关有6种：

①tran

②rtran

③tranif0

④rtranif0

⑤tranif1

⑥rtranif1



## 5.双向开关

**rtran**为**tran**的高阻抗版本，**tran**和**rtran**属于常通开关，不能被关闭。其余4个开关通过设置合适的控制信号来打开或关闭，属于可控双向开关。

**tran**和**rtran**开关语法格式如下：

**tran/rtran[instance\_name] (SignalA, SignalB);**

**tran/rtran**开关的端口表只有两个端口，并且无条件地双向流动，即从**SignalA**向**SignalB**，反之亦然。其它可控双向开关的语法格式如下：

**GateType[instance\_name](SignalA, SignalB, ControlC);**

可控双向开关前两个端口是双向端口，即数据从**SignalA**流向**SignalB**，反之亦然。第三个端口是通断控制信号。**tranif0**和**rtranif0**的控制信号都是低有效（0），**tranif1**和**rtranif1**的控制信号都是高有效（1）。在控制信号有效的情况下，对应的开关导通，否则开关断开。对于**rtran**、**rtranif0**和**rtranif1**，当信号通过开关传输时，信号强度减弱。



## 6.门传输延时

带有传输延时定义的门实例语句的语法格式如下：

**GateType [DelayTime] [instance\_name] (TerminalList);**

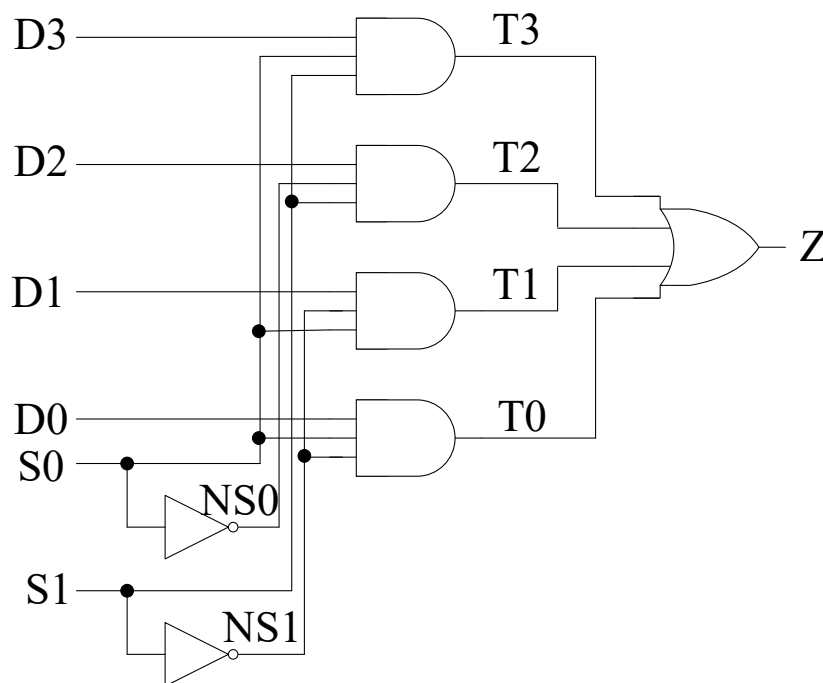
语句中规定了从门的任意输入到输出的传输延时状态。延时时间是以“#”引导的一个十进制数字。当没有明确指定传输延时，缺省的延时值为0。

传输延时有三种类型：上升延时、下降延时、截止延时。

传输延时定义可以包含0个、1个、2个或3个延时值。

	0个延时	1个延时(d)	2个延时 (d1,d2)	3个延时 (d1,d2,d3)
上升沿	0	d	d1	d1
下降沿	0	d	d2	d2
转换到x	0	d	d1和d2中的最小值	d1、d2、d3中的最小值
转换到z (截止)	0	d	d1和d2中的最小值	d3

## 7.内置门应用实例



```
module MUX4x1 (Z,D0,D1,D2,D3,S0,S1);
    //端口声明
    output Z;
    input D0,D1,D2,D3,S0,S1;
    //过渡量声明, 可忽略
    wire NS0, NS1, T0, T1, T2, T3;
    //利用内置门实现与运算
    and      (T0,D0,NS0,NS1),
             (T1,D1, NS0,S1),
             (T2,D2,S0, NS1),
             (T3,D3,S0,S1);
    //利用内置门实现或非运算
    nor      (NS0,S0),
             (NS1,S1);
    //利用内置门实现或运算
    or       (Z,T0,T1,T2,T3);
endmodule
```



知识要点： VerilogHDL内置门用法

知识难点： VerilogHDL内置门用法