



# 沈阳工业大学

SHENYANG UNIVERSITY OF TECHNOLOGY

# 数字电子技术

沈阳工业大学  
电子技术教研室

27

# 知识点27 Verilog HDL 结构建模



沈 阳 工 业 大 学

SHENYANG UNIVERSITY OF TECHNOLOGY



## 1. 结构建模的基本单元

模块的定义方式如下所示：

```
module module_name ( post_list) ;  
  declarations:  
    reg, wire, parameter,  
    input, output, inout,  
    function, task etl.  
  statements:  
    Parallel execution statement  
endmodule
```



## 1. 结构建模的基本单元

```
module mux_2 (S,A,B,Y) ;  
input [1:0] S;//端口方向说明  
input A,B;  
output Y;  
reg Y; //Y被重新指定为reg类型，只能在initial或always语句中使用  
always @(S or A or B)  
    if(S==0)  
        Y = A;  
    else  
        Y = B;  
endmodule
```



## 2. 模块调用的结构建模方式

### 1) 模块调用

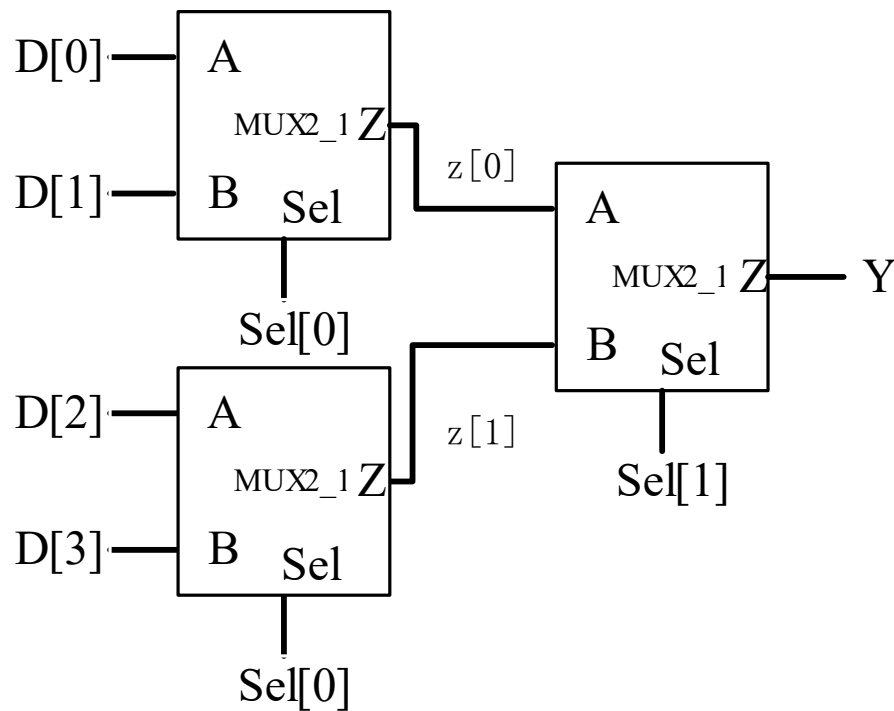
模块实例就是已设计好的模块，被调用语句形式如下：

```
module_name instance_name (port_associations);
```

module\_name为模块定义中指定的模块名称，instance\_name为实例模块编号，port\_associations为端口关联列表。



## 2. 模块调用的结构建模方式







## 2. 模块调用的结构建模方式

### 1) 模块调用

```
module MUX2_1 (Sel,A,B,Z) ;  
input Sel,A,B;  
output Z;  
reg Z;  
always @(Sel or A or B)  
    if(Sel ==0)  
        Z = A;  
    else  
        Z = B;  
endmodule
```



## 2. 模块调用的结构建模方式

### 1) 模块调用

```
module MUX4_1 (Sel,D,Y);  
    input [3:0] D;  
    input[1:0]Sel;  
    output Y;  
    wire [1:0] z;  
    MUX2_1      U1(Sel[0],D[0],D[1] , z[0]);  
    MUX2_1      U2(Sel[0], D[2],D[3] , z[1]);  
    MUX2_1      U3(.Z(Y), .Sel(Sel[1]), .A(z[0]), .B(z[1]));  
endmodule
```





## 2. 模块调用的结构建模方式

### 2) 悬空端口

在实例语句中，悬空（未连接）端口可通过将端口表达式表示为空白来表示，例如：

```
MUX2_1      U1(Sel[0],D[0], , z[0]);
```

上述实例位置对应方式，模块定义中的端口**B**对应的位置表示为“ ”（空格），表明端口**B**在实例中悬空。模块的输入端悬空，值为高阻态**z**。模块的输出端口悬空，表示该输出端口未被使用。当端口和局部端口表达式的长度不同时，端口通过无符号数的右对齐或截断方式进行匹配。



## 2. 模块调用的结构建模方式

### 3) 模块参数值

#### (1) 参数定义语句

参数定义语句形式如下：

```
defparam hier path name1=valuel1,  
hier path name1=valuel2,...;
```

较低层模块中的参数可以显式定义。



## 2. 模块调用的结构建模方式

### 3) 模块参数值

#### (1) 参数定义语句

如下实例所示。

```
module HA(A,B,SUM,C);  
input A,B;  
output SUM,C;  
parameter andDelay = 3,xorDelay = 5;  
assign # andDelay C = A & B;  
assign # xorDelay SUM = A^B;  
endmodule
```



## 2. 模块调用的结构建模方式

### 3) 模块参数值

#### (2) 带参数值的模块引用

带参数值得模块引用是在调用模块的实例语句中包含新的参数值。

```
module NEWHA2(M,N,SS,CC);  
input M,N;  
output SS,CC;  
    HA # (1,2) u1(M,N,SS,CC);  
endmodule
```



## 2. 模块调用的结构建模方式

### 3) 模块参数值

#### (2) 带参数值的模块引用

参数值还可以表示长度，如下所示：

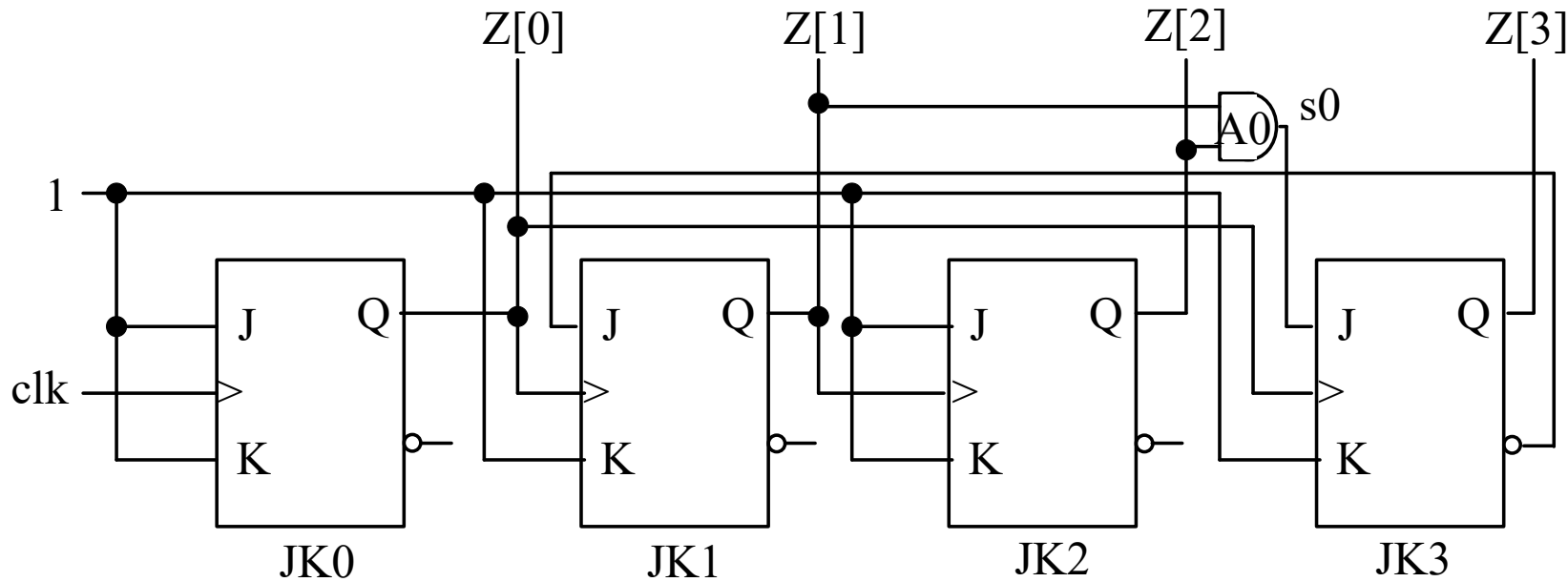
```
parameter M=3,N=7;
```

```
wire[M:0] A;
```

```
reg[N:0] data;
```



### 3. 简单结构建模举例





## 3. 简单结构建模举例

```
module count10 (clk,Z);  
    input clk;  
    output [3:0]Z;  
    wire s0,s1;  
    and A0 (s0,Z[2],Z[1]); // 基本门实例语句  
    JKFF JK0(.J(1' b1),.K(1' b1),.Ck(clk),.Q(Z[0]),.NQ()),//4个模块实例  
    语句  
        JK1(.J(s1),.K(1' b1),.CK(Z[0]),.Q(Z[1]),.NQ()),  
        JK2(.J(1' b1),.K(1' b1),.CK(Z[1]),.Q(Z[2]),.NQ()),  
        JK3(.J(s0),.K(1' b1),.CK(Z[0]),.Q(Z[3]),.NQ(s1));  
endmodule
```





知识要点： VerilogHDL结构流建模方法  
知识难点： VerilogHDL结构流建模方法