



# 沈阳工业大学

SHENYANG UNIVERSITY OF TECHNOLOGY

# 数字电子技术

沈阳工业大学  
电子技术教研室

24

# 知识点24 Verilog HDL用 户原语 (UDP)



沈 阳 工 业 大 学

SHENYANG UNIVERSITY OF TECHNOLOGY



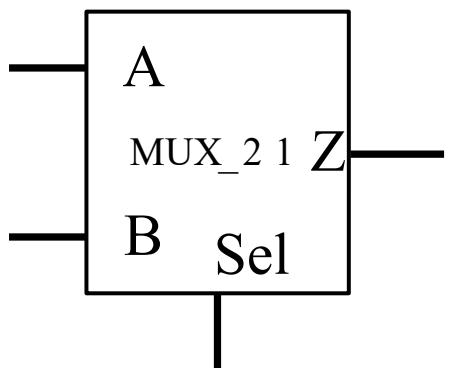
用户原语UDP (User Defined Primitives) 用来定义用于仿真的基本逻辑元件模块并建立相应的原语库。与一般的用户模块相比, UDP更为基本, 它只能描述简单的、能用真值表表示的组合或时序逻辑。

UDP语法格式如下:

```
primitive UDP_name (OutputName,List_of_inputs)
//用户原语要指明端口列表中的各个端口的输入或输出的方向
    Output_declaration
    List_of_input_declarations
    [Reg_declaration]
    [Initial_statement]
//该表以关键词“table”开始, 以关键词“endtable”结束
    table
// List_of_tabel_entries给出用户原语的输入输出对应关系列表
    List_of_tabel_entries
    endtable
endprimitive
```



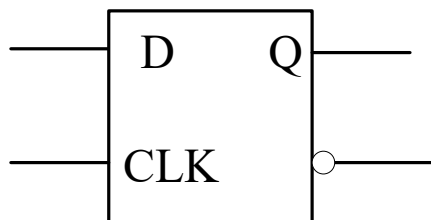
## 1. 组合电路UDP



```
primitive MUX2_1(Z,Sel,A,B);  
//明确声明端口方向  
output Z;  
input Sel,A,B;  
//UDP列表开始关键词  
table  
//输入输出按照以下顺序进行对应  
// Sel A   B   :   Z ;  
    0     0   ?   :   0 ;  
    0     1   ?   :   1 ;  
    1   ?   0   :   0 ;  
    1   ?   1   :   1 ;  
    x   ?   ?   :   0 ;  
//UDP列表结束关键词  
endtable  
endprimitive
```



## 2. 电平触发的时序电路UDP



```
primitive D_FF (Q,Clk,D);
```

```
//端口声明
```

```
output Q;
```

```
input Clk,D;
```

```
//时序电路UDP中，输出类型声明为reg类型
```

```
reg Q
```

```
table
```

```
//按照如下顺序对应状态，其中Q为当前输出状态，Q*为  
满足触发条件后的下一个状态
```

```
//      Clk   D   :   Q       :   Q*   ;  
      1     1   :   ?       :   1     ;  
      1     0   :   ?       :   0     ;  
      0     ?   :   ?       :   -     ;
```

```
//“-”字符表示状态“无变化”
```

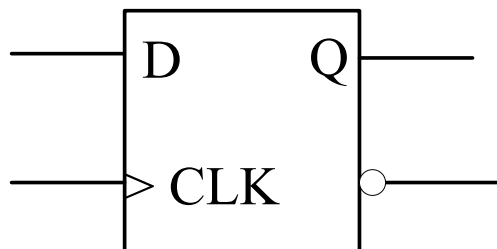
```
endtable
```

```
endprimitive
```





## 3.边沿触发的时序电路UDP



```
primitive D_Edge_FF (Q,Clk,Data);
output Q;
input Clk, Data;
reg Q; //时序电路UDP输出类型声明
initital Q=0; //利用initital语句初始化输出状态
table
// Clk  Data      :   Q      : Q*  ;
(01)      0        :   ?      : 0    ;
(01)      1        :   ?      : 1    ;
          (0x)      1        :   1      : 1    ;
          (0x)      0        :   0      : 0    ;
(?0)      ?        :   ?      : -    ;
?          ?        :   ?      : -    ;
endtable
endprimitive
```



## 思考题

1. 组合电路与时序电路的**UDP**有何区别？
2. **UDP**可有一个或多个输出，是否正确？
3. 初始语句可用于初始化组合电路**UDP**吗？
4. 编写优先编码器电路的**UDP**描述。使用测试激励验证描述的模型。
5. 为**T**触发器编写**UDP**描述。假定触发时钟沿是时钟下跳沿，使用测试激励验证所描述的模型。
6. 以**UDP**方式为上跳边沿触发的**JK**触发器建模。使用测试激励验证描述的模型。



知识要点： VerilogHDL用户原语的使用方法

知识难点： VerilogHDL用户原语的调试