



沈阳工业大学

SHENYANG UNIVERSITY OF TECHNOLOGY

数字电子技术

沈阳工业大学
电子技术教研室

22

知识点22 Verilog HDL操作符



沈 阳 工 业 大 学

SHENYANG UNIVERSITY OF TECHNOLOGY



1.关系操作符

关系操作符一般用在布尔表达式中，关系成立结果为真“1”，关系不成立结果为假“0”。如果操作数中有一位为x或z，那么结果为x。

关系操作符	<	小于
	<=	小于等于
	>	大于
	>=	大于等于
	==	逻辑等
	!=	逻辑不等
	===	全等
	!==	不全等



2.逻辑操作符

逻辑操作符	&&	逻辑与
		逻辑或
	!	逻辑非



3.按位操作符

&	0	1	X	Z
0	0	0	0	0
1	0	1	X	X
X	0	X	X	X
Z	0	X	X	X

^	0	1	X	Z
0	0	1	X	X
1	1	0	X	X
X	X	X	X	X
Z	X	X	X	X

	0	1	X	Z
0	0	1	X	Z
1	1	1	1	1
X	X	1	X	X
Z	X	1	X	X

~^/^	0	1	X	Z
~				
0	^	0	X	X
1	0	1	X	X
X	1	X	X	X
Z	X	X	X	X

~	0	1	X	Z
Z	1	0	X	X



4. 缩位操作符

缩位操作符是对单一操作数所包含的所有位进行的操作，并产生1位结果。

缩位操作符	功能	运算规则
&	缩位与	如果存在位值为0，那么结果为0； 如果存在位值为x或z，结果为x；否则结果为1
~&	缩位与非	如果存在位值为0，那么结果为1； 如果存在位x或z，结果为x；否则结果为0
	缩位或	如果存在位值为1，那么结果为1； 如果存在位值为x或z，结果为x；否则结果为0
~	缩位或非	如果存在位值为1，那么结果为0； 如果存在位值为x或z，结果为x；否则结果为1
^	缩位异或	如果存在位值为x或z，那么结果为x； 否则操作数中有偶数个1，结果为0；否则结果为1
~^	缩位同或	如果存在位值为x或z，那么结果为x； 否则操作数中有偶数个1，结果为1；否则结果为0



5.移位操作符

移位操作符左侧为操作数，右侧为移位的次数，它是一个逻辑移位。
空闲位添**0**补位。如果移位次数的值为**x**或**z**，则移位操作的结果为**x**。

移位操作符	<<	左移
	>>	右移



6.条件操作符

条件操作符根据条件表达式的结果，来选择需要执行的表达式。
条件操作符等同于if else 语句。语法格式如下：

`cond_expr?expr1:expr2`

如果cond_expr为真（即值为1），选择expr1；如果cond_expr为假（值为0），选择expr2。例如：

`wire [0:2]Student=Marks>18? Grade_A:Grade_C;`

计算表达式Marks>18；如果真，Grade_A赋值为Student；
如果Mark<=18，Grade_C赋值为Student。



7.连接和复制操作符

连接操作符是将小表达式合并形成大表达式的操作，语法格式如下：

`{expr1, expr2,..., exprN}`

例如：

```
wire[3:0]A, B;  
wire[7:0]C;  
C[7: 4]={A[0],A[1],A[2], A[3]};  
    //以反转的顺序将低端4位赋给高端4位  
A={A[3: 0], A[7:4]}; //高4位与低4位交换
```

连接操作符只能连接有明确长度的表达式。

例如：{A, 5} 是不允许的。复制操作格式：

`{repetition_number{expr1,expr2,...,exprN}}`

例如：

```
wire[11:0] D;  
D={3{4`b1011}};    //位向量12`b1011_1011_1011)
```



知识要点： VerilogHDL各类操作符的功能含义

知识难点： VerilogHDL各类操作符使用方法