



沈阳工业大学

SHENYANG UNIVERSITY OF TECHNOLOGY

数字电子技术

沈阳工业大学
电子技术教研室

25

知识点25 Verilog HDL
数据流建模



沈阳工业大学

SHENYANG UNIVERSITY OF TECHNOLOGY



1.连续赋值语句

连续赋值语句的赋值对象一定是线网类型，不能用寄存器类型。连续赋值语句属于并行执行语句，即连续赋值语句的执行顺序与所书写的先后顺序无关，先写的不一定先执行，后写的不一定后执行，其执行顺序取决于连续赋值语句所携带的敏感量的变化，当有敏感量发生变化时，对应的连续赋值语句自动执行。连续赋值语句只能在可以放置并行执行语句的地方使用。

连续赋值语句的语法格式如下：

```
assign LHS_target =RHS_expression;
```

关键词assign是连续赋值语句的标志。



2.线网说明赋值

线网说明赋值就是在对线网类型进行定义的同时，对所定义的对象进行赋值，类似于C语言中变量定义的同时进行赋值，即连续赋值可作为线网类型说明的一部分，这样的赋值被称为线网说明赋值。例如：

```
wire [3:0] Data=4 `b1001;
```

```
wire nRd = 1`b1;
```

等同于：

```
wire [3:0] Data;
```

```
assign Data = 4 `b1001;
```

```
wire nRd;
```

```
assign nRd = 1`b1;
```



3.赋值语句延时

如果在连续赋值语句中没有定义延时，则默认延时为0，即赋值语句右端表达式的值立即赋给左端表达式。如“`assign nRd = A|B;`”，当A或B的状态发生变化时，立即进行A|B运算，将新的结果立即赋值给nRd。

//显式定义连续赋值的延时

```
assign #6 nRd = A|B;
```

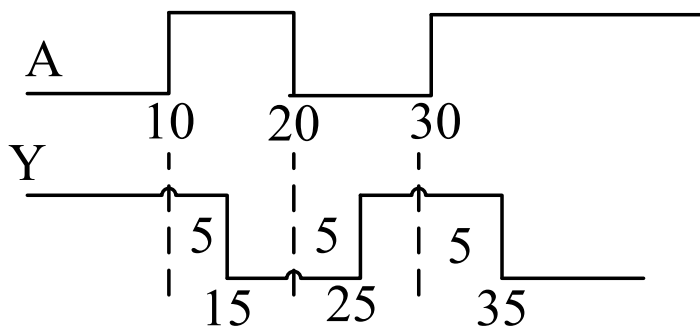



4.线网延时

在进行线网说明时，也可以加入延时，如“**wire #5 A;**”。线网延时对所有向该线网赋值的语句均有效，例如：

```
assign Y = ~A;
```

A的变化波形如图所示。



A在时刻10发生变化，由于存在线网延时，输出Y在经过5个时间单位后发生变化。A在其它时刻的变化同样都经过5个时间单位后才引起输出状态的变化。



知识要点： VerilogHDL数据流建模方法

知识难点： VerilogHDL数据流建模方法