



沈阳工业大学

SHENYANG UNIVERSITY OF TECHNOLOGY

数字电子技术

沈阳工业大学
电子技术教研室

02

PART TWO

▶ 知识点2 常用逻辑运算和 逻辑函数的表示方法



沈阳工业大学

SHENYANG UNIVERSITY OF TECHNOLOGY



2.1 概述

- 基本概念

逻辑

- 事物的因果关系

逻辑运算的数学
基础

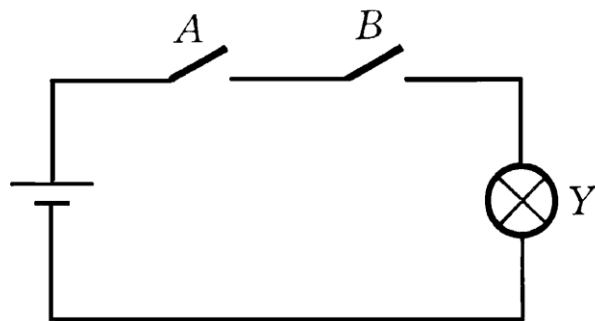
- 逻辑代数

在二值逻辑中的
变量取值

- 0/1

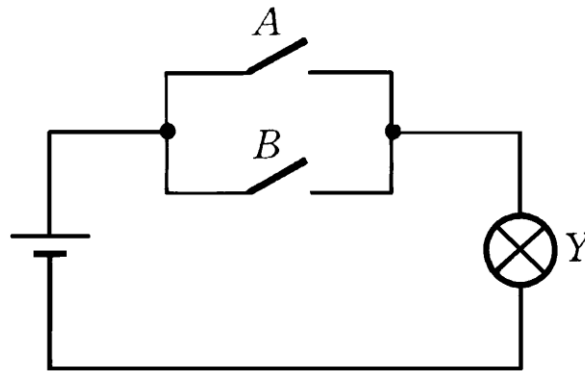
2.2 逻辑代数中的三种基本运算

与 (AND)



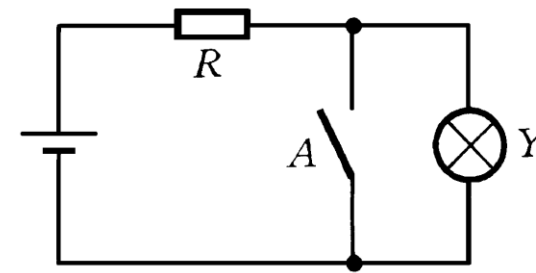
(a)

或 (OR)



(b)

非 (NOT)



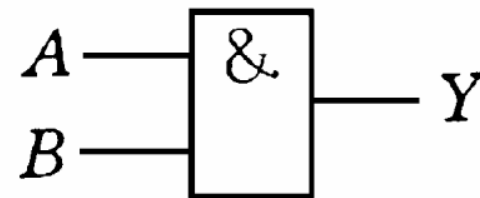
(c)

以 $A=1$ 表示开关A合上， $A=0$ 表示开关A断开；
以 $Y=1$ 表示灯亮， $Y=0$ 表示灯不亮；
三种电路的因果关系不同：

与

- 条件同时具备，结果发生
- $Y = A \text{ AND } B = A \& B = A \cdot B = AB$

| A | B | Y |
|-----|-----|-----|
| 0 | 0 | 0 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |



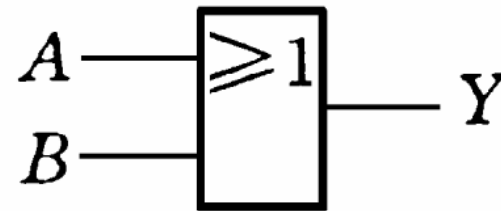
与



或

- 条件之一具备，结果发生
- $Y = A \text{ OR } B = A + B$

| A | B | Y |
|-----|-----|-----|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 1 |



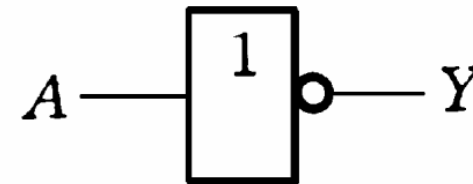
或



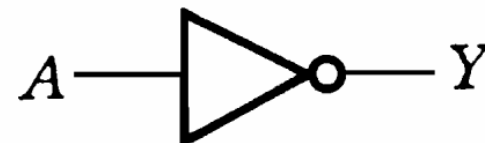
非

- 条件不具备，结果发生
- $Y = A' = \text{NOT } A$

| A | Y |
|-----|-----|
| 0 | 1 |
| 1 | 0 |

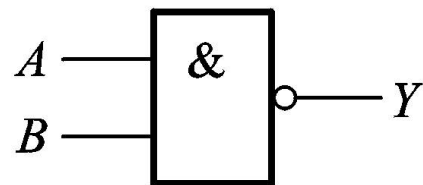
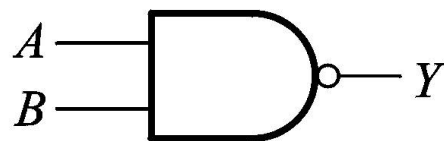


非



几种常用的复合逻辑运算

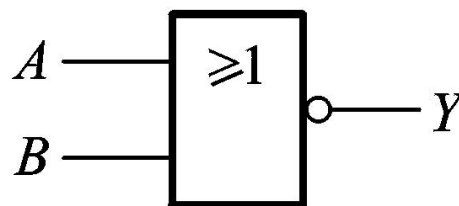
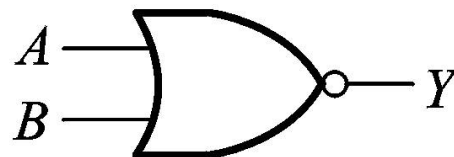
• 与非



与非

$$Y=(A \cdot B)'$$

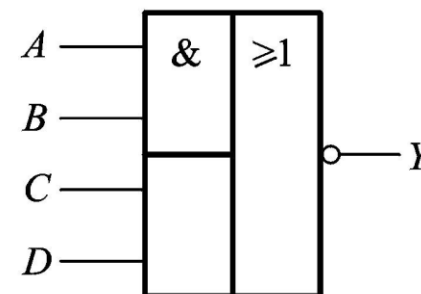
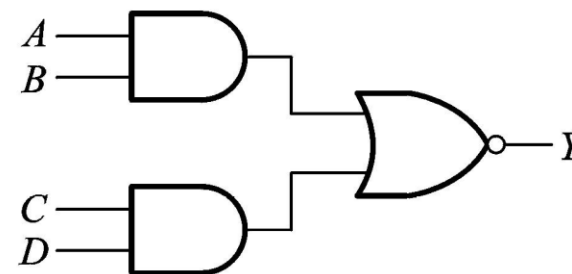
或非



或非

$$Y=(A+B)'$$

与或非



与或非

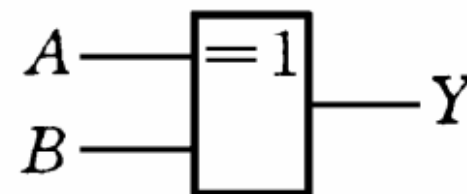
$$Y=(A \cdot B + C \cdot D)'$$



几种常用的复合逻辑运算

- 异或
- $Y = A \oplus B$

| A | B | Y |
|-----|-----|-----|
| 0 | 0 | 0 |
| 0 | 1 | 1 |
| 1 | 0 | 1 |
| 1 | 1 | 0 |



异或

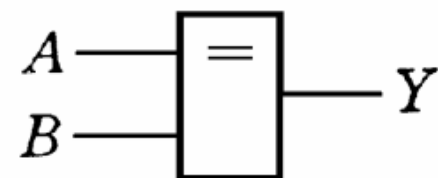


$$Y = A \oplus B$$

几种常用的复合逻辑运算

- 同或
- $Y = A \odot B$

| A | B | Y |
|---|---|---|
| 0 | 0 | 1 |
| 0 | 1 | 0 |
| 1 | 0 | 0 |
| 1 | 1 | 1 |



同或



$$Y = A \odot B$$



2.3 逻辑函数及其表示方法

2.3.1 逻辑函数

- $Y=F(A,B,C,\dots)$

-----若以逻辑变量为输入，运算结果为输出，则输入变量值确定以后，输出的取值也随之而定。输入/输出之间是一种函数关系。

注：

在二值逻辑中，输入/输出都只有两种取值0/1。



2.3.2 逻辑函数的表示方法

- 真值表
- 逻辑式
- 逻辑图
- 波形图
- 卡诺图
- 计算机软件中的描述方式

各种表示方法之间可以相互转换



• 真值表

| 输入变量 $A \ B \ C \cdots$ | 输出 $Y_1 \ Y_2 \cdots$ |
|----------------------------|--------------------------|
| 遍历所有可能的输入变量的取值组合 | 输出对应的取值 |



- 逻辑式

将输入/输出之间的逻辑关系用与/或/非的运算式表示就得到逻辑式。

- 逻辑图

用逻辑图形符号表示逻辑运算关系，与逻辑电路的实现相对应。

- 波形图

将输入变量所有取值可能与对应输出按时间顺序排列起来画成时间波形。



- 卡诺图

- EDA中的描述方式

HDL (Hardware Description Language)

VHDL (Very High Speed Integrated Circuit ...)

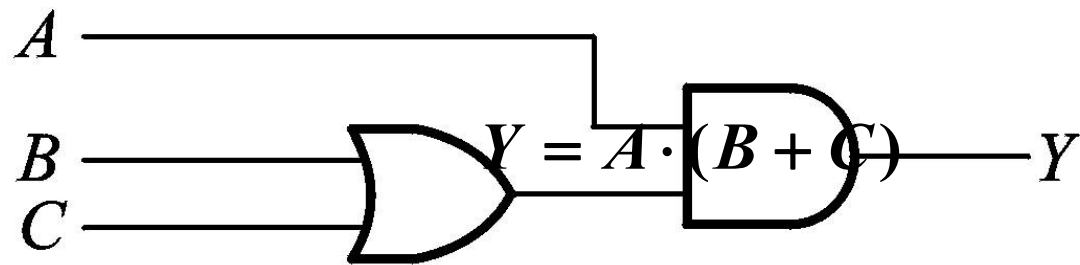
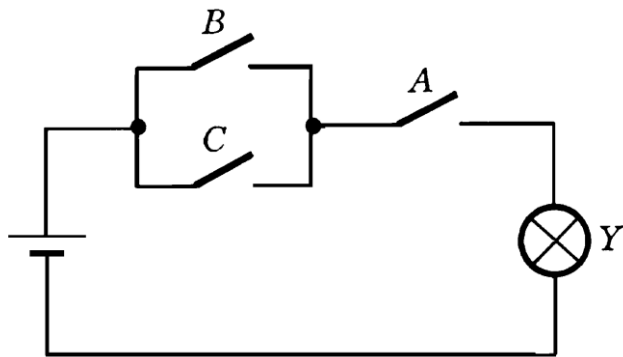
Verilog HDL

EDIF

DTIF

○ ○ ○

举例：举重裁判电路



| A | B | C | Y |
|-----|-----|-----|-----|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 0 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 1 |



各种表示方法之间可以相互转换

• 真值表 \longleftrightarrow 逻辑式

例：奇偶判别函数的真值表

- $A=0, B=1, C=1$ 使 $A'BC=1$
- $A=1, B=0, C=1$ 使 $AB'C=1$
- $A=1, B=1, C=0$ 使 $ABC'=1$

这三种取值的任何一种都使 $Y=1$,
所以 $Y= ?$

| A | B | C | Y |
|-----|-----|-----|-----|
| 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 0 |
| 0 | 1 | 0 | 0 |
| 0 | 1 | 1 | 1 |
| 1 | 0 | 0 | 0 |
| 1 | 0 | 1 | 1 |
| 1 | 1 | 0 | 1 |
| 1 | 1 | 1 | 0 |



- 真值表 \longleftrightarrow 逻辑式:

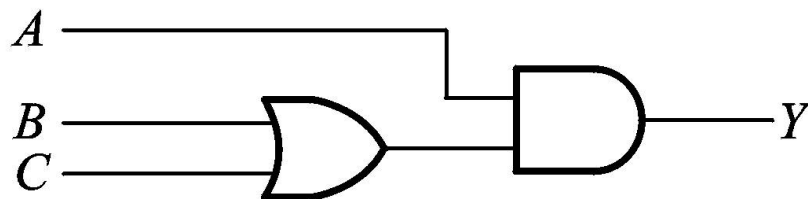
1. 找出真值表中使 $Y=1$ 的输入变量取值组合。
2. 每组输入变量取值对应一个乘积项，其中取值为1的写原变量，取值为0的写反变量。
3. 将这些变量相加即得 Y 。
4. 把输入变量取值的所有组合逐个代入逻辑式中求出 Y ，列表



• 逻辑式 \longleftrightarrow 逻辑图

1. 用图形符号代替逻辑式中的逻辑运算符。

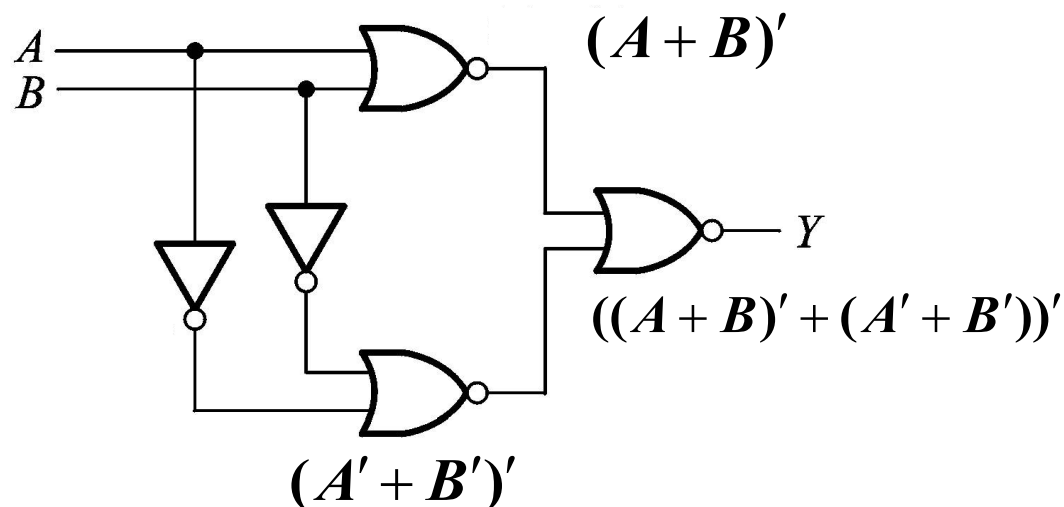
$$Y = A \cdot (B + C)$$





• 逻辑式 \longleftrightarrow 逻辑图

1. 用图形符号代替逻辑式中的逻辑运算符。
2. 从输入到输出逐级写出每个图形符号对应的逻辑运算式。



$$\begin{aligned} & ((A + B)' + (A' + B'))' \\ &= (A + B)(A' + B') \\ &= AB' + A'B \\ &= A \oplus B \end{aligned}$$



知识要点：熟悉逻辑运算的原理，
 掌握不同逻辑函数表示方法的转换关系
能力要点：理解不同逻辑函数表示方法的内涵，
 达到灵活运用效果
素质要点：培养透过现象看本质的素养