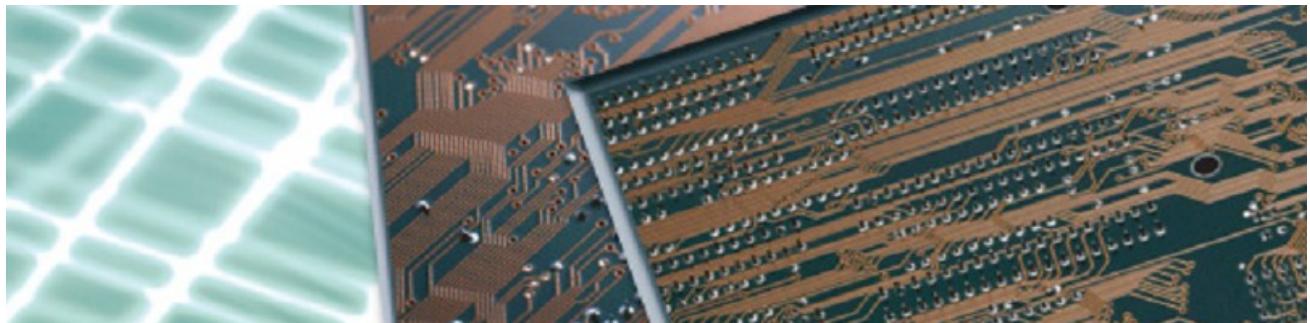


Cadence Allegro & OrCAD PCB Designer v16.2

전자회로 설계
[PCB Solution]
- 초급 -



나인플러스EDA(주)

서울특별시 금천구 가산동 481-4 벽산 디지털밸리 6차 508호

02) 2627-3420 FAX: 02) 2627-3421



나인플러스이디에이(주)

부산광역시 연제구 저제1동 203-10 석하빌딩 6층

051) 758-4841 FAX: 051) 758-4866

[Http://www.npeda.co.kr](http://www.npeda.co.kr) <http://www.orcad.net>

목차

Session I . PCB (Printed Circuit Board) 기초

1. PCB [Printed Circuit Board]
2. 일반적인 특징.

Session II. PCB 용어 해설

1. net
2. Symbol과 Part의 차이
3. Footprint
4. PCB 구성
5. PCB의 종류

Session III. 설계 실습

1. 도면 작업

- 1) 프로그램 실행 및 프로젝트 생성
- 2) 작업도면 용지 설정
- 3) 타이틀 블록 설정
- 4) 부품 불러오기(PLACE PART)
- 5) 라이브러리 추가
- 6) 부품 배치
- 7) 부품간 배선하기 및 NET ALIAS
- 8) 프로젝트 저장하기
- 9) 부품 참조번호 설정하기(ANNOTATE)
- 10) DESIGN RULES CHECK
- 11) FOOTPRINT 입력
- 12) CREATE NETLIST
- 13) COMPONENT 확인하기

2. PCB BOARD 제작

- 1) BOARD 디자인 설정
- 2) 레이어 COLOR 설정
- 3) BOARD OUTLINE 생성
- 4) 부품 배치
- 5) 부품 이동 및 회전
- 6) MOUNT HOLE 배치

- 7) 복사하기
- 8) 부품 고정
- 9) 배선 두께 설정 및 배선 간격 설정
- 10) TOP, BOTTOM에 배선하기(ROUTE)
- 11) DYNAMIC SHAPE(COPPER POUR) 작업
- 12) DIMENSION 작업
- 13) 작업상태 확인하기
- 14) DRILL LEGEND 생성
- 15) DRILL 파일 생성
- 16) 거버파일 생성
- 17) 거버파일 확인

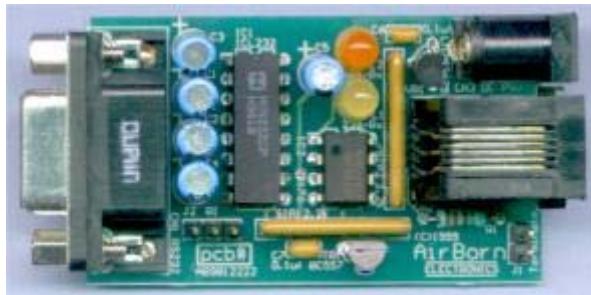
3. 실습 예제

Session I . PCB (Printed Circuit Board) 기초

1. PCB [Printed Circuit Board]

- 인쇄 회로 기판.

동박의 배선을 미리 작성하여 부품의 삽입만을 남겨놓은 기판



PCB는 각종 전자부품을 연결, 전자회로를 구성하거나 부품들을 지지해 주는 핵심부품이다. 우리나라 전자산업의 원년은 금성사(현 LG전자)에 의해 진공관식 라디오가 처음 생산되기 시작한 1959년이다. 그 후 10년이 지난 1969년, 통신기기산업에 전념하던 대영전자의 김정식사장(현 대덕전자 및 대덕산업 회장)이 본격적으로 PCB 생산에 착수할 계획을 세움으로써 국내 PCB 산업의 역사는 시작됐다.

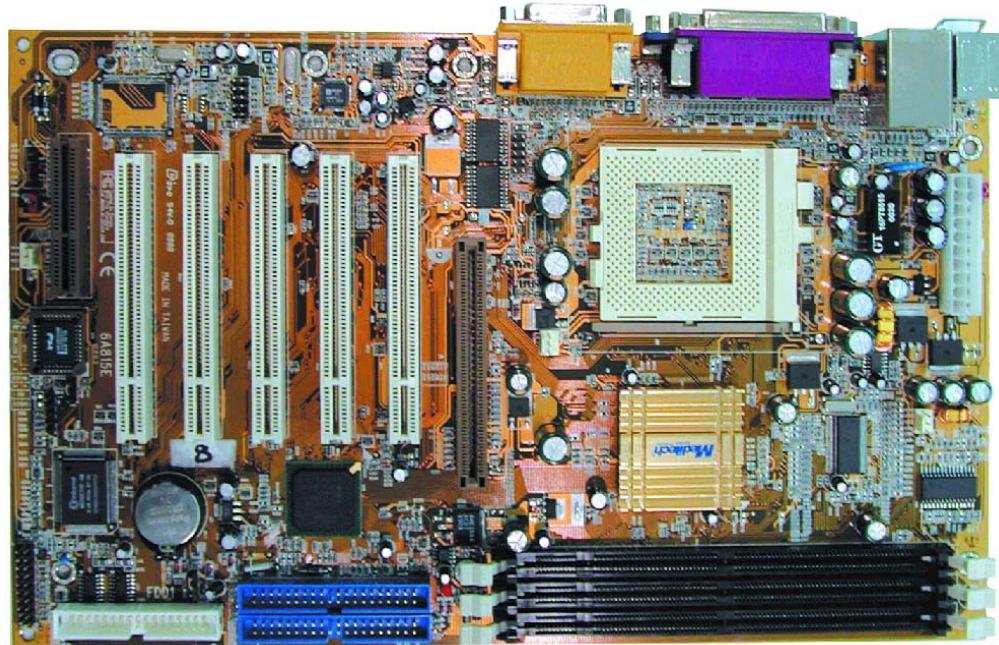
당시는 전자산업 육성에 대한 필요성을 절감하던 시기로, 1967년 고 박정희 대통령이 연두교서에서 전자공업 육성 의지를 밝힌 후, 1968년 12월 28일 전자공업진흥법이 제정됐다. 이때부터 해외 전자산업 시찰이 본격적으로 이루어졌고, 국내 전자공업 육성을 위한 일환으로써 한국규격협회 이재곤 회장을 단장으로 11명의 업계대표 및 2명의 기자로 구성된 전자공업기술조사단을 해외로 파견했다. 이 조사단의 멤버로 선진 외국의 전자산업 현장을 둘러본 김정식 사장은 귀국하자마자 PCB 도입을 서두르면서 원판도 없고 관련부품·소재도 없는 황무지에서 제조설비 몇 대를 들여다 놓고 제품 생산을 개시했다. 정부의 무관심 속에 민간업체가 주도

PCB 특성상 인쇄와 금형기술의 복합화가 제품 제조 기술의 핵심이었던 만큼 이 분야 산업이 손쉬운 것은 아니었다. 당시 국내에서 처음으로 시작한 분야였기 때문에 무에서 유를 만들어 내기 위해 뼈를 깎는 듯한 노력이 필요했다. 더구나 정부의 지원도 없이 민간업체 스스로 PCB를 개발하고 생산했기 때문에 이의 제품들은 조악하기 짝이 없었다.

재료 및 부품 구입, 설비Maintenance, 기술습득 등 어느 것 하나 자력으로 구할 수 없었던 김정식 사장은 기술자였던 김연혁씨(현 대덕산업 부회장)를 재료 공급선이었던 일본 송하전공에 보내 기술연수를 받게 한 후 1974년 서울 영창동에 국내 최초 단면용 PCB 전문 공장을 짓고 생산을 시작했다. 비슷한 시기인 1972년 4월에는 삼성금속화학의 송동효씨가 강서구 영창동에 일본 히타치와 합작으로 코리아씨키트를 설립해, 단면 PCB 생산에 가세했다. 대덕이나 코리아씨키트가 일본업체와 합작한 이유는 일본의 기술을 이전받기 위해서였다. 그만큼 자체적으로 감당하기에는 기술력이 너무 부족했기 때문이었다.

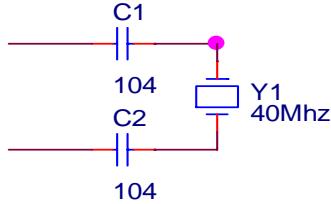
- 월간전자기술 발췌

2. 일반적인 특징.

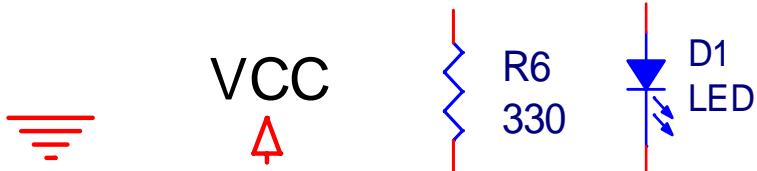


Session II. PCB 용어 해설

1. Net : 두핀 이상의 핀에 연결된 배선

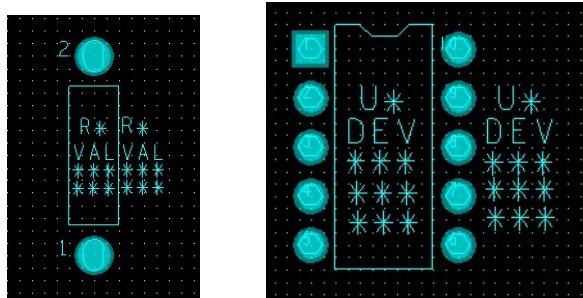


2. Symbol과 Part의 차이



3. Footprint

PCB Footprint라고 하며 실장부품을 삽입하였을 때 위에서 본 형상과 부품의 핀에 대한 정보 및 설계에 필요한 기타 데이터를 포함하는 데이터를 지칭함.



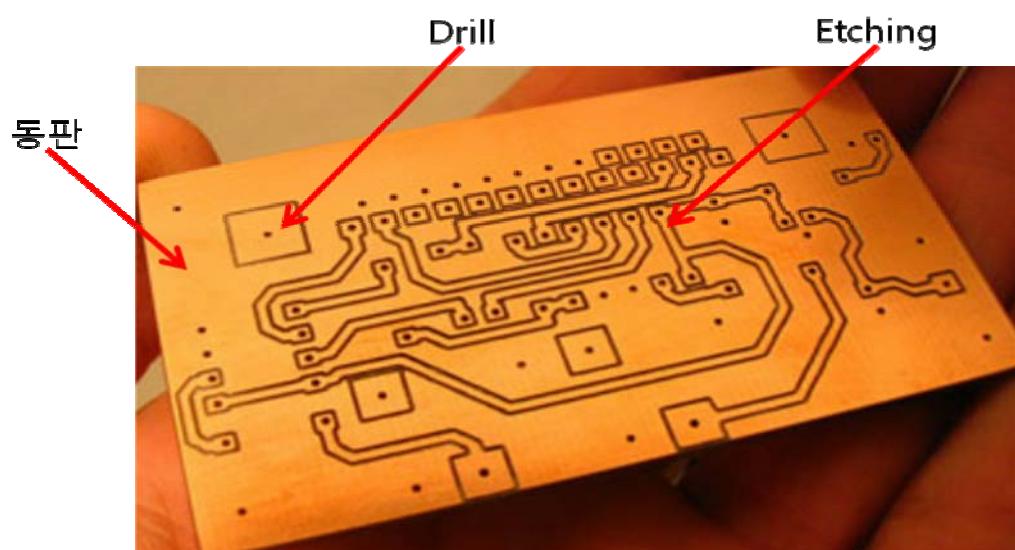
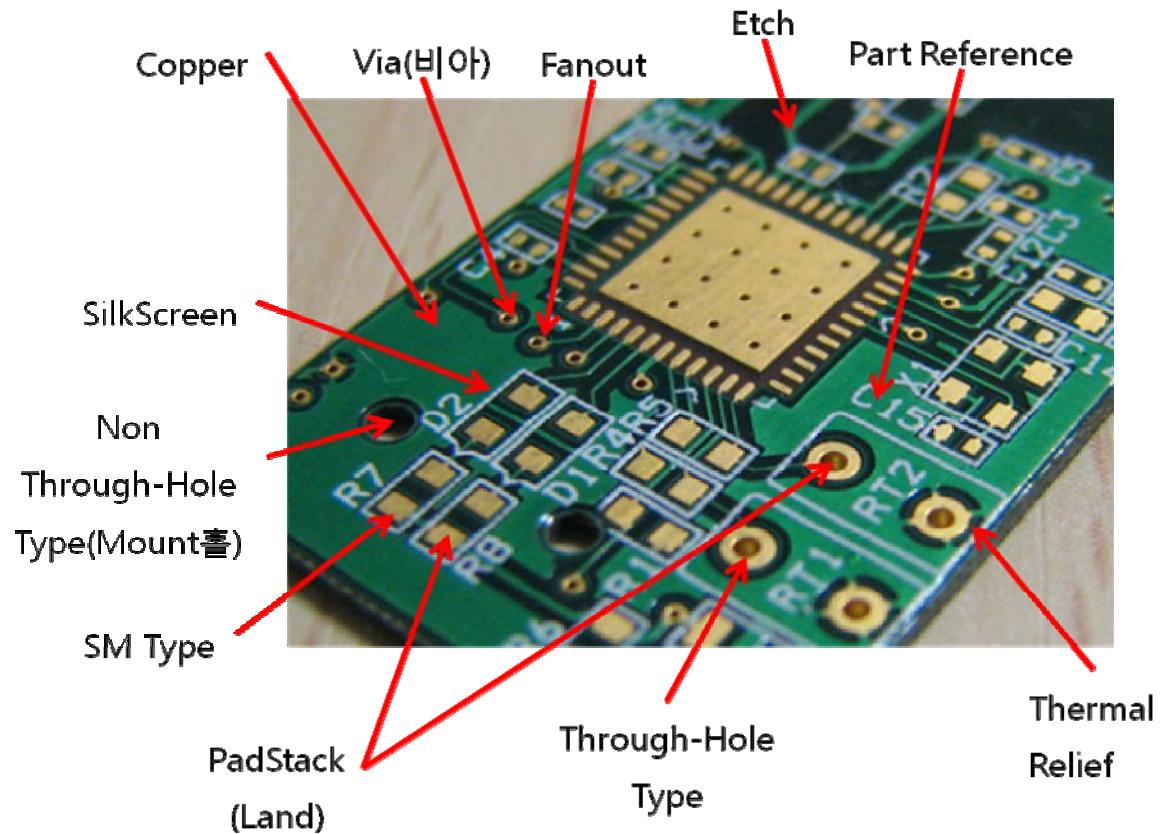
국제전기전자표준협회 (JEDEC)

국제전기전자표준협회(JEDEC : Joint Electron Device Engineering Council)는 미국 전자공업협회의 하부조직으로, 제조업체와 사용자 단체가 합동으로 집적회로 같은 전기전자 제품의 규격을 심의하여 책정하는 기구다. 이 기구에서 책정된 규격이 국제표준이 되므로 반도체의 전기적 특성, 패키지, 신뢰성 등 반도체 각 분야의 표준 역시 이 협회의 규격이 국제 표준이 된다. 현재 전 세계 약 250개 반도체 업체 1,800명의 기술인력이 이 협회에서 활동하고 있다.

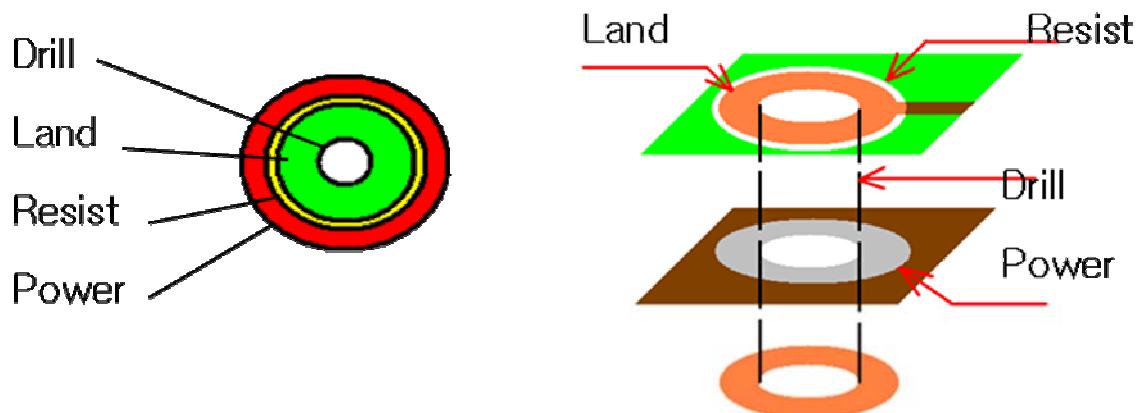
반도체에서 표준화가 결정적으로 중요한 것은 제품 규격을 제시한 기업이 출수 초기에 고부가가치를 독점할 수 있기 때문이다. 최근 개발되는 반도체의 경우 기술이 복잡해짐에 따라 한 제품에만 규격이 수백 가지에 이른다.

따라서 일단 국제 표준이 확정된 후 제품 개발을 시작하면 개발에서 양산까지 적어도 1,2년은 걸리므로 제품의 초기 시장 선점이 거의 불가능하다. 반면 특정 회사 제품이 공식 표준으로 선정되면 그 회사는 초기 시장 선점이라는 과실을 독점하게 된다. 이 시기의 이득은 일반적으로 상품화된 반도체 제품 10억달러어치를 판매한 것보다 크다고 한다.

1. PCB 구성



1. Padstack [pin]

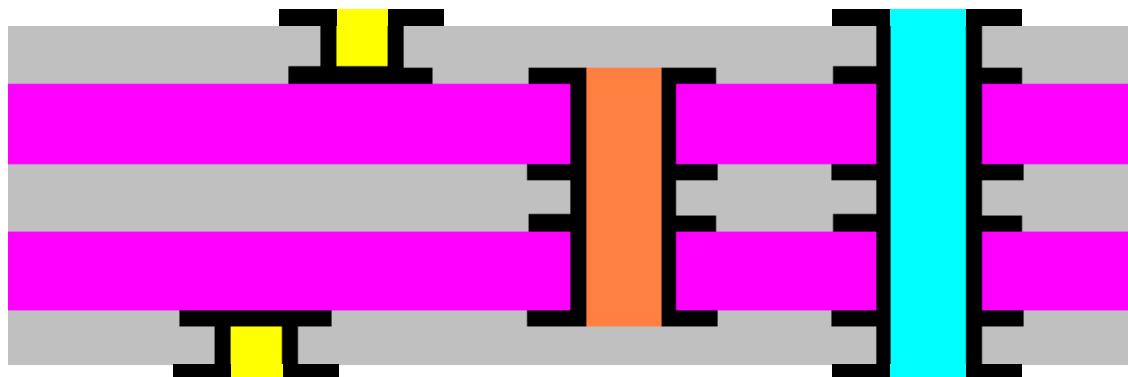


핀; 부품의 고정 및 신호의 전달을 목적으로 제작되는 Padstack

종류 : Through Hole

SMD

2. Via



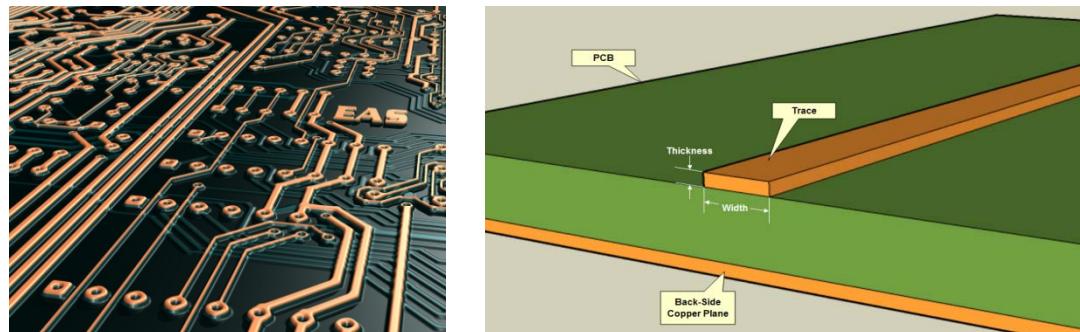
비아 ; 신호의 전달을 목적으로 제작되는 Padstack

종류 : Through Hole

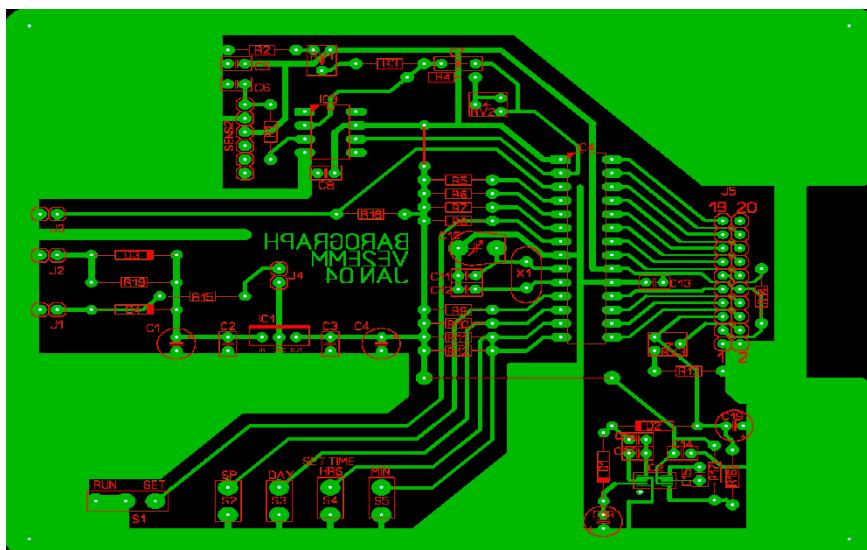
Blind

Buried

3. Pattern : 신호의 전달을 목적으로 한 동박



4. Copper

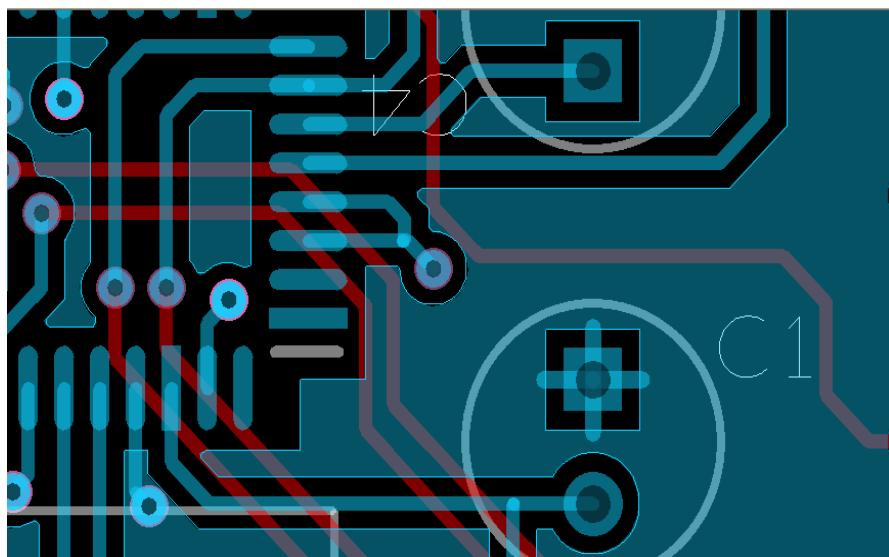


신호의 전달을 목적으로 하는 넓은 면적의 동박

주로 전원용으로 많이 사용한다.

Copper Pour , Shape , ...

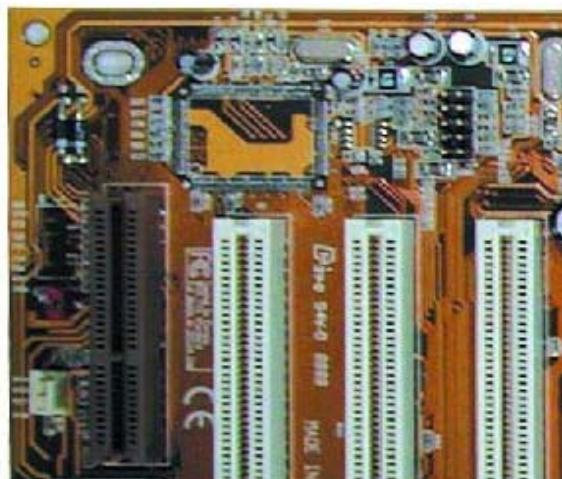
5. Thermal PAD



단열판

6. Mount Hole

보드를 고정 또는 지지하기 위한 목적으로 만든 Through hole
도금 훌 또는 무도금 훌 모두 사용할 수 있다.



5. PCB의 종류

- 적층구조에 따라

단면 기판. 양면 기판. MLB(Multi Layer Boaed)

- 재질에 따라

아래에 기판의 종류를 간단하게 나타내었다. 기호는 JIS보다 NEMA (미국전기제조업자협회)쪽이 일반적이다. 표면실장 부품(SMD)에서 기판의 치수 변화는 회로에 치명적인 손상을 주며, 납이 벗겨지는 원인이 된다. 이 때문에 CE재료도 기판 치수 변화률이 클 경우에는 세라믹기판을 사용하기도 한다.

또한, 에폭시 수지의 경우 유전율이 높기 때문에 고주파 회로에서는 유전율이 낮은 테프론 수지가 사용되는 경우도 있다. 이 이외에도 폴리이미드나 BT 레인지 등이 고밀도 다층판에 이용되고 있다.

기판의 종류

기판재 NEMA기호 JIS기호

종이페놀 XPC PP재

종이폴리에스테르 FR-2 PP재

종이에폭시 FR-3 PE재

유리종이에폭시 CEM-1 CPE재

유리기재 에폭시 CEM-3 CGE재

유리포 에폭시 G-10 GE재

유리포 에폭시 FR-4 GE재

등..

기판 종류에 따른 간단한 특성

PP재(종이페놀)

PP재는 크라프트지에 페놀 수지를 함침한 후, 적층한 것이다. 프레스로 구멍을 뚫기 때문에 저가격의 민수용에 주로 사용되고 있다.

그러나 치수 변화나 흡습성이 크고, 스루홀이 형성 되지 않으므로 단면 기판 밖에 구성할 수 없다. 흡습성이 높기 때문에 TV, 자동차, 화장실의 세정기 등에서 문제를 일으킨다.



GE재(유리 에폭시)

GE재는 유리포에 에폭시 수지를 함침시킨 것이다. 드릴에 의한 구멍뚫기가 필요하며, 가격도 높은 재료이다. 그러나 치수 변화나 흡수성이 적고, 다층판을 구성할 수 있기 때문에 산업 기기, 퍼스널 컴퓨터나 그 주변기기 등에 널리 이용되고 있다.



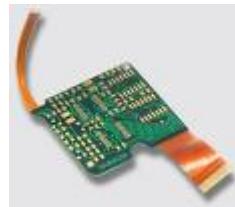
CPE재, CGE재(콤파지트)

이들을 콤파지트재라고 부른다. CPE재는 표면에 유리포, 심재로 셀룰로오스지, CGE재는 표면에 유리포, 심재로 부직포를 이용하고 있다.

어느 것이나 유리포의 사용량이 적기 때문에 프레스로 구멍을 뚫을 수 있으므로 GE재에비해 가격이 싸고, 양면 기판이 가능하다. 치수 변화나 흡습성은 GE재와 PP재의 중간이다.

플렉시블 기판

30um 정도의 폴리에스테르나 폴리이미드 필름에 동박을 접착한 기판이다. 이전부터 카메라의 내부회로 등에 사용되고 있으며, 절곡하여 밀어 넣어져 있다. 최근에는 다층 기판을 구성하거나 일반 기판을 조합하여 이용하고 있다.



rigid-flexible PCB

세라믹 기판

세라믹상에 도체 페이스트를 인쇄한 후, 소결하여 구성한다. 치수 변화가 적은 것이 특징이다.

금속 기판

알루미늄에 알루마이트 처리한 후, 동박을 접착하여 구성한다. 방열성이 우수한 것이 특징이다.



6. 설계 단위

mm(밀리미터)

1mm = 39.37 mils [약 40mils]

mil(밀)

1 inch = 1000 mils = 25.4 mm

Oz(온스)

1 Oz = 35um

SessionⅢ. 설계 실습

1. 도면 작업

- 1) 프로그램 실행 및 프로젝트 생성
- 2) 작업도면 용지 설정
- 3) 타이틀 블록 설정
- 4) 부품 불러오기(PLACE PART)
- 5) 라이브러리 추가
- 6) 부품 배치
- 7) 부품간 배선하기 및 NET ALIAS
- 8) 프로젝트 저장하기
- 9) 부품 참조번호 설정하기(ANNOTATE)
- 10) DESIGN RULES CHECK
- 11) FOOTPRINT 입력
- 12) CREATE NETLIST
- 13) COMPONENT 확인하기

2. PCB BOARD 제작

- 1) BOARD 디자인 설정
- 2) 레이어 COLOR 설정
- 3) BOARD OUTLINE 생성
- 4) 부품 배치
- 5) 부품 이동 및 회전
- 6) MOUNT HOLE 배치
- 7) 복사하기
- 8) 부품 고정
- 9) 배선 두께 설정 및 배선 간격 설정
- 10) TOP, BOTTOM에 배선하기(ROUTE)
- 11) DYNAMIC SHAPE(COPPER POUR) 작업
- 12) DIMENSION 작업
- 13) 작업상태 확인하기
- 14) DRILL LEGEND 생성
- 15) DRILL 파일 생성
- 16) 거버파일 생성
- 17) 거버파일 확인

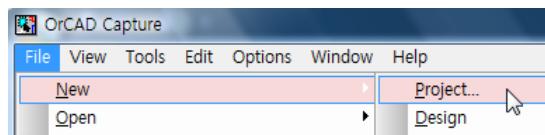
1. 도면 작업

1) 프로그램 실행 및 프로젝트 생성

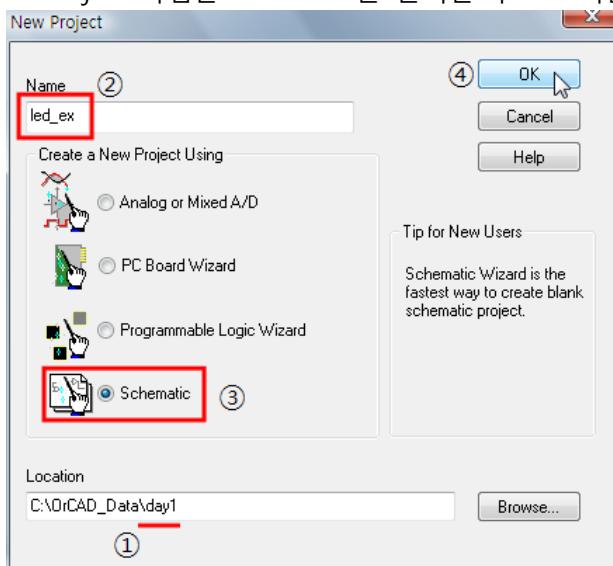
프로그램을 실행한다.



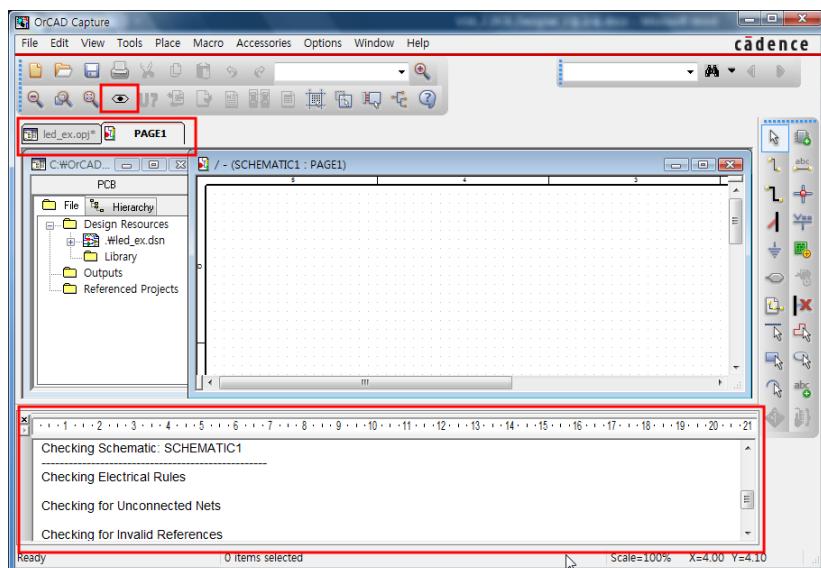
File > New > Project를 실행한다.



Location에 Browse 버튼을 눌러 C:\OrCAD_Data 폴더를 선택한다. 그리고 Wday1을 추가입력하고 Name에 led_ex를 입력한다. 그리고 Project 타입은 Schematic를 클릭한 후 OK 버튼을 클릭한다.

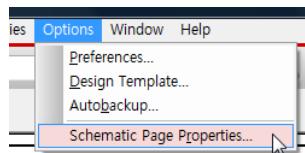


인터페이스가 MDI 창 형식으로 변경되었다. Fisheye 모드가 추가되었고 Session Log 창도 윈도우에 붙어 있다.

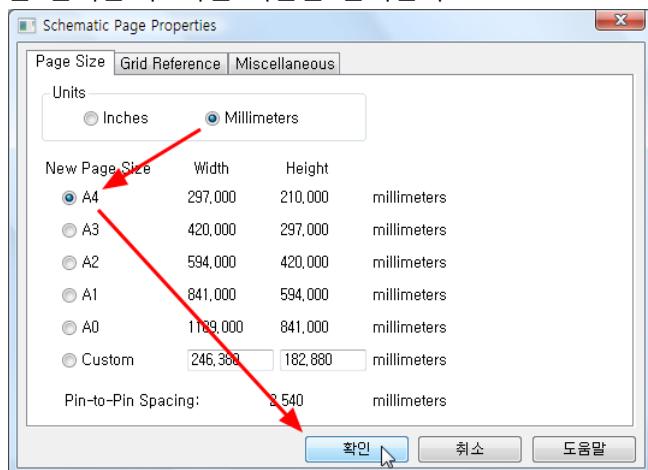


2) 작업도면 용지 설정

Options > Schematic Page Properties를 선택한다.

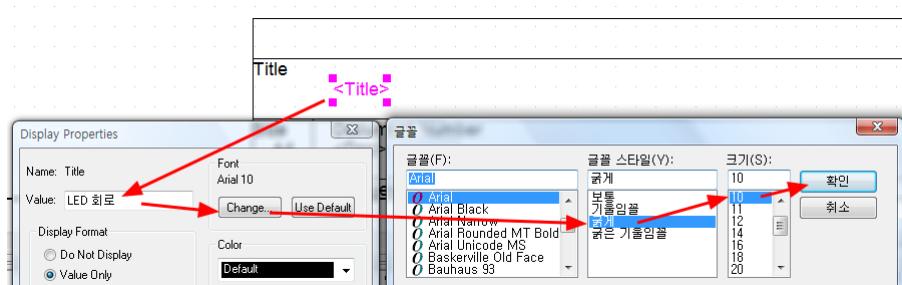


Millimeters를 선택하고 A4를 선택한 후 확인 버튼을 클릭한다.



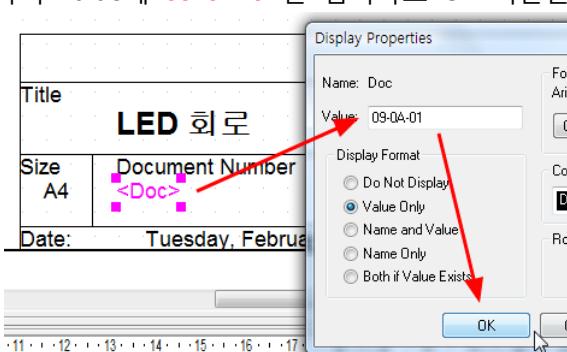
3) 타이틀 블록 설정

작업창의 오른쪽 아래로 가서 타이틀 블록 위에서 단축키 **i**를 눌러 확대하고 <Title>을 더블 클릭한다.

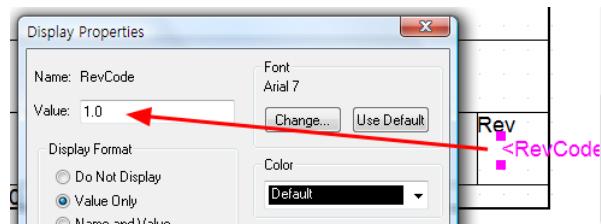


Value에 **LED 회로**를 입력하고 Change 버튼을 클릭하여 “굵게, 10”을 선택하고 확인 버튼을 클릭한다. 그리고 Display Properties 창에서 OK 버튼을 클릭한다.

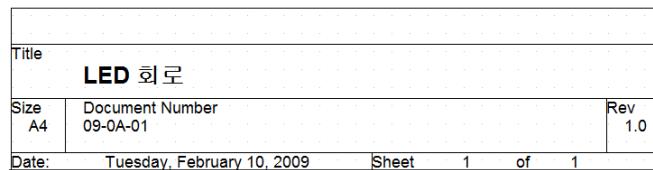
그 다음 <Doc>를 더블 클릭하여 Value에 **09-0A-01**을 입력하고 OK 버튼을 클릭한다.



<RevCode>를 더블 클릭하여 Value에 **1.0**을 입력하고 OK 버튼을 클릭한다.



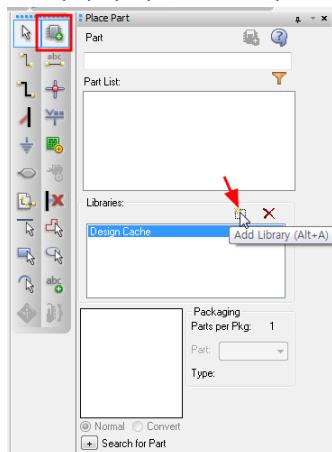
타이틀 블록은 아래와 같이 구성된다.



4) 부품 불러오기(Place Part)

기본적으로 화면 확대(i) /축소(o) /이동(c)은 마우스 커서 위치를 기준으로 변화된다.

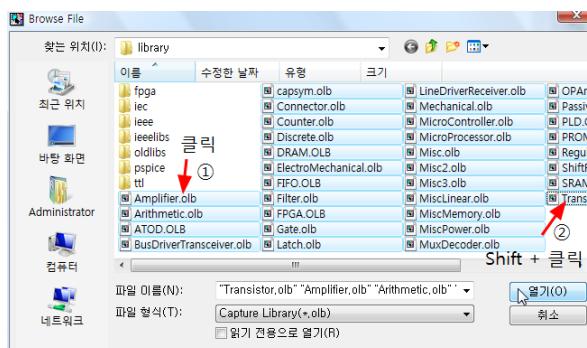
단축키 o를 눌러 화면을 축소한다. Place Part(단축키 p) 버튼을 클릭하면 새로운 형태의 Place Part 패널이 나타난다. 이전 버전까지는 부품을 배치하기 위해 계속 p를 눌러 창을 불러왔으나 16.2 버전부터는 오른쪽 패널에서 계속 선택하여 부품을 선택할 수 있다.



Add Library 아이콘을 클릭한다.

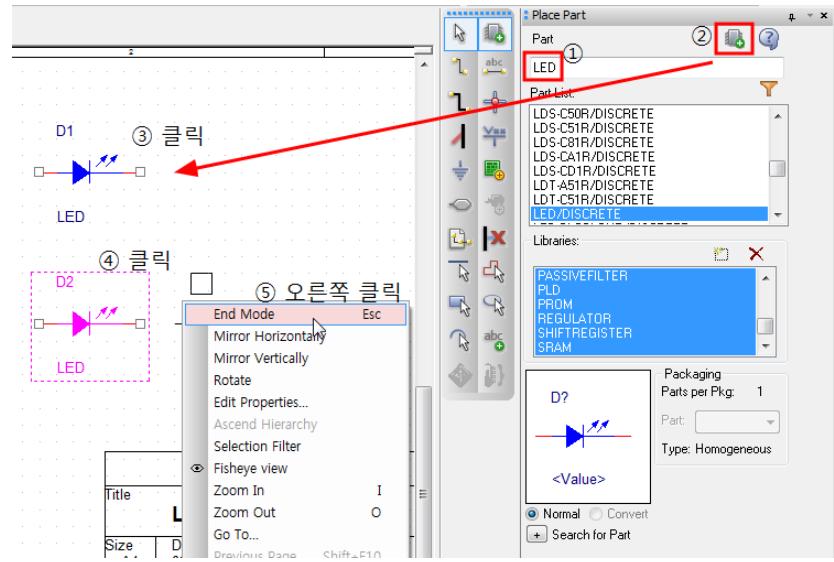
5) 라이브러리 추가

Amplifier.olb를 먼저 클릭하고 오른쪽 제일 끝 Transistor.olb를 Shift + 클릭하여 전체 선택한 후 열기 버튼을 클릭한다.

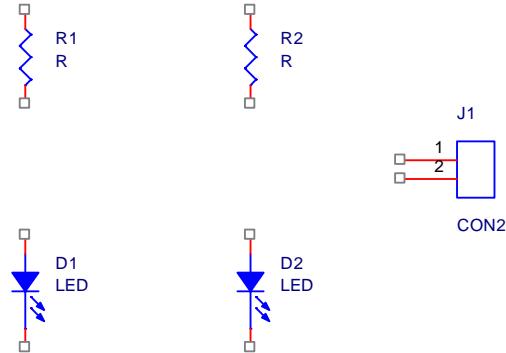


6) 부품 배치

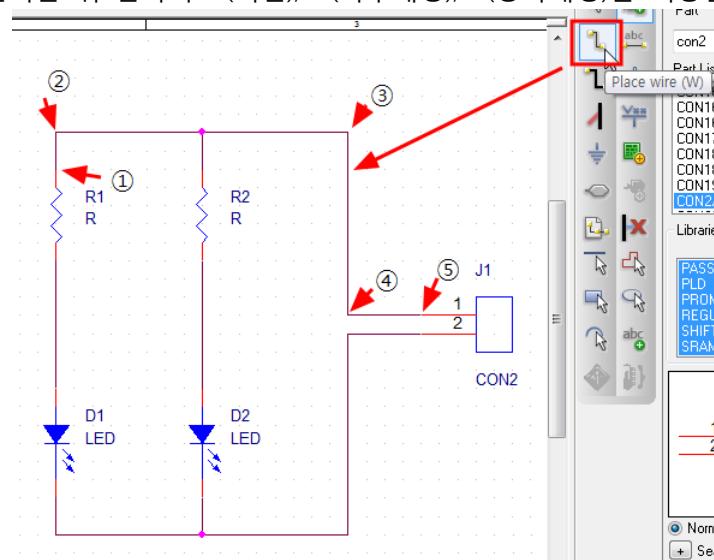
Part에 **LED**를 입력하고 **Enter키**를 누르거나 Place Part 아이콘을 클릭한 뒤 작업창에 클릭하여 LED를 2개 배치한다. 배치하지 않으려면 **ESC**를 누르거나 오른쪽 버튼을 클릭하여 End Mode 메뉴를 선택한다.



같은 방법으로 **R**을 2개 배치하고 **CON2**를 아래와 같이 배치한다.



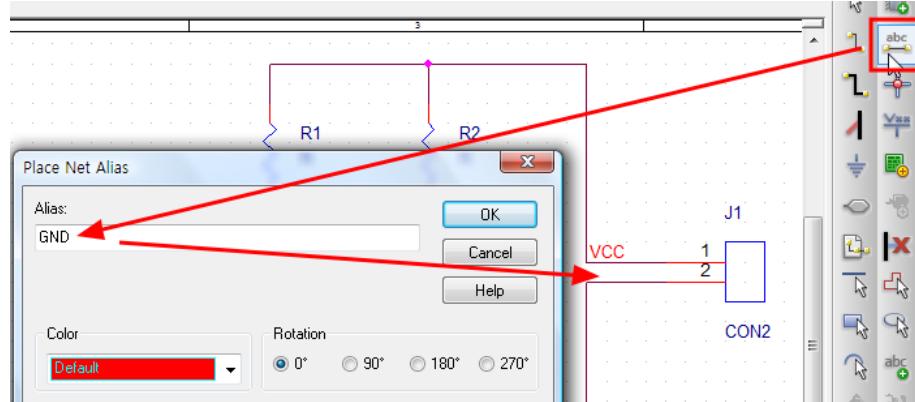
부품을 회전시키려면 선택한 뒤 단축키 **R**(회전), **H**(좌우대칭), **V**(상하대칭)를 이용한다.



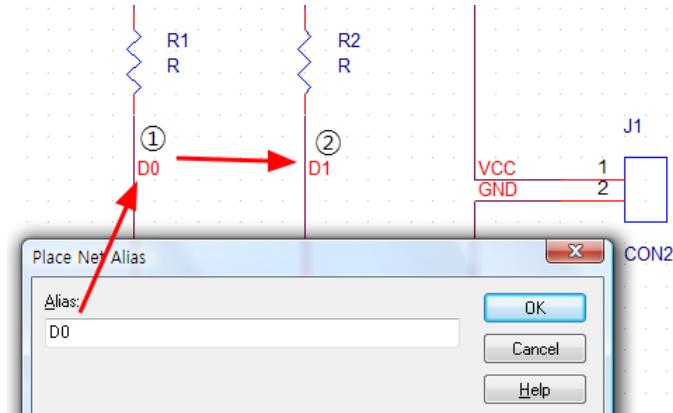
7) 부품간 배선하기 및 Net Alias

Place Wire 아이콘을 클릭하여 부품과 부품을 클릭, 클릭하여 연결한다.

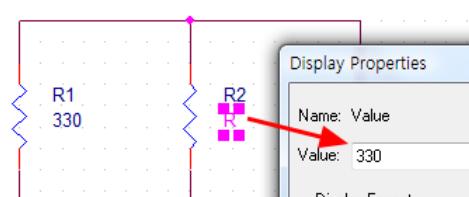
다음으로 Place Net Alias 아이콘을 클릭하여 Alias창에 **VCC**를 입력 후 J1의 1번핀에 배치하고 다시 Net Alias 아이콘을 클릭하여 **GND**를 입력한 후 J1의 2번핀에 배치한다.



다시 Net Alias 아이콘을 클릭하여 **D0**를 입력한 뒤 ①, ②번 위치에 클릭하면 D1로 자동 증가된다.

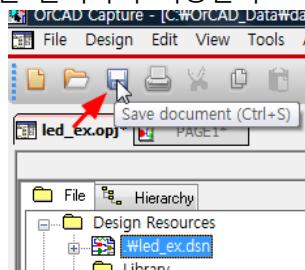


저항의 R을 더블 클릭하여 Value에 **330**을 입력한 뒤 OK 버튼을 클릭한다.



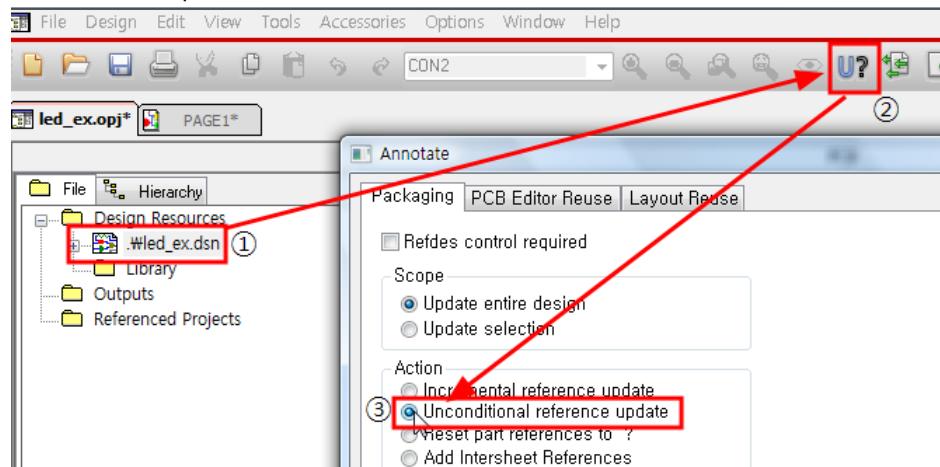
8) 프로젝트 저장하기

Led_ex.opj 탭을 클릭한 뒤 Save 아이콘을 클릭하여 저장한다.

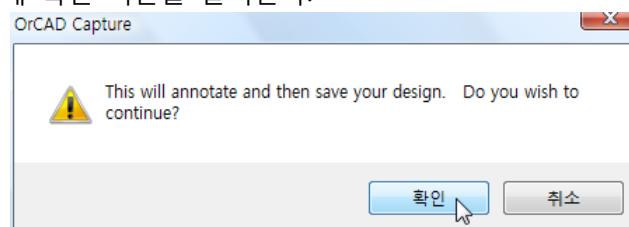


9) 부품 참조번호 설정하기(Annotate)

Annotate를 하기 위해 프로젝트 매니저의 led_ex.dsn을 먼저 클릭하고 U? 아이콘을 클릭한 뒤 Action에서 Unconditional reference update를 선택하고 확인 버튼을 클릭한다.

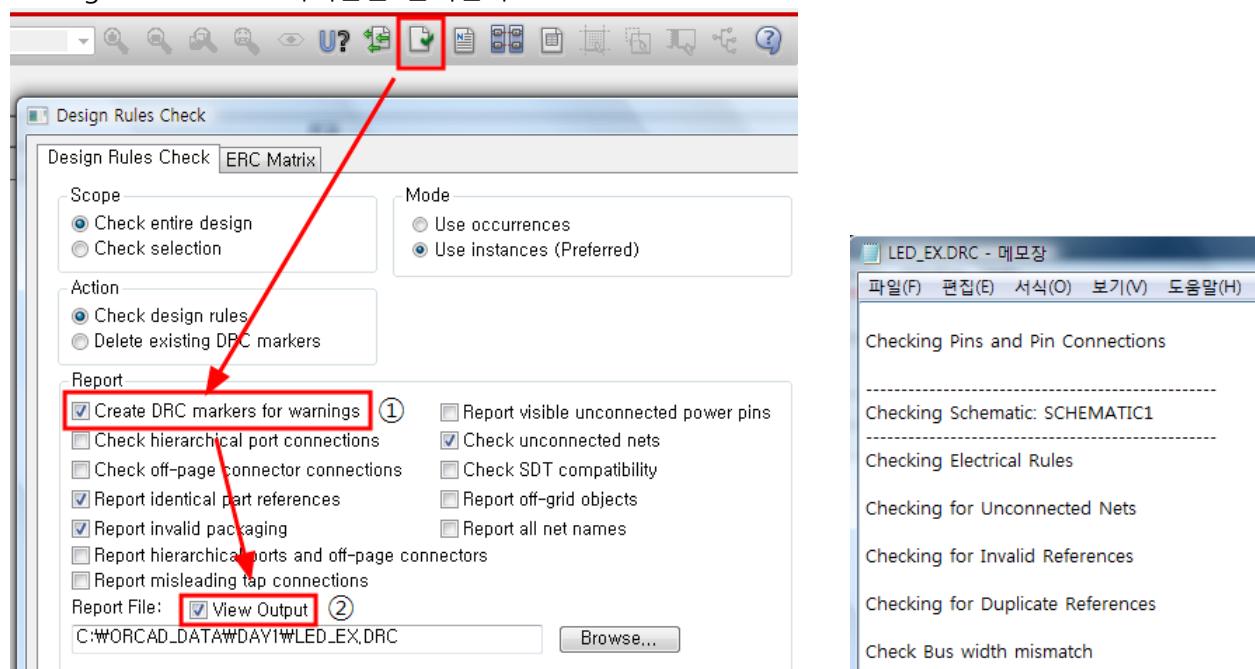


저장하고 Annotate하기 위해 확인 버튼을 클릭한다.



10) Design Rules Check

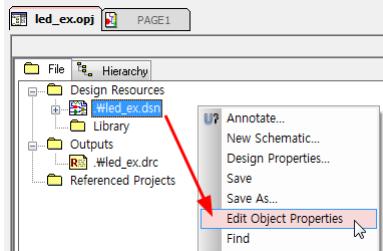
Design Rules Check 아이콘을 클릭한다.



Create DRC markers for warnings와 View Output 옵션을 체크하고 확인 버튼을 클릭한다.

11) Footprint 입력

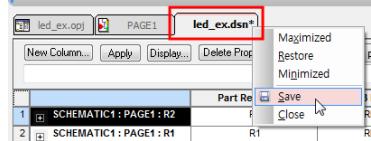
Led_ex.dsn 파일명을 클릭한 뒤 마우스 오른쪽 버튼을 눌러 Edit Object Properties 메뉴를 선택한다.



아래와 같이 PCB Footprint 속성에 PCB Editor에서 사용할 패키지 심볼명을 입력한다.

	Part Reference	PCB Footprint	Power Pins Visible	Primit
1	SCHEMATIC1 : PAGE1 : D1	D1	CAP196	DEFAL
2	SCHEMATIC1 : PAGE1 : D2	D2	CAP196	DEFAL
3	SCHEMATIC1 : PAGE1 : J1	J1	JUMPER2	DEFAL
4	SCHEMATIC1 : PAGE1 : R1	R1	RES400	DEFAL
5	SCHEMATIC1 : PAGE1 : R2	R2	RES400	DEFAL

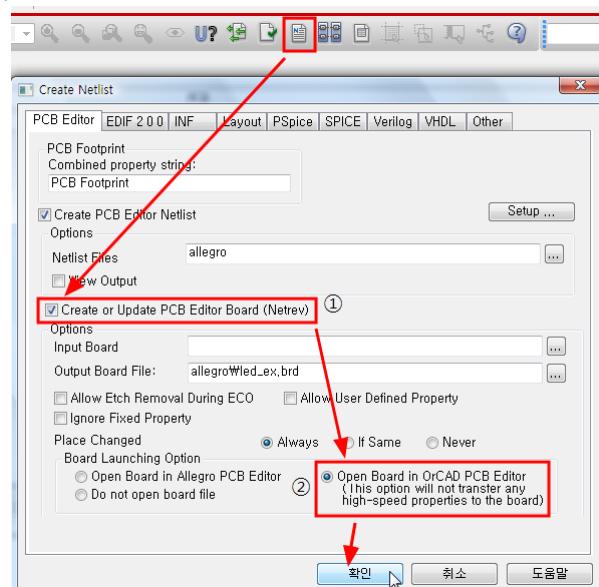
저장하기 위해 led_ex.dsn 탭에서 마우스 오른쪽 버튼을 눌러 Save 메뉴를 선택한다.



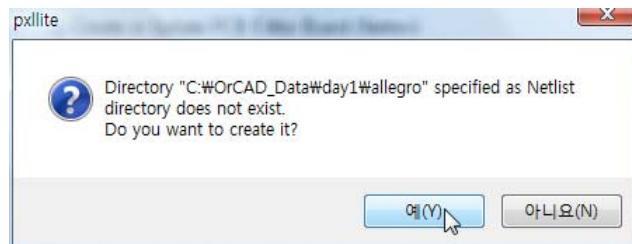
다시 오른쪽 버튼을 눌러 Close를 선택한다.

12) Create Netlist

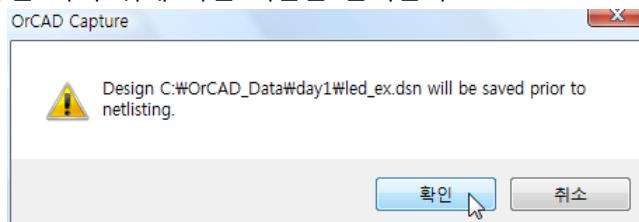
PCB Editor로 Netlist를 보내기 위해 Create Netlist 아이콘을 클릭한다. Create or Update PCB Editor Board (Netrev) 옵션을 체크하고 Open Board in OrCAD PCB Editor를 클릭하고 확인 버튼을 클릭한다.



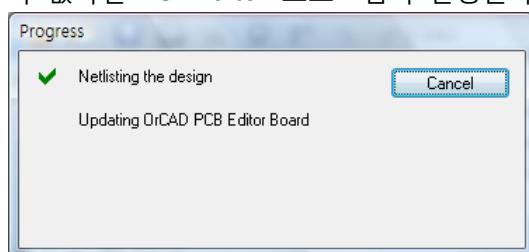
Allegro 폴더가 없으므로 생성하기 위해 예 버튼을 클릭한다.



Netlist를 생성하기 전 저장을 하기 위해 확인 버튼을 클릭한다.

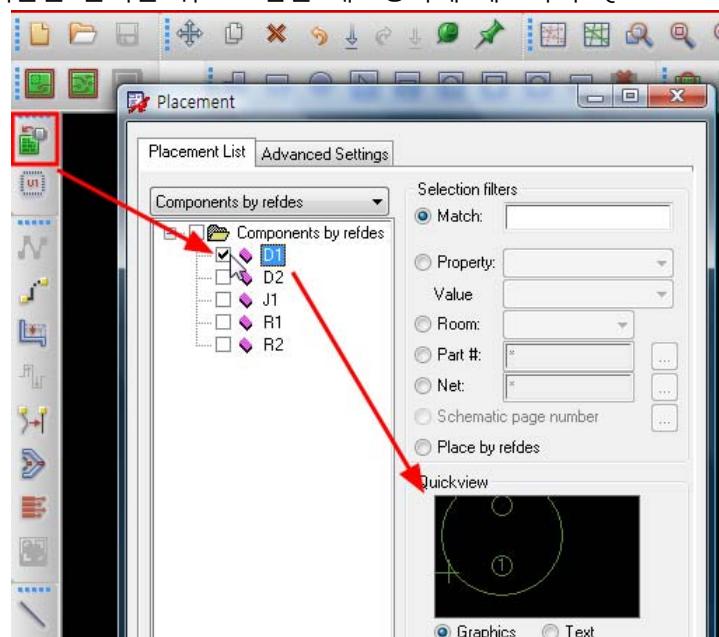


Netlist를 만드는 과정이고 오류가 없다면 PCB Editor 프로그램이 실행된다.



13) Component 확인하기

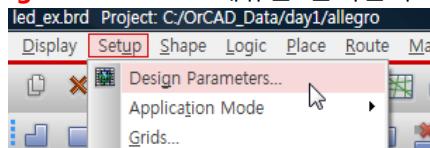
왼쪽 Place Manual 아이콘을 클릭한 뒤 D1 심볼 네모상자에 체크하여 Quickview를 확인한다.



2. PCB Board 제작

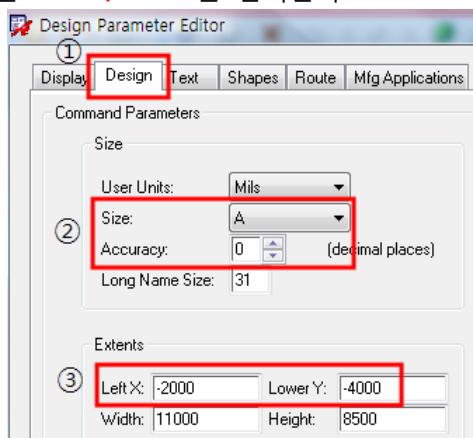
1) Board 디자인 설정

먼저 환경설정을 위해 **Setup > Design Parameters** 메뉴를 클릭한다.

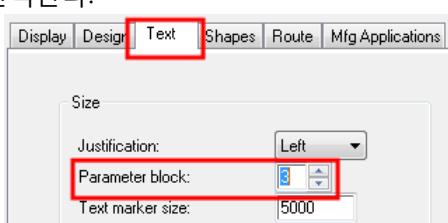


먼저 Design 탭을 선택하고 Size는 **A**, accuracy는 **0**을 선택한다.

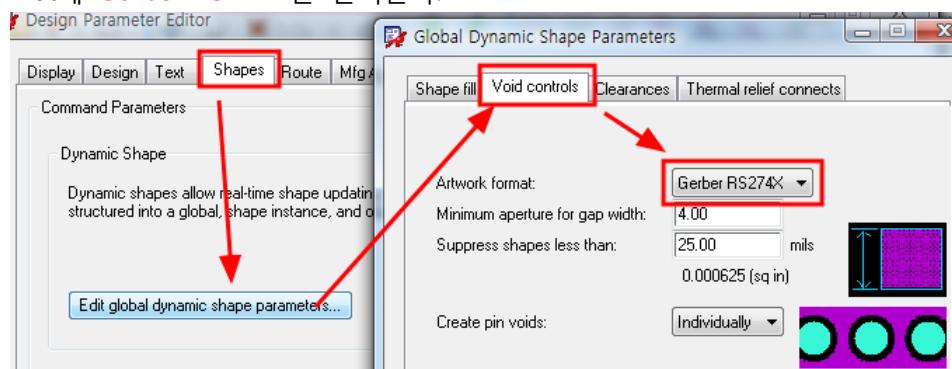
그리고 작업창 왼쪽 아래의 좌표를 **-2000, -4000**을 입력한다.



텍스트 탭을 선택하고 블록 **3**을 선택한다.



Shapes 탭을 선택하고 Edit global dynamic shape parameters 버튼을 클릭한다. Void controls 탭을 선택하고 Artwork format에 **Gerber RS274X**를 선택한다.

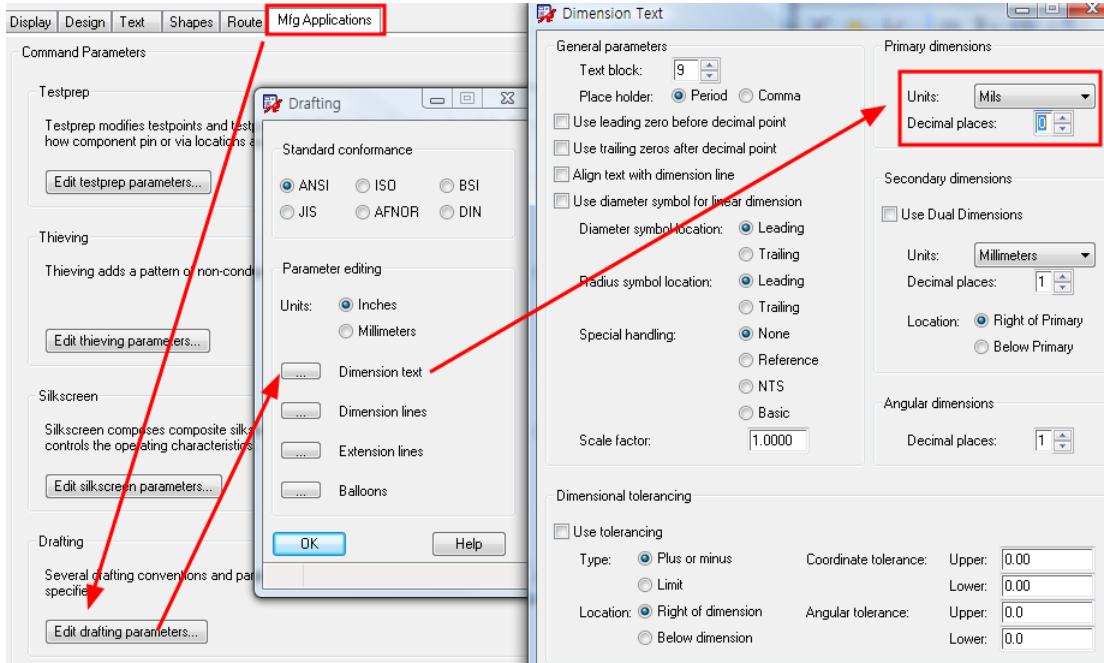


OK 버튼을 클릭한다.

Mfg Applications 탭을 선택하고 제일 아래 Drafting 섹션에 Edit drafting parameters 버튼을 클릭한다.

Drafting 창이 뜨면 Dimension text 버튼을 클릭한다. Dimension Text 창에서 오른쪽 위 Primary

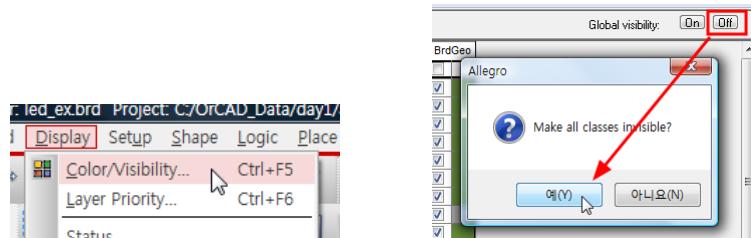
dimensions의 단위를 **Mils**로, Decimal places의 값을 **0**으로 한다.



각 창에서 OK 버튼을 클릭한다.

2) 레이어 Color 설정

메뉴의 **Display > Color/Visibility**를 클릭한다. Color Dialog 창이 뜨면 오른쪽 위 Off 버튼을 클릭하고 예 버튼을 클릭하여 모든 칼라를 해제한다. 아래 Apply 버튼을 클릭한다.



Stack-Up에서 아래 빨간 사각형의 값을 체크한다.

Top, Bottom, Soldermask_Top, Soldermask_Bottom, Package_Top, Package_Bottom

	Subclasses	All	Pin	Via	Etch	Drc	Anti Etc	Bound.
All								
Top		<input checked="" type="checkbox"/>						
Bottom		<input checked="" type="checkbox"/>						
Soldermask_Top		<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/>				
Soldermask_Bottom		<input checked="" type="checkbox"/>		<input checked="" type="checkbox"/>				
Pastemask_Top								
Pastemask_Bottom								
Filimmasktop								
Filimmaskbottom								
Through All						<input checked="" type="checkbox"/>		
Package_Top		<input checked="" type="checkbox"/>				<input checked="" type="checkbox"/>		
Package_Bottom		<input checked="" type="checkbox"/>				<input checked="" type="checkbox"/>		

Areas에서 Through All의 All을 체크한다.

Layers

Subclasses	All	CnsRgn	Rte KO	Via KO	Pkg KO	Pkg Kl	Rte Kl
All	<input type="checkbox"/>						
Top	<input type="checkbox"/>						
Bottom	<input type="checkbox"/>						
Inner_Plane_Layers	<input type="checkbox"/>						
Inner_Signal_Layers	<input type="checkbox"/>						
Outer_Layers	<input checked="" type="checkbox"/>						
Through All	<input checked="" type="checkbox"/>						

Board Geometry에서 아래 Subclasses를 체크한다. 그리고 아래 Color에서 색을 선택한 후 색상을 지정한다. Dimension(노랑), Outline(노랑), Silkscreen_Top(흰색)

Subclasses	BrdGeo
All	<input type="checkbox"/>
Bottom_Room	<input type="checkbox"/>
Dimension	<input checked="" type="checkbox"/>
Incroure_Path	<input type="checkbox"/>
Off_Grid_Area	<input type="checkbox"/>
Outline	<input checked="" type="checkbox"/>
Place_Grid_Bottom	<input type="checkbox"/>
Place_Grid_Top	<input type="checkbox"/>
Plating_Bar	<input type="checkbox"/>
Silkscreen_Bottom	<input type="checkbox"/>
Silkscreen_Top	<input checked="" type="checkbox"/>
Soldermask_Bottom	<input type="checkbox"/>
Soldermask_Top	<input type="checkbox"/>
Switch_Area_Bottom	<input type="checkbox"/>
Switch_Area_Top	<input type="checkbox"/>
Tooling_Corners	<input type="checkbox"/>
Top_Room	<input type="checkbox"/>
Vb_Guide_Line	<input type="checkbox"/>

Package Geometry에서 Place_Bound_Top, Silkscreen_Top을 선택한다.

Subclasses	
Display_Bottom	<input type="checkbox"/>
Display_Top	<input type="checkbox"/>
Modules	<input type="checkbox"/>
Pad_Stack_Name	<input type="checkbox"/>
Pastemask_Bottom	<input type="checkbox"/>
Pastemask_Top	<input type="checkbox"/>
Pin_Number	<input type="checkbox"/>
Place_Bound_Bottom	<input type="checkbox"/>
Place_Bound_Top	<input checked="" type="checkbox"/>
Silkscreen_Bottom	<input checked="" type="checkbox"/>
Silkscreen_Top	<input checked="" type="checkbox"/>
Soldermask_Bottom	<input type="checkbox"/>
Soldermask_Top	<input type="checkbox"/>

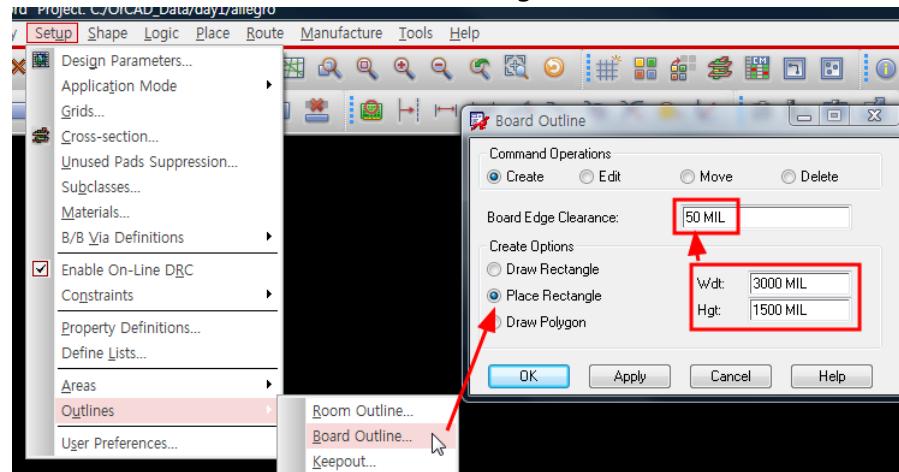
Components에서 RefDes의 Silkscreen_Top를 흰색으로 지정하고 체크한다.

Subclasses	All	CmpVal	DevTyp	RefDes	Tol.	UserPart
All	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
Assembly_Bottom	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
Assembly_Top	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
Display_Bottom	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
Display_Top	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
Silkscreen_Bottom	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>
Silkscreen_Top	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/>

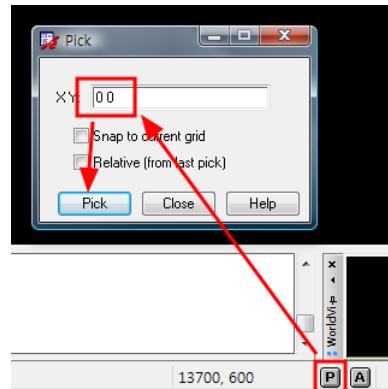
OK 버튼을 클릭하여 Color Dialog 창을 닫는다.

3) Board Outline 생성

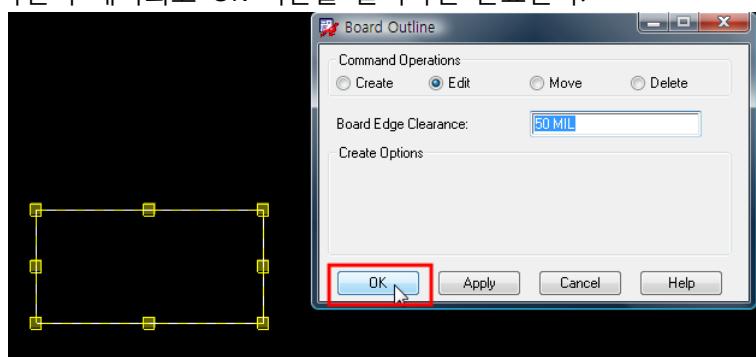
Setup > Outlines > Board Outline를 선택하고 Board Outline 창에서 Place Rectangle를 선택하고 오른쪽에 크기를 **3000, 1500**을 입력한다. 그리고 위쪽 Board Edge Clearance에 **50**을 입력한다.



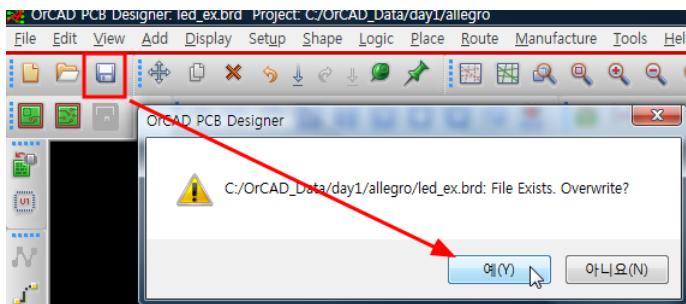
아래 Command 창 옆 P 버튼을 클릭한 후 좌표 **0,0**을 입력하고 Pick 버튼을 클릭한다.



좌표 0,0에 보드 아웃라인이 배치되고 OK 버튼을 클릭하면 완료된다.

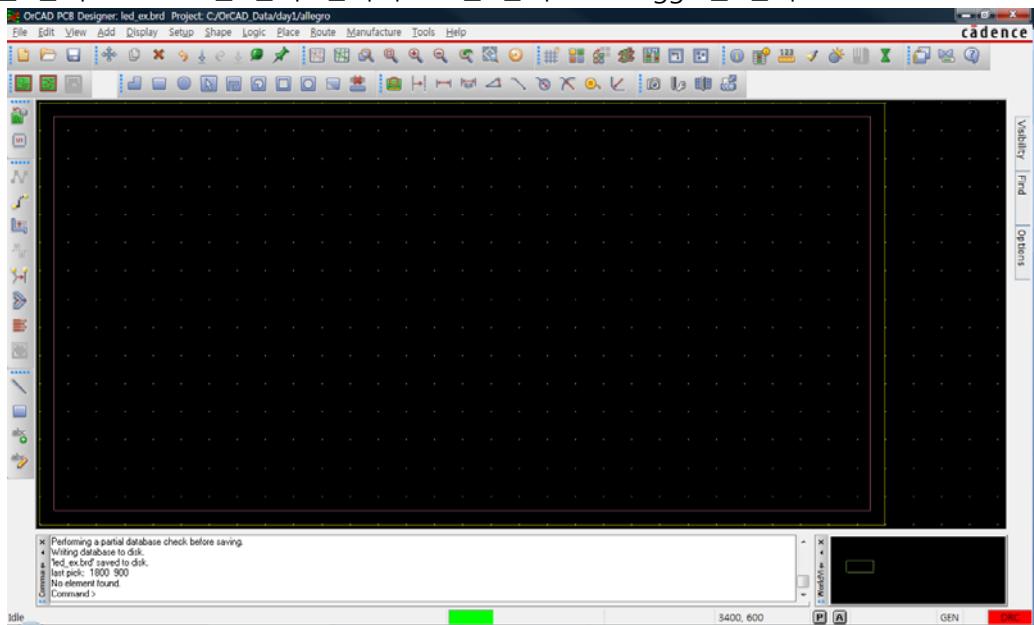


Pick 창에서 Close 버튼을 클릭하여 창을 닫는다.



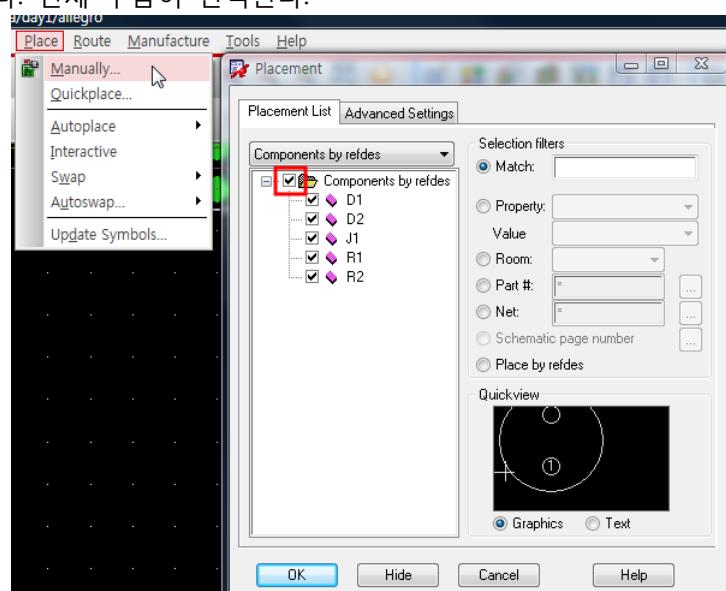
File > Save하여 저장한다.

단축키 F2를 눌러 Zoom Fit을 한다. 단축키 F10을 눌러 Grid Toggle을 한다.

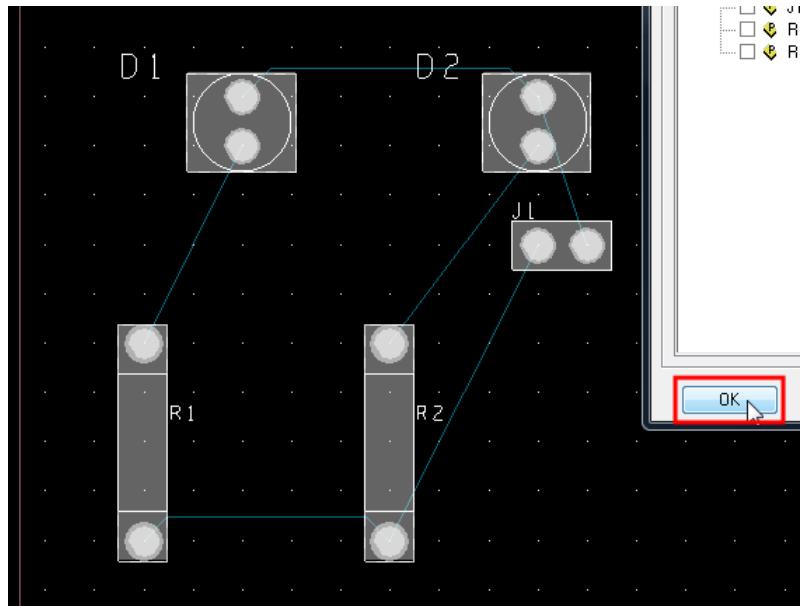


4) 부품 배치

부품을 배치하기 위해 Place > Manually를 선택하고 Placement 창이 뜨면 Components by refdes 풀더 앞의 사각형을 체크한다. 전체 부품이 선택된다.



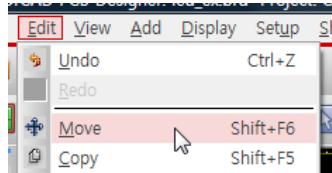
마우스를 왼쪽으로 이동해 작업창에 아래와 같이 임시 배치한다. 클릭하면 순서대로 배치된다.



OK 버튼을 클릭하면 배치작업이 완료된다.

5) 부품 이동 및 회전

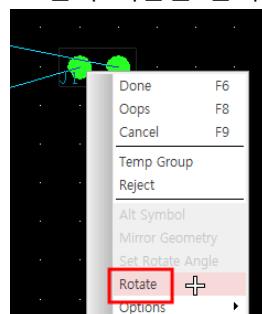
임시 배치가 끝나고 보드 크기에 맞추어 부품을 이동하기 위해 **Edit > Move**를 실행한다.



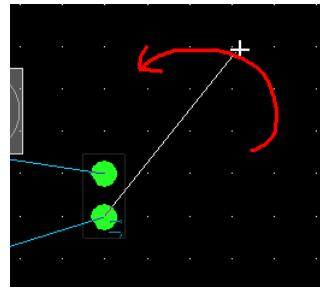
먼저 D1의 핀을 클릭 후 이동할 수 있다.



J1의 경우 회전하기 위해 선택하고 마우스 오른쪽 버튼을 눌러 **Rotate**를 선택한다.

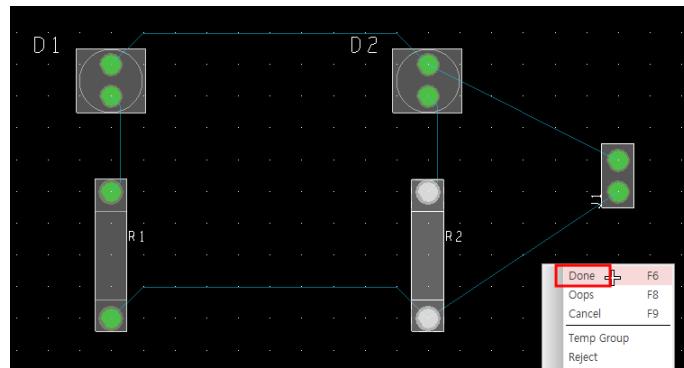


마우스와 핀 사이에 선이 하나 생기는데 이 상태로 마우스를 이동하면 J1의 방향이 바뀌게 된다.



위와 같이 방향을 결정하기 위해 클릭을 하고 위치를 지정하기 위해 이동한 뒤 클릭하여 J1을 배치한다.

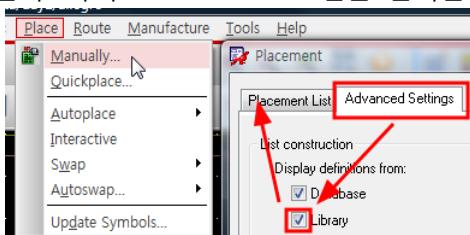
아래와 같이 부품들을 배치한다.



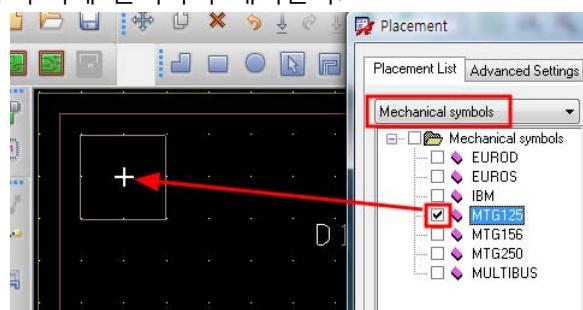
배치가 끝났으면 작업창 빈곳에서 마우스 오른쪽 버튼을 눌러 **Done(F6)**을 선택한다.

6) Mount Hole 배치

보드 가장자리 구멍을 뚫기 위해 **Place > Manually**을 선택하고 Placement창에서 Advanced Settings 탭을 선택하고 Library 옵션을 체크한다. 다시 Placement List 탭을 선택한다.



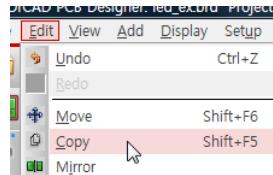
Mechanical symbols를 선택하고 **MTG125**를 체크한 뒤 작업창으로 마우스를 이동하면 심볼이 따라 나온다. 보드 아웃라인의 왼쪽 위 구석에 클릭하여 배치한다.



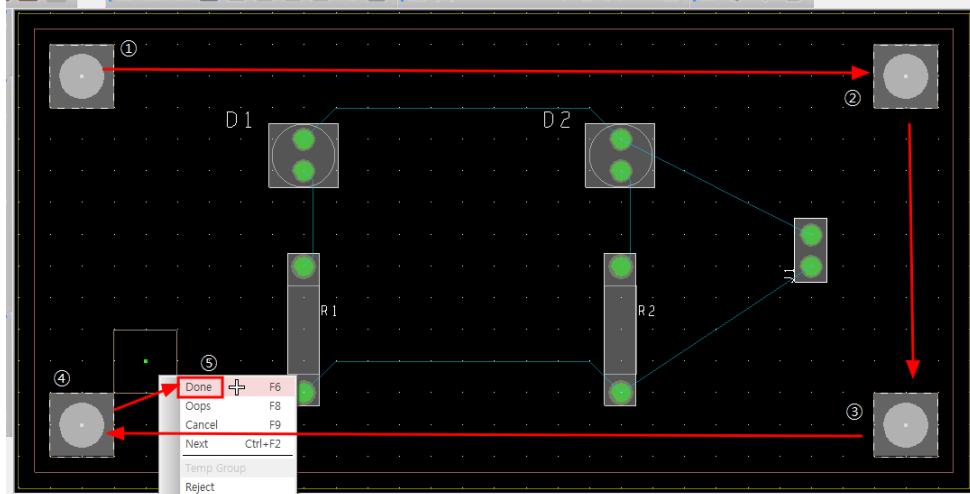
단축키 **F6**을 눌러 종료한다. 또는 Placement 창의 OK 버튼을 클릭한다.

7) 복사하기

나머지 모서리에 동일하게 배치하기 위해 복사기능을 이용한다. **Edit > Copy** 를 실행한다.



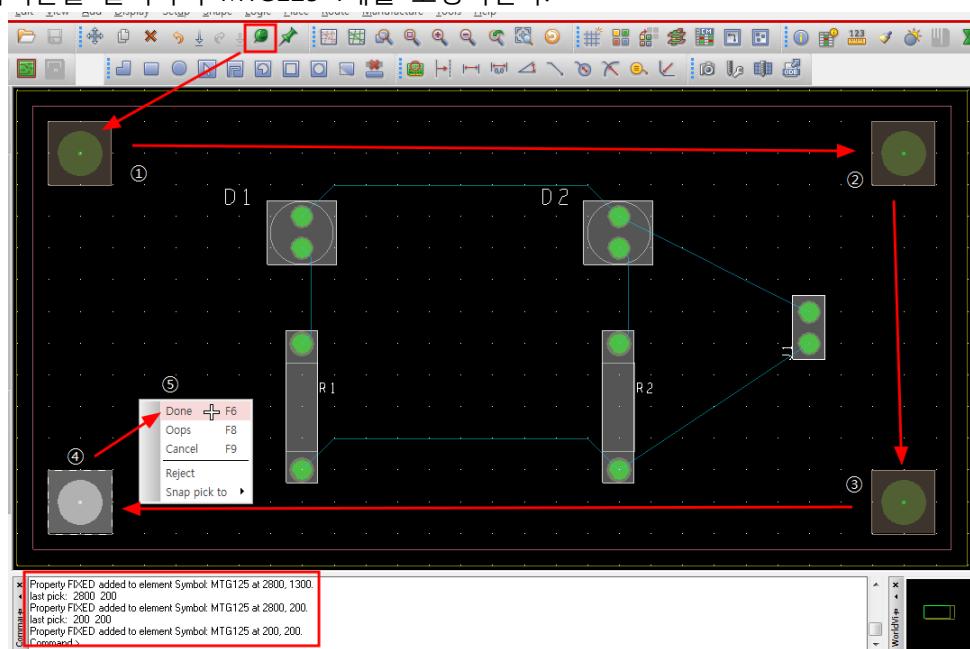
아래와 같이 배치하고 배치가 끝났으면 마우스 오른쪽 버튼을 눌러 Done을 선택하여 명령을 종료한다.



또는 단축키 F6을 눌러 명령을 종료한다.

8) 부품 고정

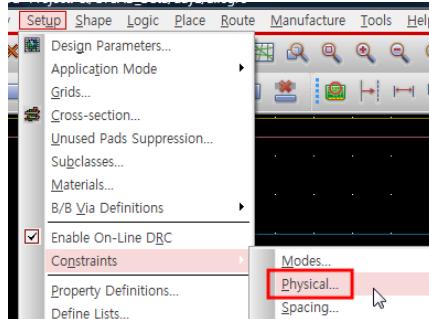
툴바의 Fix 아이콘을 클릭하여 MTG125 4개를 고정시킨다.



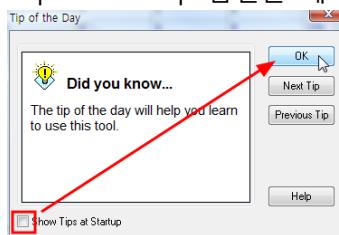
Command 창에 Fixed 속성이 추가되는 것을 볼 수 있다.

9) 배선 두께 설정 및 배선 간격 설정

배선두께 설정과 간격 설정을 위해 **Setup > Constraints > Physical**을 선택한다.



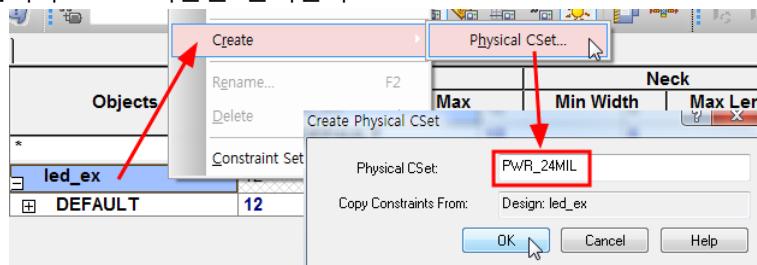
Tip of the Day 창이 뜨는데 아래 Show Tips at Startup 옵션을 체크해제하고 OK 버튼을 클릭한다.



왼쪽 패널에서 **Physical Constraint Set > All Layers**를 클릭하여 DEFAULT의 Min Line Width에 **12**, Min Width Neck에 **10**을 입력하여 수정한다.

Type	Objects	Line Width		Neck	
		Min mil	Max mil	Min Width mil	Max Length mil
*	*	*	*	*	*
Dsn	led_ex	12	0	10	0
PCS	DEFAULT	12	0	10	0

Led_ex 셀에서 마우스 오른쪽 버튼을 눌러 **Create > Physical CSet** 메뉴를 선택하고 Physical CSet에 **PWR_24MIL**이라고 입력하고 OK 버튼을 클릭한다.



PWR_24MIL 설정에 Min Line Width에 **24**, Min Width Neck에 **20**을 입력한다.

Type	Objects	Line Width		Neck	
		Min mil	Max mil	Min Width mil	Max Length mil
*	*	*	*	*	*
Dsn	led_ex	12	0	10	0
PCS	DEFAULT	12	0	10	0
PCS	PWR_24MIL	24	0	20	0

왼쪽 패널의 **Net > All Layers**를 클릭하고 오른쪽 Objects 리스트에서 VCC,GND의 규칙을 Referenced

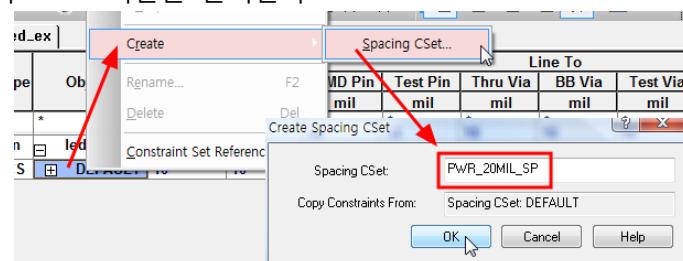
Physical CSet 셀에서 PWR_24MIL로 지정한다.

Type	Objects	Referenced Physical CSet	Line Width		
			Min mil	Max mil	Min mil
Dsn	led_ex	DEFAULT	12	0	10
Net	D0	DEFAULT	12	0	10
Net	D1	DEFAULT	12	0	10
Net	GND	PWR_24MIL	24	0	20
Net	VCC	PWR_24MIL	24	0	20

왼쪽 패널 아래에서 Spacing을 클릭한다. Spacing Constraint Set에서 All Layers를 클릭하고 ①번 위치에 마우스를 드래그하여 끝까지 블록을 설정한다. ①번 셀이 자동으로 블록설정되고 10을 입력한 뒤 Enter키를 누르면 모든 셀의 값이 10으로 설정된다.

Type	Objects	Line To									
		Line mil	Thru Pin mil	SMD Pin mil	Test Pin mil	Thru Via mil	BB Via mil	Test Via mil	Shape mil	Bond Finger mil	Hole mil
Dsn	led_ex	5	5	5	5	5	5	5	5	5	8
SCS	DEFAULT	10	10	10	10	10	10	10	10	10	8

Objects에서 마우스 오른쪽 버튼을 눌러 **Create > Spacing CSet** 메뉴를 선택하고 Spacing CSet에 PWR_20MIL_SP를 입력하고 OK 버튼을 클릭한다.



PWR_20MIL_SP의 모든 속성을 20으로 설정한다.

Type	Objects	Line To									
		Line mil	Thru Pin mil	SMD Pin mil	Test Pin mil	Thru Via mil	BB Via mil	Test Via mil	Shape mil	Bond Finger mil	Hole mil
Dsn	led_ex	10	10	10	10	10	10	10	10	10	10
SCS	DEFAULT	10	10	10	10	10	10	10	10	10	10
SCS	PWR_20MIL_SP	20	20	20	20	20	20	20	20	20	20

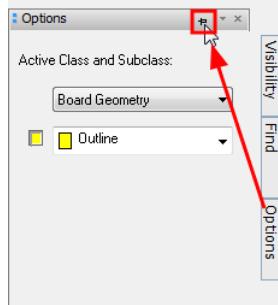
Net > All Layers를 클릭하고 VCC, GND의 Spacing CSet 규칙을 PWR_20MIL_SP로 설정한다.

Type	Objects	Referenced Spacing CSet	Line To		
			Line mil	Thru Pin mil	SMD Pin mil
Dsn	led_ex	DEFAULT	10	10	10
Net	D0	DEFAULT	10	10	10
Net	D1	DEFAULT	10	10	10
Net	GND	PWR_20MIL_SP	20	20	20
Net	VCC	PWR_20MIL_SP	20	20	20

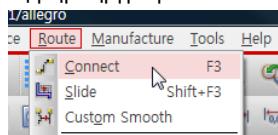
File > Close하여 Constraint Manager 창을 닫는다.

10) TOP, BOTTOM에 배선하기(Route)

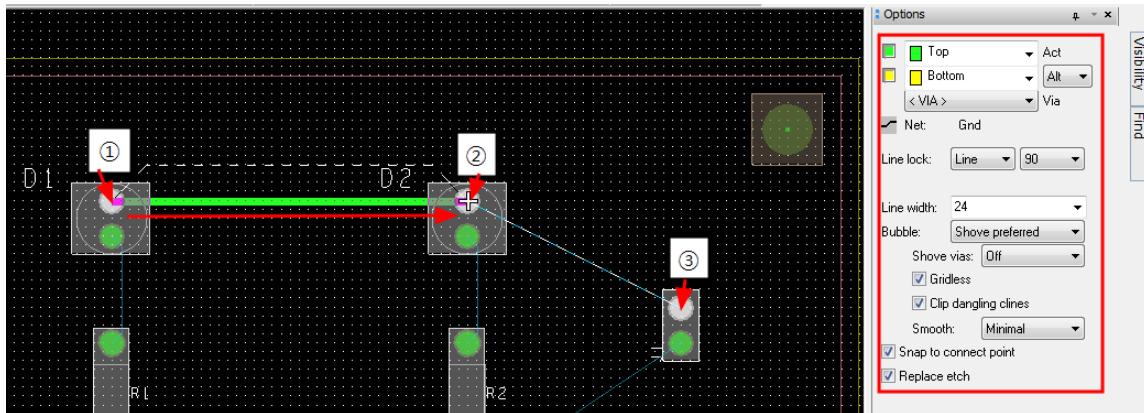
오른쪽 패널에서 Options 탭에 마우스를 가져가면 자동으로 나타나고 압정 그림을 클릭하면 고정배치가 된다.



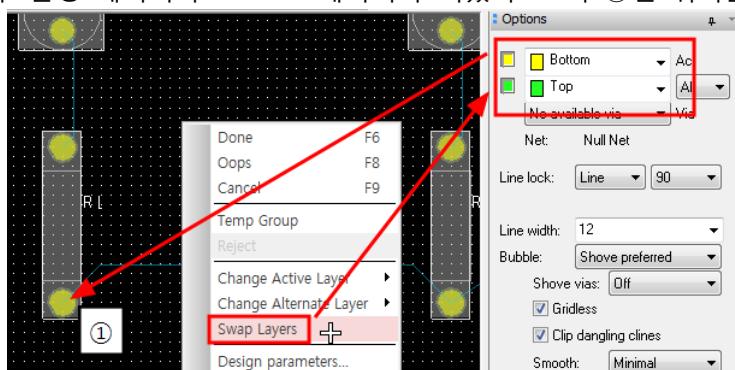
앞에서 설정한 규칙을 이용하여 배선하기 위해 메뉴의 **Route > Connect**를 선택한다.



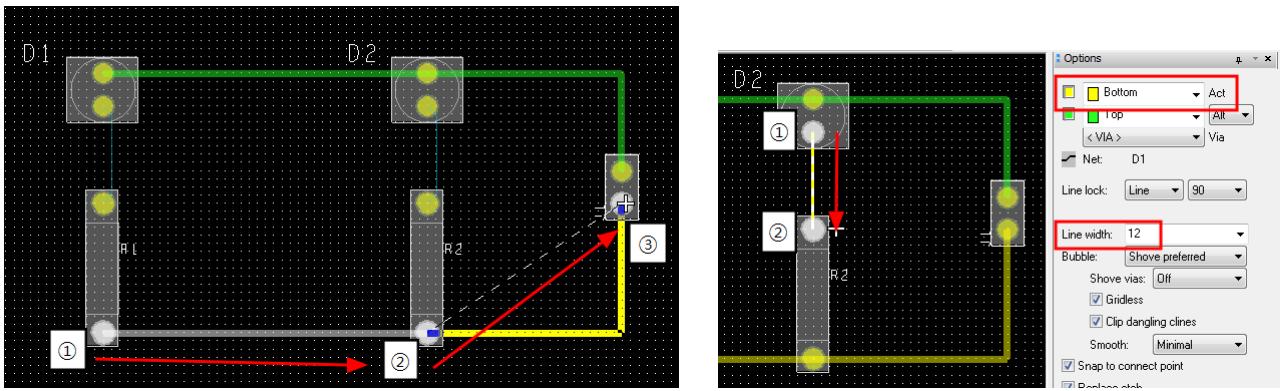
명령을 실행하면 오른쪽 컨트롤 패널 Options 창에 Route에 사용할 옵션항목들이 나타난다. 먼저 D1의 ①번 위치를 클릭하고 ②번 위치를 클릭하면 Top면에 배선된다. 그리고 다시 ②번 위치를 클릭하고 ③번 위치를 클릭하여 Top 면의 VCC Net을 배선완료한다.



다음으로 작업창에서 마우스 오른쪽 버튼을 눌러 메뉴의 Swap Layers를 선택하면 Options 창에 Top과 Bottom이 바뀌게 된다. 활성 레이어가 Bottom 레이어가 되었다. R1의 ①번 위치를 클릭한다.

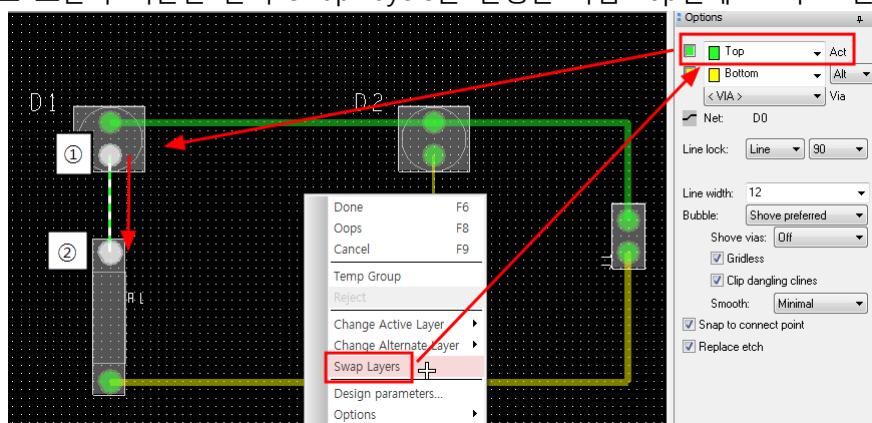


아래와 같이 ①번에서 ②번 클릭, 다시 ②번에서 ③번 클릭하여 Bottom면에 GND를 배선완료한다.



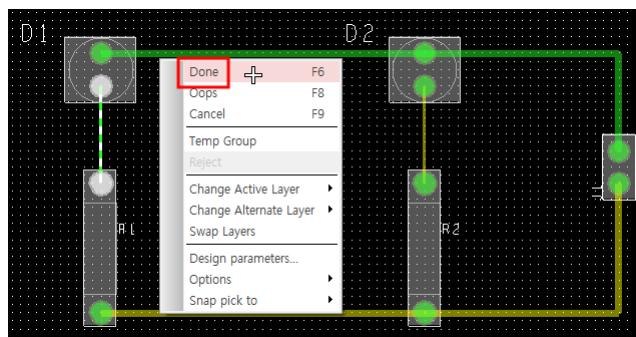
D2와 R2의 연결은 Bottom면에 배선한다.

작업창에서 마우스 오른쪽 버튼을 눌러 Swap Layers를 실행한 다음 Top면에 D1과 R1을 연결한다.



모든 Net의 배선작업이 완료되었으면 마우스 오른쪽 버튼을 눌러 Done을 선택한다.

또는 단축키 F6을 누른다.



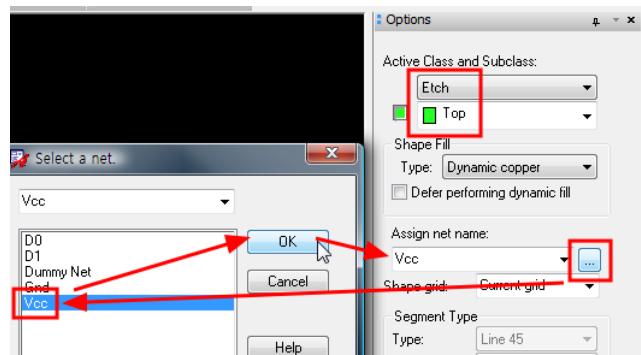
F10을 눌러 Grid Toggle을 한다.

11) Dynamic Shape(Copper Pour) 작업

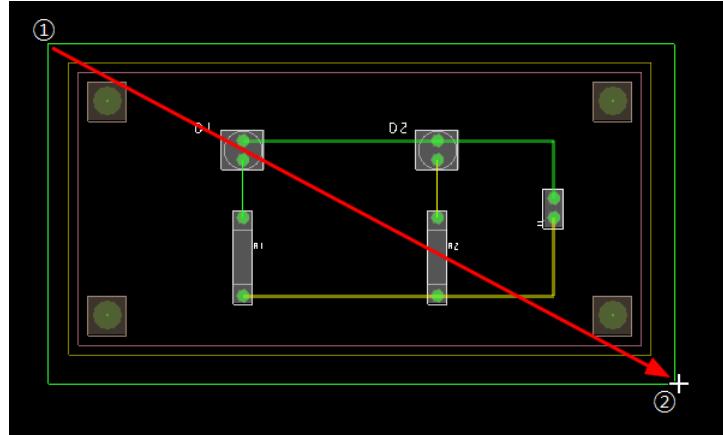
동박(Copper)설정을 위해 Shape > Rectangular를 실행한다.



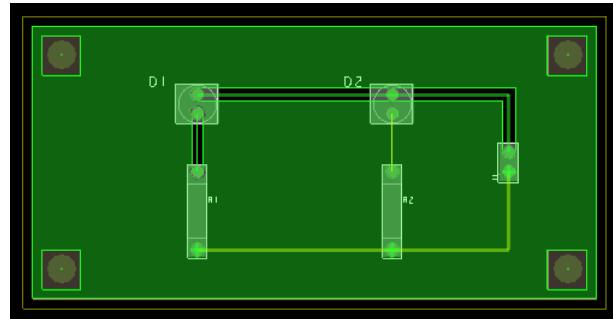
Options 창에 설정항목이 나타난다. 동박을 특정 Net과 연결하기 위해 Assign net name 항목에 Browse 버튼을 눌러 Select a net창에서 Vcc를 선택하고 OK 버튼을 눌러 설정한다.



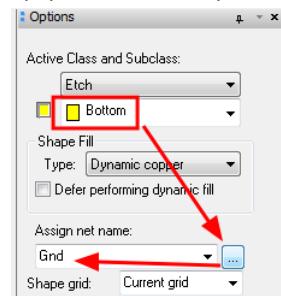
작업창에서 보드아웃라인 밖 위치 ①번을 클릭하고 반대편 모서리 밖 위치 ②번을 클릭한다.



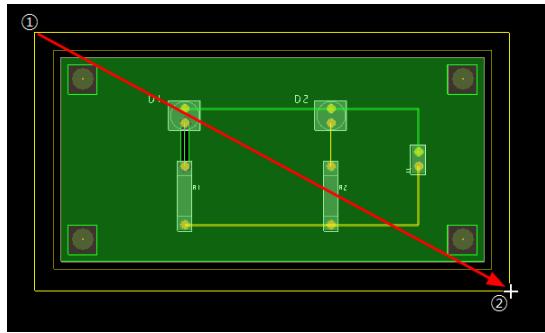
이미 Route Keepin 영역이 설정되어 있으므로 그 영역안으로 Copper가 생성된다.



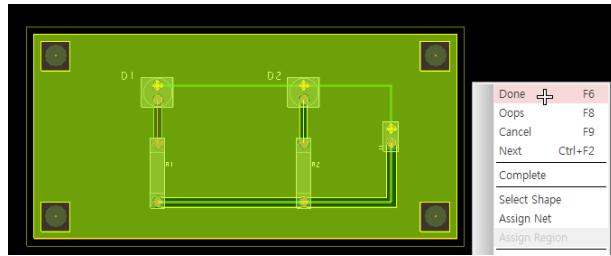
다시 Options창에서 Bottom 레이어를 선택하고 Browse 버튼을 눌러 GND로 설정한다.



①번 위치를 클릭하고 ②번 위치를 클릭하면 Bottom 면에 GND와 연결되는 Copper가 생성된다.

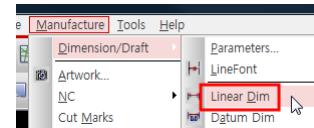


원하는 Copper를 생성한 뒤 마우스 오른쪽 버튼을 눌러 Done을 선택한다.

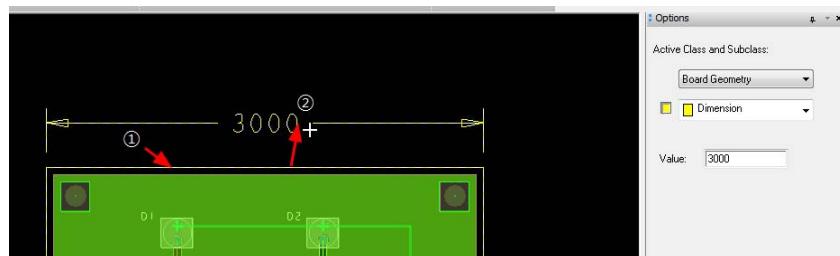


12) Dimension 작업

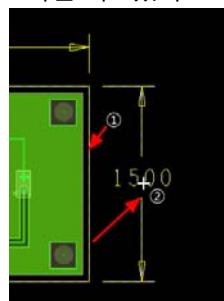
Manufacture > Dimension/Draft > Linear Dim을 선택한다.



위쪽 보드 아웃라인 ①번을 클릭한 뒤 마우스를 위로 이동하여 적당한 ②번 위치를 클릭하면 보드 아웃라인의 가로크기값을 표시할 수 있다.



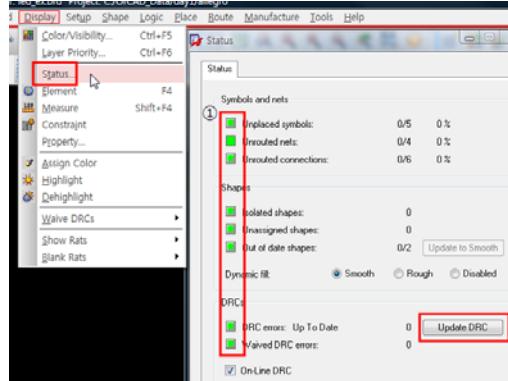
다시 이번엔 오른쪽 보드 아웃라인 ①번을 클릭하고 마우스를 오른쪽으로 이동하여 적당한 ②번 위치를 클릭하면 세로 크기를 표시할 수 있다.



단축키 F6을 눌러 명령을 종료한다.

13) 작업상태 확인하기

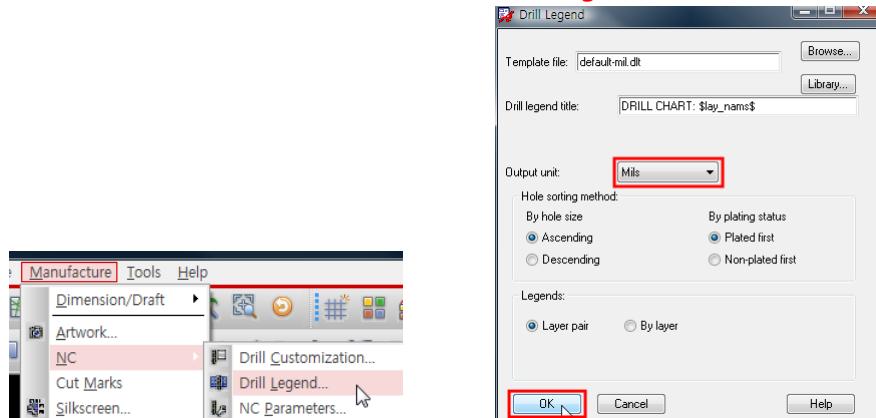
모든 작업이 다 완료되고 나면 **Display > Status**를 실행하여 Status 창의 ①번 모든 항목들이 녹색으로 나타나는지 확인한다. DRC 항목에 노란색이나 빨간색으로 나타나면 Update DRC 버튼을 눌러 항목값을 업데이트시킬 수 있다.



OK 버튼을 눌러 창을 닫는다.

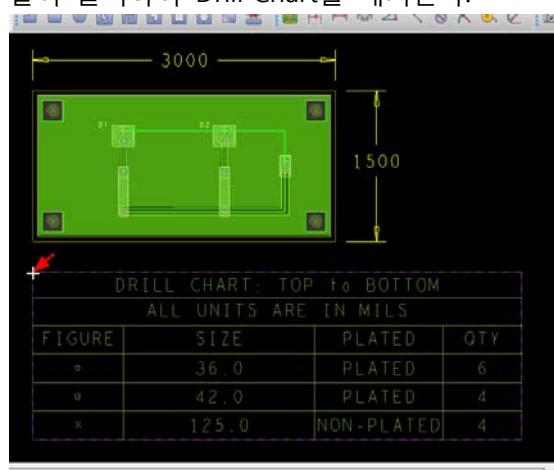
14) Drill Legend 생성

Drill Chart 정보를 나타내기 위해 **Manufacture > NC > Drill Legend** 메뉴를 선택한다.



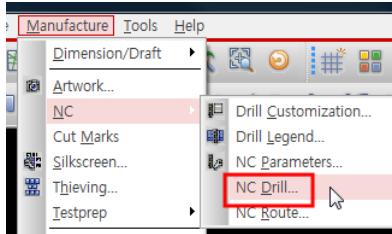
단위만 확인하고 OK 버튼을 클릭한다.

작업창의 보드 아래에 그림과 같이 클릭하여 Drill Chart를 배치한다.

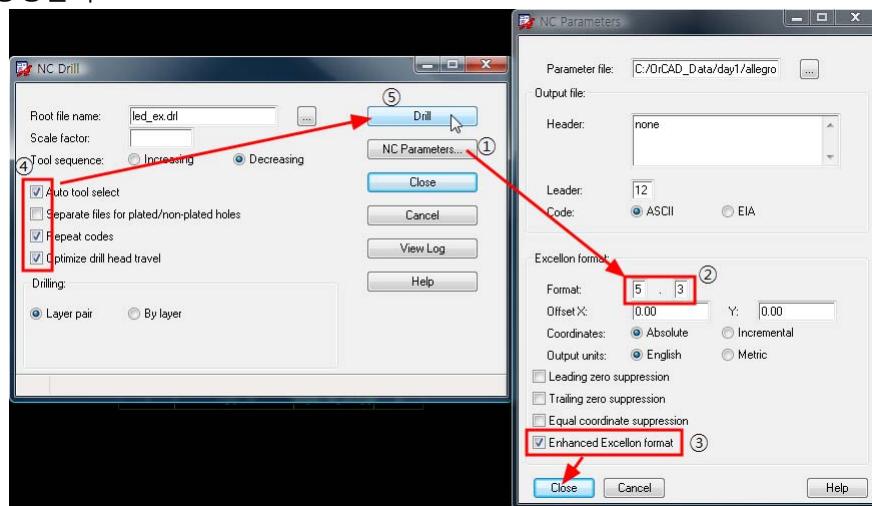


15) Drill 파일 생성

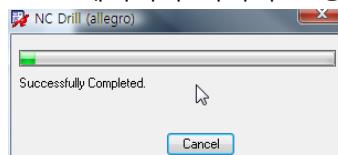
Drill 파일 생성을 위해 **Manufacture > NC Drill**을 실행한다.



먼저 Drill 좌표값에 해당하는 정보를 설정하기 위해 NC Parameters 버튼을 클릭하고 Format에 5.3을 설정한다. 그 다음 Enhanced Excellon format 옵션에 체크를 하고 Close 버튼을 누른다. 그 다음 NC Drill 창에서 Auto tool select, Repeat codes, Optimize drill head travel 옵션을 체크설정하고 Drill 버튼을 눌러 Drill 파일을 생성한다.



아무 오류가 없다면 Successfully Completed 메시지가 나타나고 창이 사라진다.

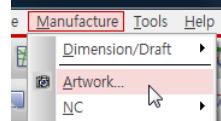


작업 폴더 C:\OrCAD_Data\day1\allegro 내용을 살펴보면 파일이 생성되어 있다.

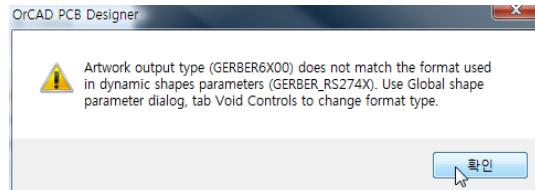
이름	수정한 날짜
signoise.run	2009-02-12 오후 6:...
allegro.jrl	2009-02-12 오후 3:...
batch_drc.log	2009-02-12 오후 7:...
eco.txt	2009-02-11 오전 1:...
extract.log	2009-02-13 오후 6:...
extract.log.1	2009-02-13 오후 6:...
led_ex.brd	2009-02-12 오후 7:...
led_ex-1-2.drl	2009-02-13 오후 6:...
master.tag	2009-02-12 오후 7:...
nc_param.txt	2009-02-13 오후 6:...
nc_tools_auto.txt	2009-02-13 오후 6:...
ncdrill.log	2009-02-13 오후 6:...
nclegend.lnn	2009-02-13 오후 6:...

16) 거버파일 생성

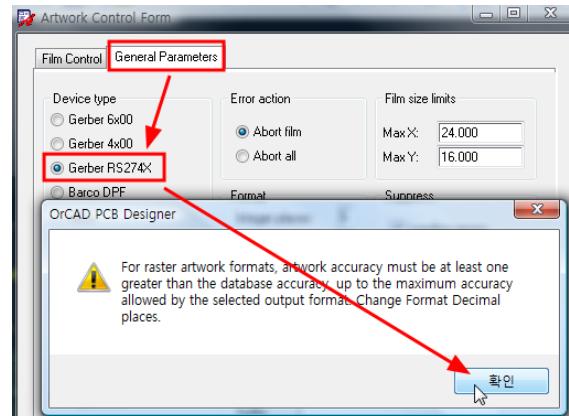
Gerber 파일을 생성하자. **Manufacture > Artwork**을 실행한다.



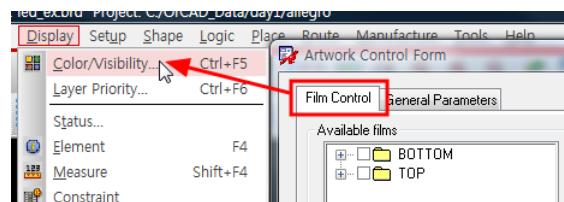
기본 Gerber6x00이 설정되어 있어 RS274X로 변경시 Dynamic Shape 포맷변환이 생길 수 있다는 경고메세지 창이 뜬다. 확인 버튼을 클릭한다.



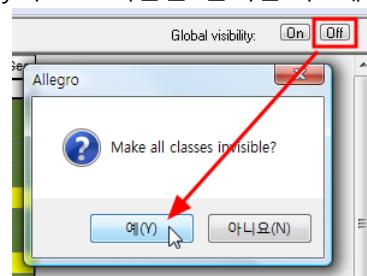
Artwork Control Form창에서 General Parameters 탭을 선택하고 Device type에 Gerber RS274X를 선택한다. 포맷 정밀도 변환에 대한 경고메세지 창이 나타난다. 확인 버튼을 클릭한다.



다시 Film Control 탭을 클릭하고 메뉴의 **Display > Color/Visibility** 메뉴를 실행하여 Color Dialog 창을 띄운다.

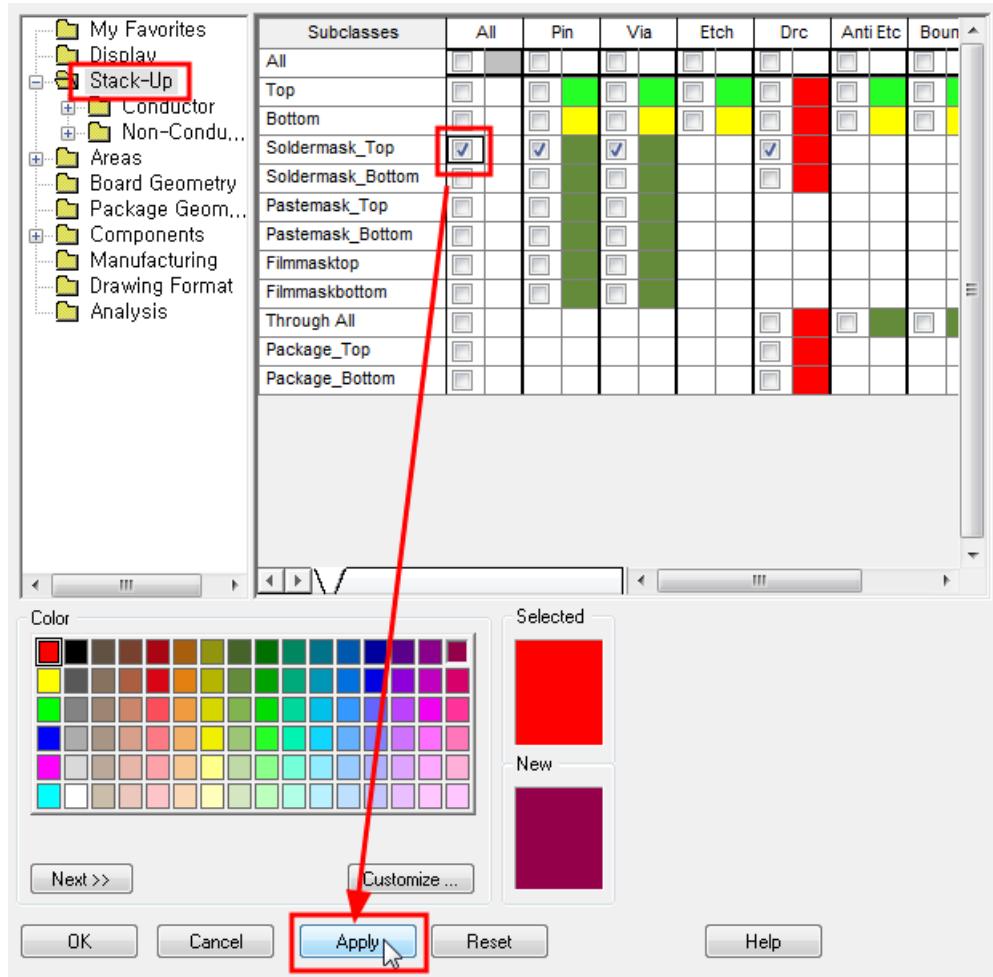


먼저 Film 생성을 위해 Global visibility의 **Off** 버튼을 클릭한 후 예 버튼을 클릭한다.



솔더마스크 TOP Film을 생성하기 위해 Stack-Up 폴더에서 Soldermask_Top의 All 옵션을 체크한다. Apply

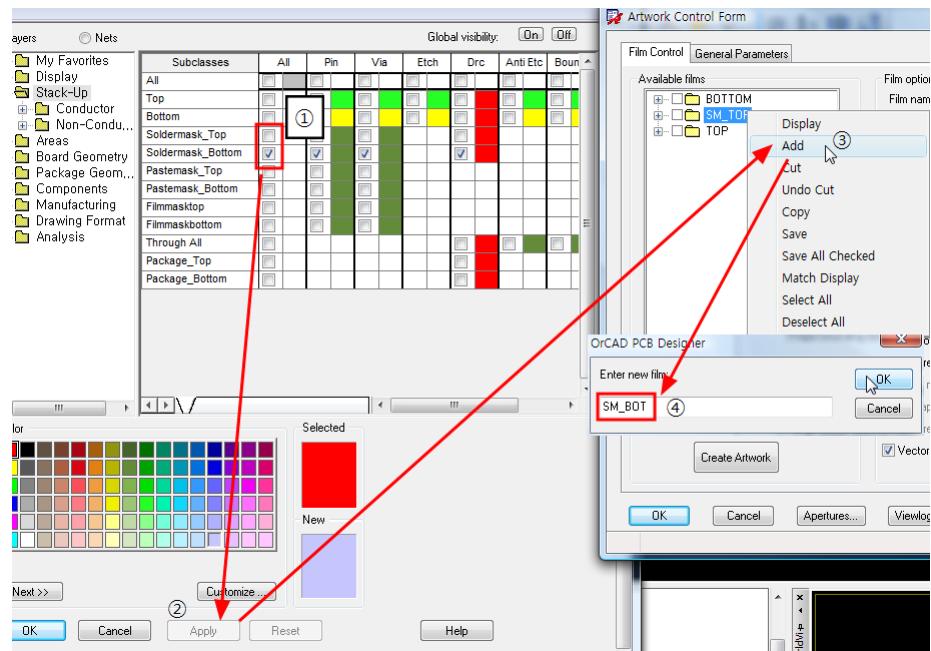
버튼을 클릭하여 적용한다.



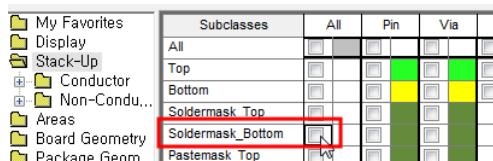
Artwork Control Form에서 Film Control 탭에 BOTTOM 글자위에서 마우스 오른쪽 버튼을 눌러 Add 메뉴를 선택한다. Enter New Film 항목에 **SM_TOP**이라고 입력하고 OK 버튼을 눌러 Film을 추가한다.



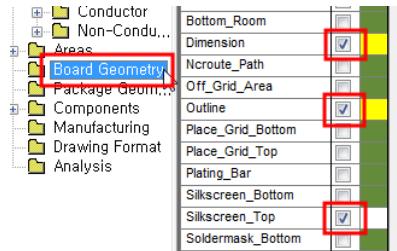
솔더마스크 BOT Film을 생성하기 위해 이전 Soldermask_Top 옵션을 체크해제하고 Soldermask_Bottom 옵션을 체크한 뒤 Apply 버튼을 눌러 Color를 적용한다. 앞과 마찬가지로 SM_TOP에서 마우스 오른쪽 버튼을 눌러 Add를 실행한 후 **SM_BOT**을 입력하고 Film을 추가한다.



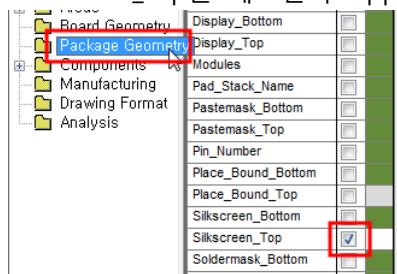
Soldermask_Bottom 옵션을 체크해제하고 Apply 버튼을 클릭한다.



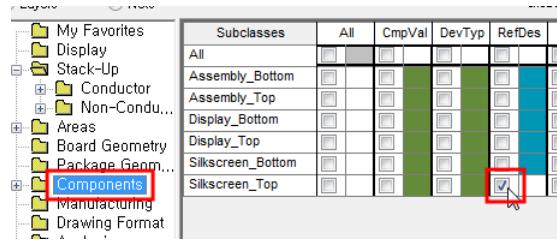
실크정보 Film을 생성하기 위해 Board Geometry 폴더에서 Dimension, Outline, Silkscreen_Top을 체크한다.
Apply 버튼을 클릭한다.



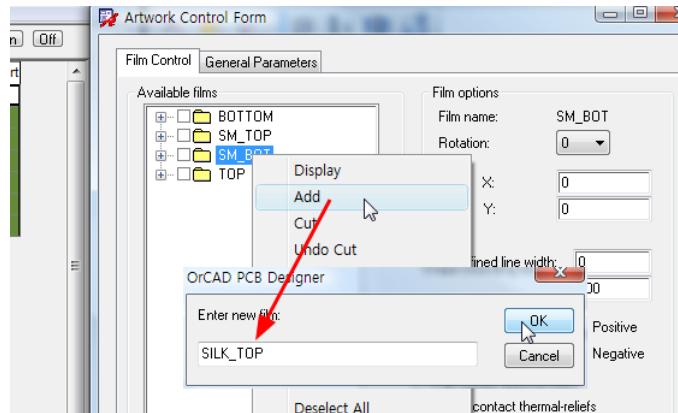
Package Geometry 폴더를 선택하고 Silkscreen_Top을 체크한다. Apply 버튼을 클릭한다.



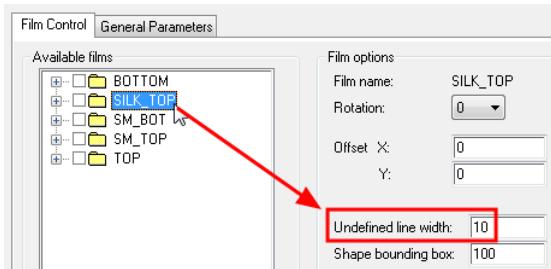
Components 폴더를 선택하고 RefDes의 Silkscreen_Top을 체크한다. Apply 버튼을 클릭한다.



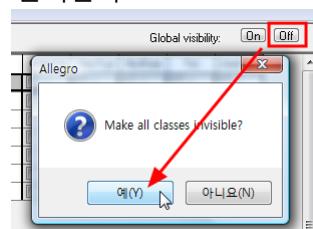
Color 설정이 다 되었으면 film 리스트 아무 글자위에서 마우스 오른쪽 버튼을 눌러 Add 버튼을 선택한 후 **SILK_TOP**을 입력하고 OK 버튼을 클릭한다.



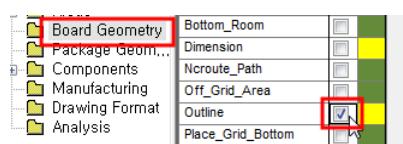
이 때 SILK_TOP의 속성은 정의되지 않은 선들이므로 **Undefined line width**의 값을 강제로 **10**을 설정하도록 한다.



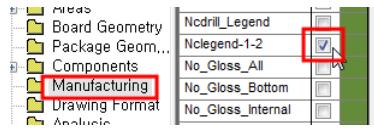
Global visibility의 Off를 눌러 예 버튼을 클릭한다.



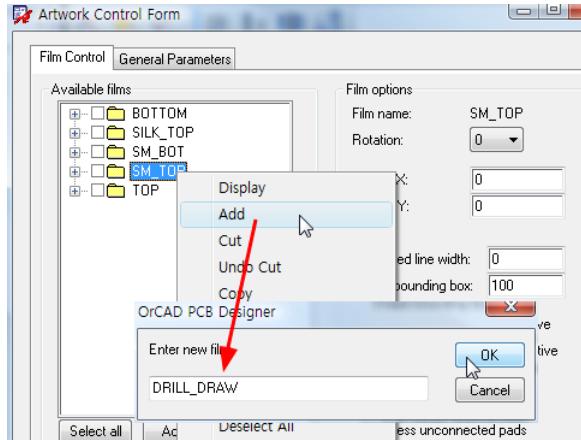
드릴정보 Film을 생성하기 위해 Board Geometry 폴더를 선택하고 Outline을 체크하고 Apply 버튼을 클릭한다.



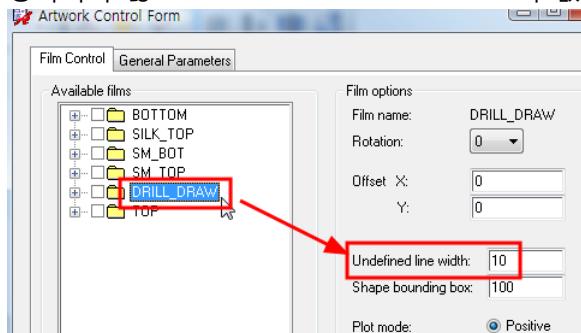
Manufacturing 폴더를 선택하고 Nclegend-1-2 를 체크한 뒤 Apply 버튼을 클릭한다.



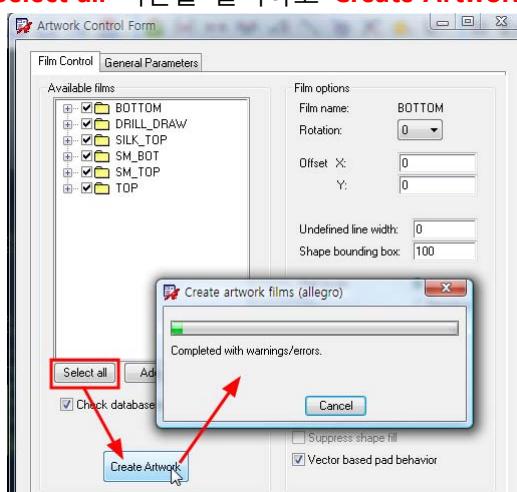
Available films 리스트에서 마우스 오른쪽 버튼을 눌러 Add 메뉴를 실행한 후 **DRILL_DRAW**라고 입력하고 OK 버튼을 클릭한다.



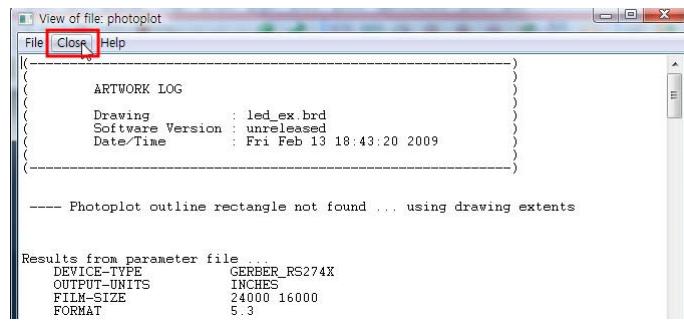
DRILL_DRAW 정보도 속성이 정의되지 않으므로 **Undefined line width**의 값을 강제로 **10**으로 설정한다.



Gerber 파일을 생성하기 위해 **Select all** 버튼을 클릭하고 **Create Artwork** 버튼을 눌러 작업을 완료한다.



리포트 창이 나타나고 Close 메뉴를 선택하여 창을 닫는다.



오른쪽 컨트롤 패널에서 Visibility를 선택하면 Views 항목에 조금전 생성한 Film 정보들이 나타난다. 각 항목들을 선택하면 작업창에 지정된 정보가 나타난다. 이것을 이용하여 프린터로 출력할 수 있다.



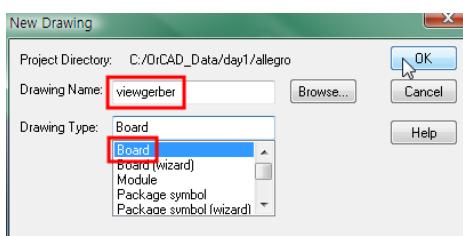
File > Save하여 저장한다.

17) 거버파일 확인

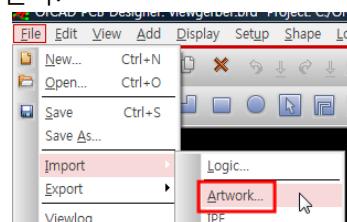
거버파일 확인을 위해 새로 파일을 하나 생성한다. 무료(Viewmate/_상용(cam350) 거버툴을 이용하여 확인할 수도 있고 여기서는 보드파일에서 확인하는 방법을 설명한다.



File > New를 실행하여 viewgerber라는 보드 파일을 생성한다.

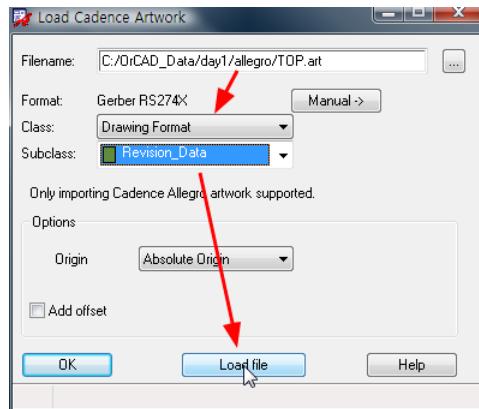


File > Import > Artwork 메뉴를 선택한다.

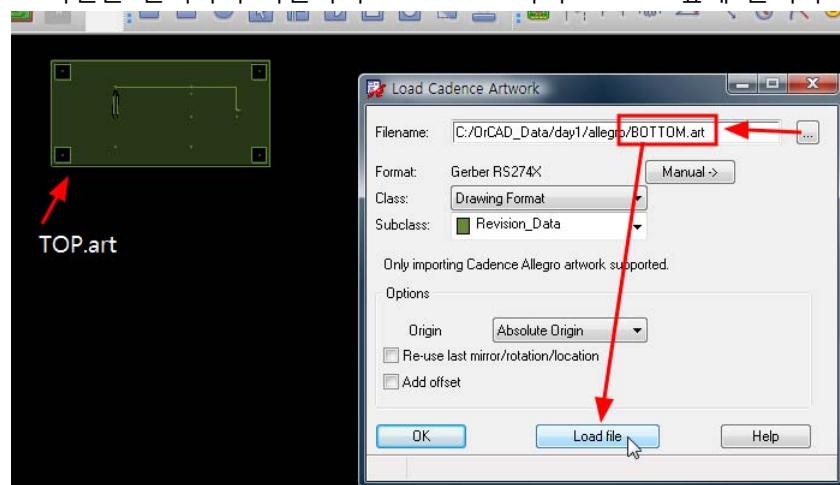


Filename에 앞에서 생성한 **TOP.art**를 선택하고 Class에서 Drawing Format을 선택하고 Subclass에 Revision_Data를 선택한다. Subclass를 새로 생성해도 되지만 단순히 확인만을 하기 위한 것으로 기존

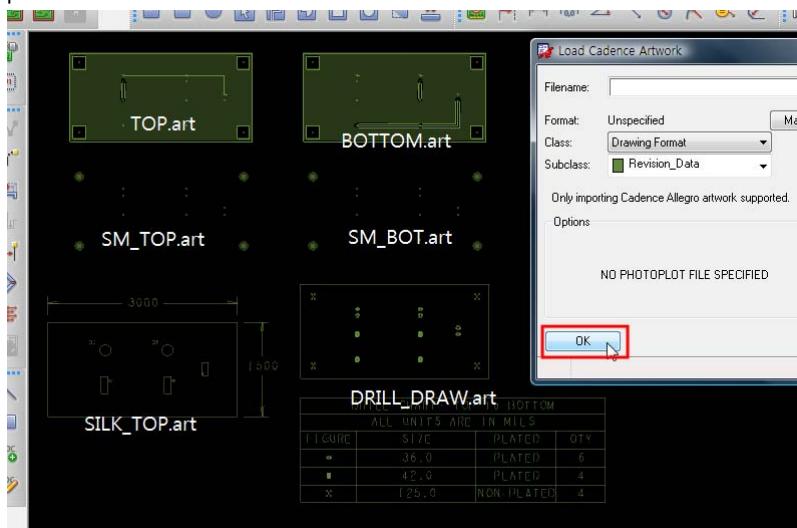
Subclass에 작업을 한다. **Load File** 버튼을 눌러 작업창의 왼쪽 제일 위에 클릭하여 배치한다.



그 다음 BOTTOM.art 파일을 선택하여 마찬가지로 Load File하여 TOP.art 옆에 클릭하여 배치한다.

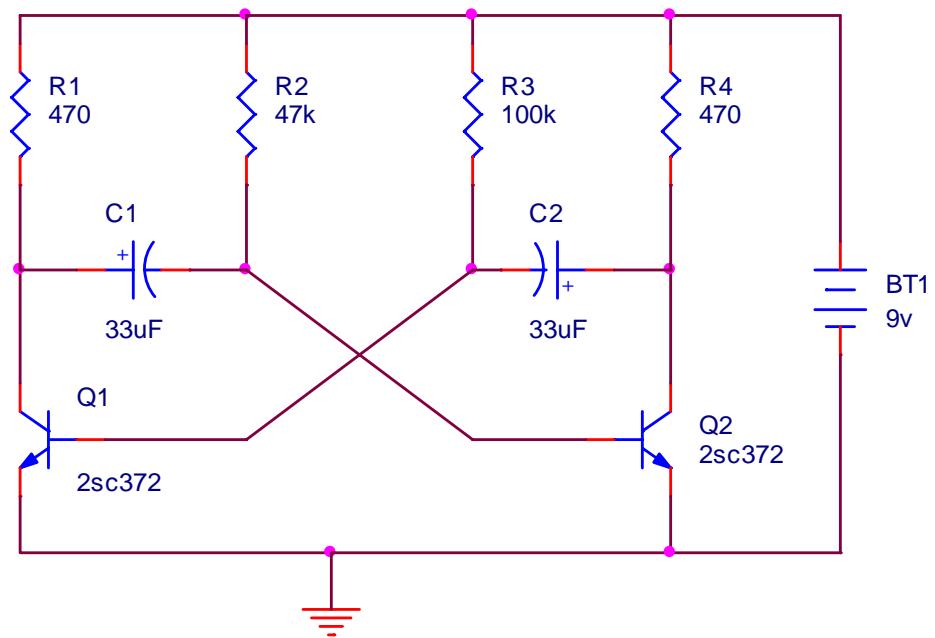


나머지 art 파일들도 Load File 버튼을 클릭하여 아래 그림과 같이 배치한 후 OK 버튼을 눌러 창을 닫는다.



만들어진 거버필름 파일을 확인한다.

[실습]



회로도 부품 리스트

부품명	Footprint	부품명	Footprint
R	RES400	NPN ECB	TO92
CAP POL	CAP196	BATTERY	JUMPER2

[설계 조건]

설계 단위 : mm

PCB SIZE : 50 X 30

LAYER : 2 LAYER (양면기판)

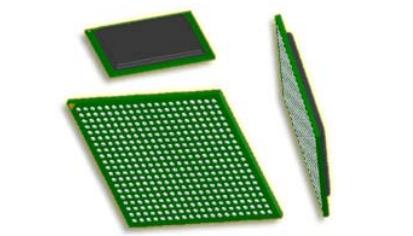
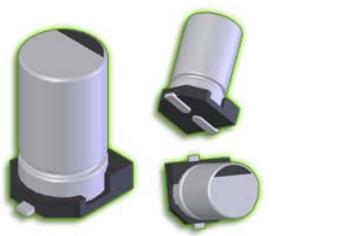
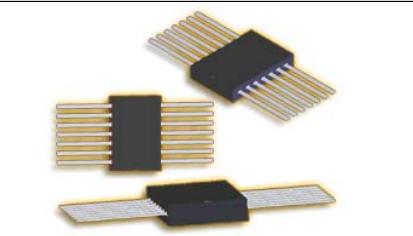
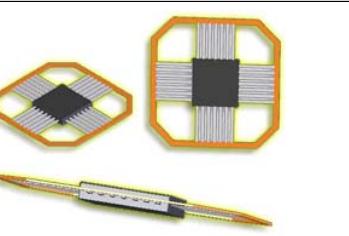
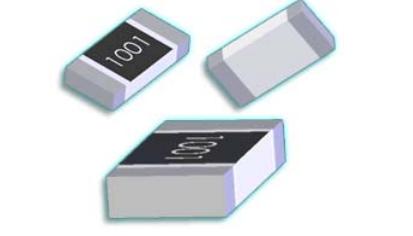
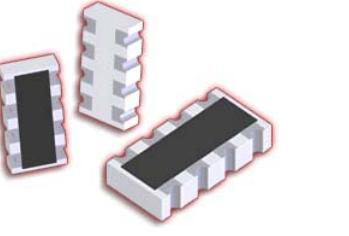
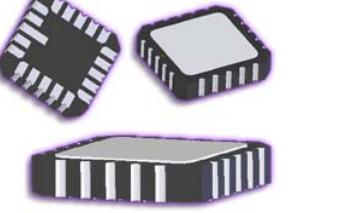
Spacing : ALL 0.3

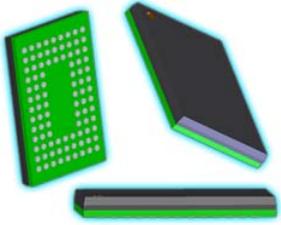
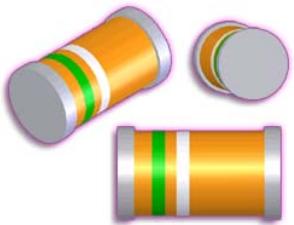
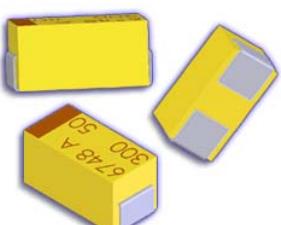
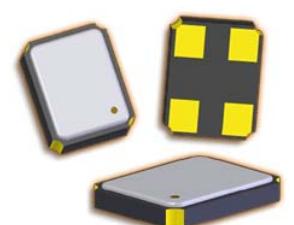
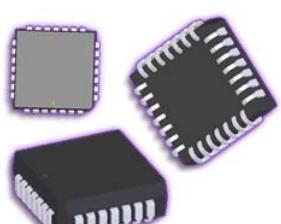
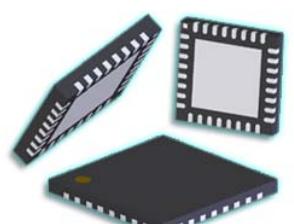
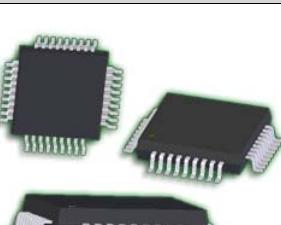
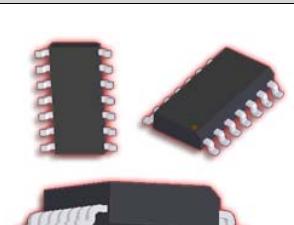
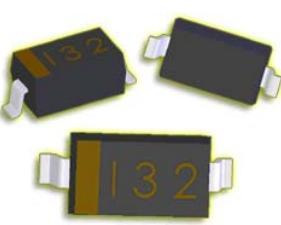
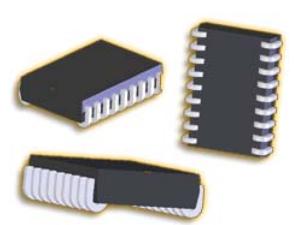
Physical : All 0.3

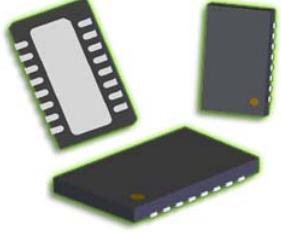
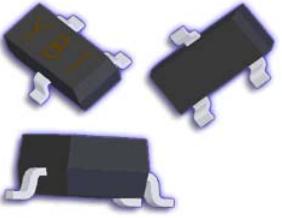
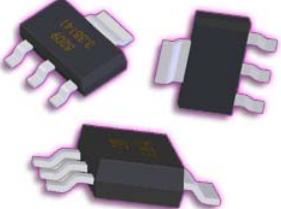
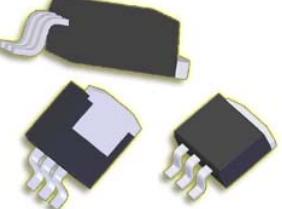
GND : Copper

Package Symbol List

- PCB Editor Symbol List

	
Ball Grid Array(BGA)	Aluminum Electrolytic Capacitor(CAE)
	
Ceramic Flat Pack(CFP)	Ceramic Quad Flat Pack(CQFP)
	
Chip(CHP)	Chip Array(CHPA)
	
Crystal(XTAL)	Leadless Chip Carrier(LCC)

	
Land Grid Array(LGA)	Metal Electrode Face(MELF)
	
Molded Body(MLD)	Oscillator(OSC)
	
Plastic Leaded Chip Carrier(PLCC)	Quad Flat No-lead(QFN)
	
Quad Flat Pack(QFP)	Small Outline IC(SOIC)
	

Small Outline Diode(SOD)	Small Outline J-lead(SOJ)
	
Small Outline No-lead(SON)	Small Outline Transistor (SOT23 type)
	
Small Outline Transistor(SOT223)	Transistor Outline(TO)

1 INTRODUCTION

Standard component package outlines come from industry standard organizations that specialize in component packaging data and standardization of documents and publications.

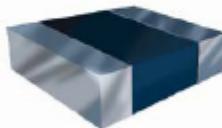
These organizations include JEDEC, EIA, IEC, NIST, IPC, ANSI, EIAJ, NEMI and JEITA



CAD Library 규격 종류

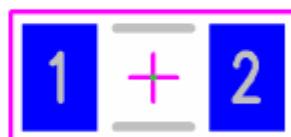
2 CHIP COMPONENTS

2.1 Chip Capacitor



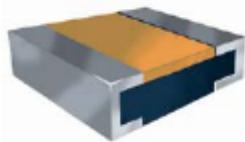
Component

Pin 1 on Left Side



Land Pattern

2.2 Chip Resistor



Component

Pin 1 on Left Side



Land Pattern

2.3 Chip Inductor



Component

Pin 1 on Left Side



Land Pattern

Note: Pin 1 is always the "Positive" pin

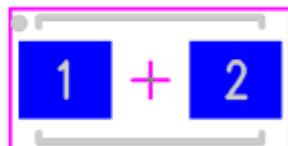
3 MOLDED COMPONENTS

3.1 Molded Capacitors



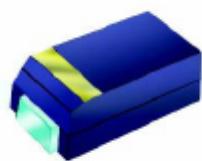
Component

Pin 1 on Left Side



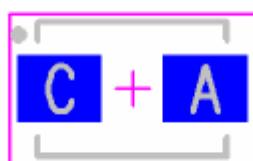
Land Pattern

3.2 Molded Diodes



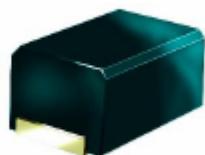
Component

Pin 1 on Left Side (Cathode)



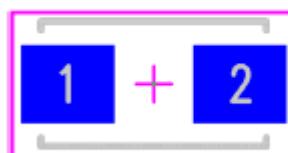
Land Pattern

3.3 Molded Inductors



Component

Pin 1 on Left Side



Land Pattern

Note: Pin 1 is always the "Positive" pin

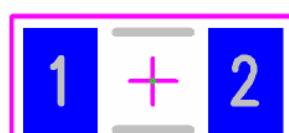
4 PRECISION WIRE-WOUND

4.1 Precision Wire Wound Components



Component

Pin 1 on Left Side



Land Pattern

Note: Pin 1 is always the "Positive" pin

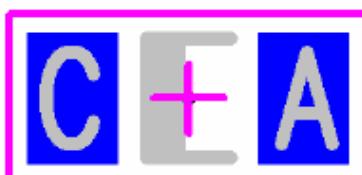
5 MELF COMPONENTS

5.1 MELF Diodes



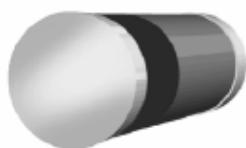
Component

Pin 1 on Left Side (Cathode)



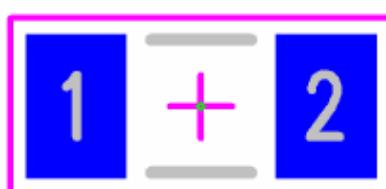
Land Pattern

5.2 MELF Resistors



Component

Pin 1 on Left Side

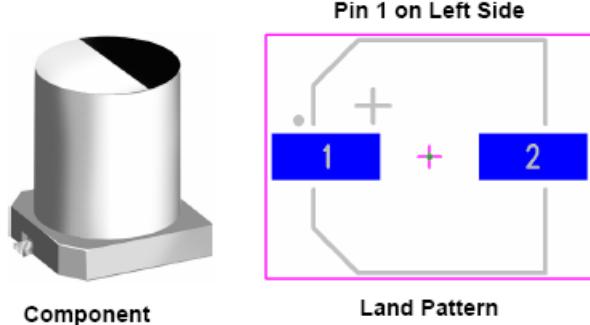


Land Pattern

Note: Pin 1 is always the "Polarity Mark" pin or Cathode

6 ALUMINUM ELECTROLYTIC CAPACITORS

6.1 Aluminum Electrolytic Capacitors



Note: Pin 1 is always the "Positive" pin

7 SOT COMPONENTS

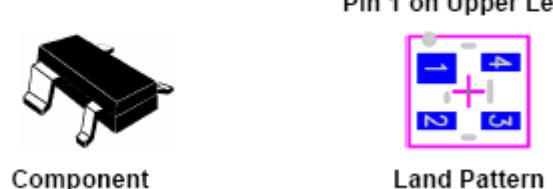
7.1 SOT23-3



7.2 SOT23-5



7.3 SOT343

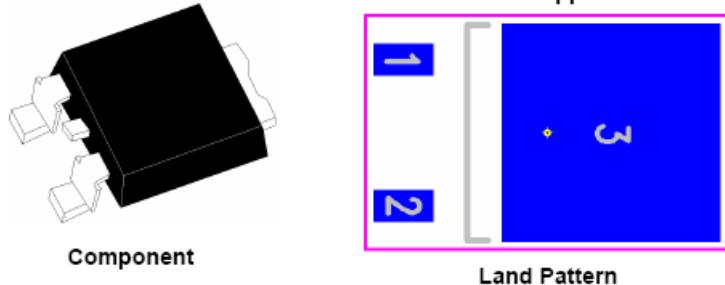


7.4 SOT223



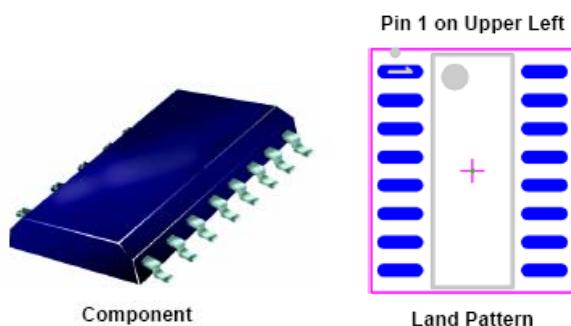
8 TO COMPONENTS

8.1 TO252 (DPAK)

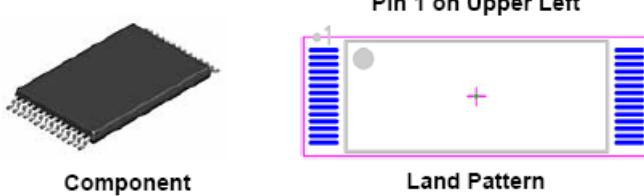


9 SMALL OUTLINE GULLWING COMPONENT

9.1 SOIC, SOP & SSOP

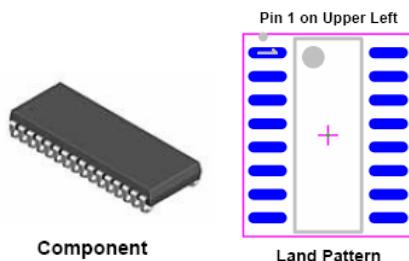


9.2 TSSOP



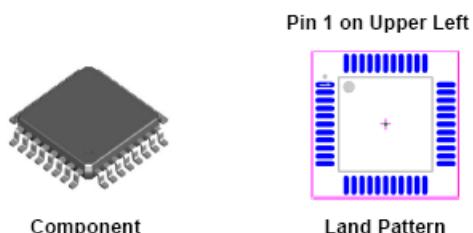
10 SMALL OUTLINE J-LEAD COMPONENTS

10.1 SOIC J-Lead

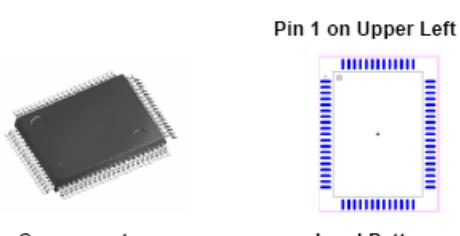


11 QUAD FLAT PACKAGE

11.1 Square QFP Pin 1 on Side

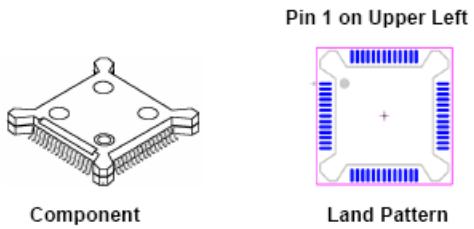


11.2 Rectangle QFP Pin 1 on Side

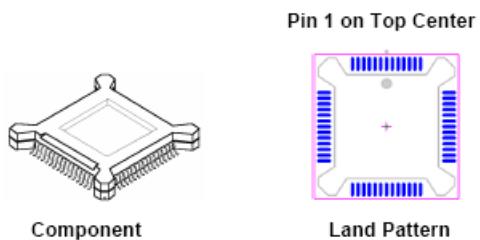


12 BUMPER QUAD FLAT PACKAGE

12.1 Bump QFP Pin 1 on Side

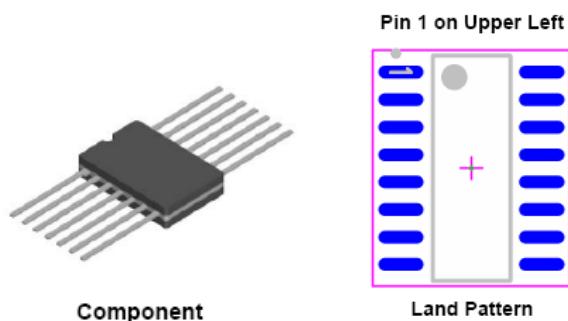


12.2 Bump QFP Pin 1 in Center



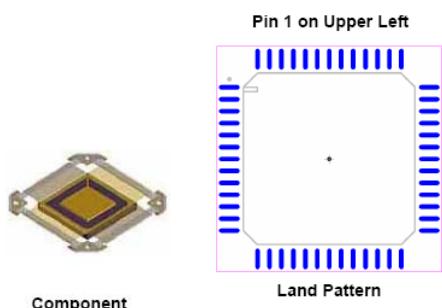
13 CERAMIC FLAT PACKAGE

13.1 Ceramic Flat Package



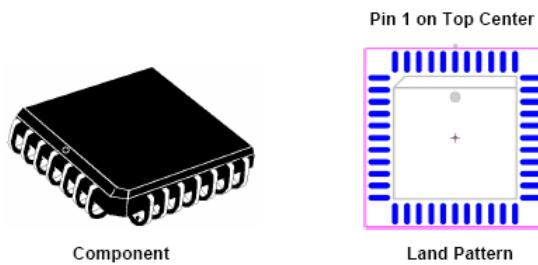
14 CERAMIC QUAD FLAT PACKAGE

14.1 CQFP (Ceramic Quad Flat Package)

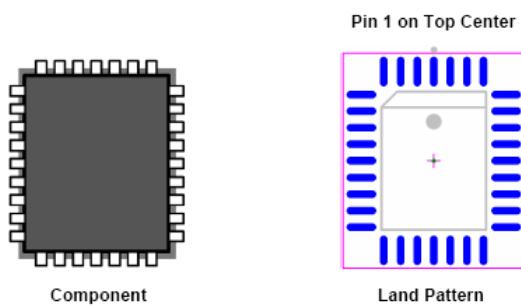


15 PLASTIC LEADED CHIP CARRIERS

15.1 PLCC Square

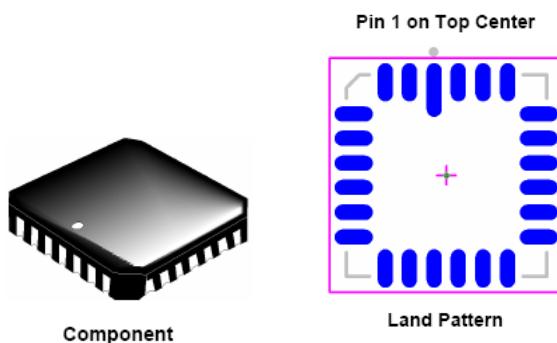


15.2 PLCC Rectangular



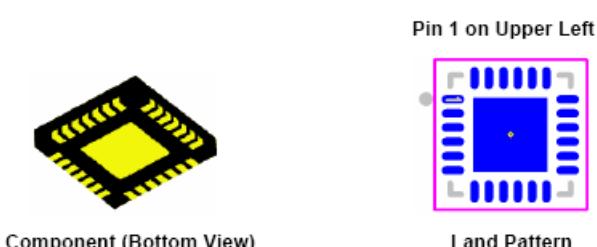
16 LEADLESS CHIP CARRIERS

16.1 LCC Square

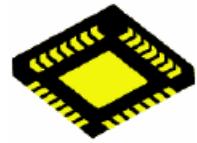


17 QUAD FLAT NO-LEAD

17.1 QFN Square

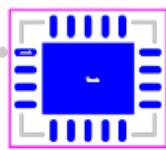


17.2 QFN Rectangular Vertical



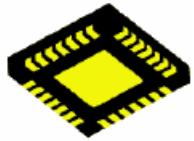
Component (Bottom View)

Pin 1 on Upper Left



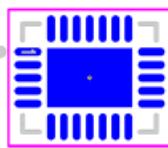
Land Pattern

17.3 QFN Rectangular Horizontal



Component (Bottom View)

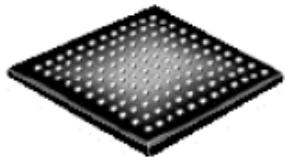
Pin 1 on Upper Left



Land Pattern

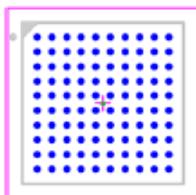
18 BALL GRID ARRAY

18.1 BGA Square



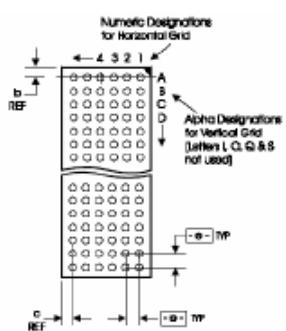
Component (Bottom View)

Pin A1 in Upper Left



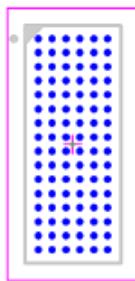
Land Pattern

18.2 BGA Rectangular



Component (Bottom View)

Pin A1 in Upper Left



Land Pattern

Surface Mount Land Patterns

IPC-735* Component Family Breakdown:

- IPC-7351** = IEC 61188-5-1, Generic requirements-land/joint considerations – **General Description**
- IPC-7352** = IEC 61188-5-2, Sectional requirements-land/joint considerations – **Discrete Components**
- IPC-7353** = IEC 61188-5-3, Sectional requirements-land/joint considerations – **Gull-wing leads, two sides (SOP)**
- IPC-7354** = IEC 61188-5-4, Sectional requirements-land/joint considerations – **J leads, two sides (SOJ)**
- IPC-7355** = IEC 61188-5-5, Sectional requirements-land/joint considerations – **Gull-wing leads, four sides (QFP)**
- IPC-7356** = IEC 61188-5-6, Sectional requirements-land/joint considerations – **J leads, four sides (PLCC)**
- IPC-7357** = IEC 61188-5-7, Sectional requirements-land/joint considerations – **Post leads, two sides (DIP)**
- IPC-7358** = IEC 61188-5-8, Sectional requirements-land/joint considerations – **Area Array Components (BGA)**
- IPC-7359** = NO IEC Document, Sectional requirements-land/joint considerations – **No Lead Components (LCC)**

Component Zero Orientations Pin 1 Location For CAD Library Construction

- 1) Chip Capacitors, Resistors and Inductors (RES, CAP and IND) – **Pin 1 (Positive Pin) on Left**
- 2) Molded Inductors (INDM), Resistors (RESM) and Tantalum Capacitors (CAPT) – **Pin 1 (Positive Pin) on Left**
- 3) Precision Wire-wound Inductors (INDP) – **Pin 1 (Positive Pin) on Left**
- 4) MELF Diodes – **Pin 1 (Cathode) on Left**
- 5) Aluminum Electrolytic Capacitors (CAPAE) – **Pin 1 (Positive) on Left**
- 6) SOT Devices (SOT23, SOT23-5, SOT223, SOT89, SOT143, etc.) – **Pin 1 Upper Left**
- 7) TO252 & TO263 (DPAK Type) Devices – **Pin 1 Upper Left**
- 8) Small Outline Gullwing ICs (SOIC, SOP, TSOP, SSOP, TSSOP) – **Pin 1 Upper Left**
- 9) Ceramic Flat Packs (CFP) – **Pin 1 Upper Left**
- 10) Small Outline J Lead ICs (SOJ) – **Pin 1 Upper Left**
- 11) Quad Flat Pack ICs (PQFP, SQFP) – **Pin 1 Upper Left**
- 12) Ceramic Quad Flat Packs (CQFP) – **Pin 1 Upper Left**
- 13) Bumper Quad Flat Pack ICs (BQFP Pin 1 Center) – **Pin 1 Top Center**
- 14) Plastic Leaded Chip Carriers (PLCC) – **Pin 1 Top Center**
- 15) Leadless Chip Carriers (LCC) – **Pin 1 Top Center**
- 16) Leadless Chip Carriers (LCCS Pin 1 on Side) – **Pin 1 Upper Left**
- 17) Quad Flat No-Lead ICs (QFN) QFNS, QFNVR, QFNRH – **Pin 1 Upper Left**
- 18) Ball Grid Arrays (BGA) – **Pin A1 Upper Left**