

# PCB설계 기본 지침서 II

## SMT 부품관련 사항들

### 목 적

#### SMT 부문

##### 작업 가능 PCB SIZE

작업 가능 PCB SIZE는 장비 SPEC에 따라 상이하지만 다음을 기준으로 하여 PCB를 설계한다.

- ▶ 가로 : 최소 100mm 최대 330mm를 벗어나지 않게 설계한다.
- ▶ 세로 : 최소 100mm 최대 250mm를 벗어나지 않게 설계한다.

#### GUIDE HOLE 및 FIDUCIAL MARK

##### GUIDE HOLE (TOOLING HOLE)

- 1) 자삽 TOOLING HOLES : 가로, 세로 중 긴쪽 한쪽 면상에 2EA HOLE을 선정.  
ICT HOLE 1EA 추가 : PIN 접촉 방식 TEST로 대각선 고정 필요.
- 2) HOLE은 정공이며 NON-PLATED THROUGH HOLE (TIN 도금이 안 된 상태)
- 3) HOLE CENTER의 위치는 PCB 모서리에서 5mm×5mm
- 4) HOLE SIZE :  $4\text{mm} + 0.05, -0.00$

##### FIDUCIAL MARK

- 1) FIDUCIAL MARK는 SMD 각 공정 작

업의 PCB 좌표 기준이 되므로 오차가 발생하여서는 안 된다.

- 2) FIDUCIAL MARK 위치 : 대각선 모서리 부분의 안쪽에 배치
- 3) FIDUCIAL MARK SPEC : 하단에 표기.

#### GUIDE HOLE 및 FIDUCIAL MARK 위치

PCB 설계 시의 Guide Hole 및 Fiducial Mark 위치를 그림 1에서 보여주고 있다.

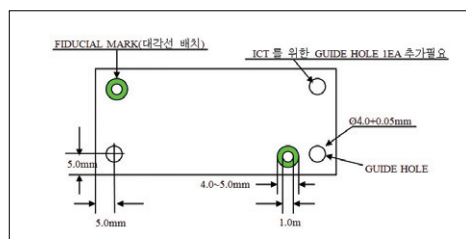


그림 1. Guide Hole 및 Fiducial Mark 위치 모식도

#### SMT 작업 불가능 영역

외각 면에서 5mm 이내에 들어가는 영역은 SMT 작업이 불가능하므로 부품배치 시 고려하여 설계한다. 그림 2에서 이를 보여주고 있다.

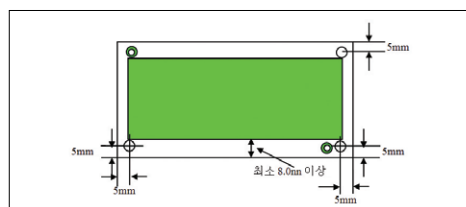


그림 2. 부품 배치 시 고려 사항

TOMB-STONE 현상 방지를 감안해 PAD를 설계해야 한다. PAD SIZE가 틀려 열전도 차이가 있는 경우 REFLOW SOLDERING 시 납의 표면장력으로 인해 부품의 한쪽 LEAD가 들려 묘비 형상으로 되는 현상(TOMB-STONE)을 방지해야 한다.

자료제공 : 투런시스템,  
전근배 대표

## PAD DESIGN

## GND PATTERN과 연결된 PAD 설계

TOMB-STONE 현상 방지를 감안해 PAD를 설계해야 한다. PAD SIZE가 틀려 열전도 차이가 있는 경우 REFLOW SOLDERING 시 납의 표면장력으로 인해 부품의 한쪽 LEAD가 들려 묘비 형상으로 되는 현상(TOMB-STONE)을 방지해야 한다. 그림 3은 TOMB-STONE 방지를 위한 잘못된 설계와 올바른 설계를 보여주고 있다.

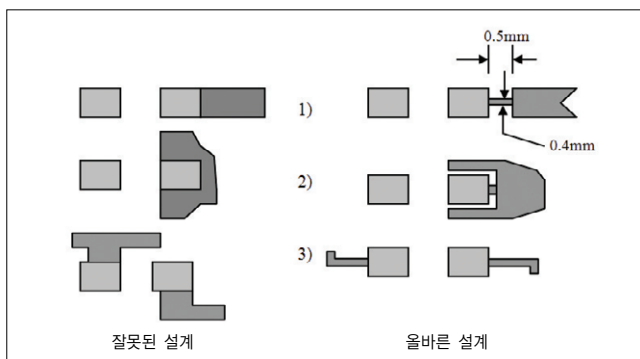


그림 3. TOMB-STONE 방지를 위한 설계

- REFLOW CHIP PAD 설계는 그림 2와 같이 좌, 우측을 동일하게 한다.
- PAD가 GND COPPER 층으로 묶여있을 경우에는 그림 2의 (2)와 같이 PAD를 분리하여 설계한다.

## CHIP PATTERN 설계

## 1) NO-SOLDER 방지를 위한 PATTERN 설계

REFLOW SOLDER 진행 시 PADDP PTH(VIA HOLE)이 있는 경우 CREAM SOLDER가 녹으면서 PTH에 SOLDER가 빠져 NO-SOLDER가 발생한다.

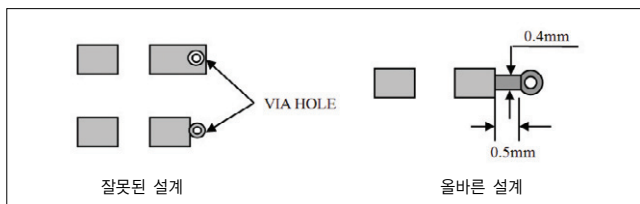


그림 4. No-Solder 방지를 위한 Pattern 설계

## 2) SHORT 및 BONDING 불량 방지를 위한 PATTERN 설계

- REFLOW 적용 시 : 부품 MOUNTING 시 CREAM SOLDER가 눌러 인접 VIA HOLE과 SHORT 발생.
- FLOW 적용 시 : PAD 사이에 VIA HOLE이 있는 경우 도포된 BOND가 흘러 내려 BONDING 불량 발생.

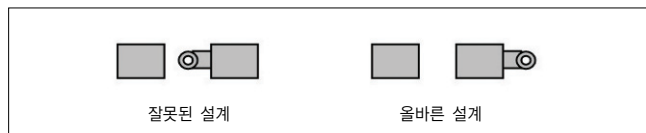


그림 5. Short 및 Bonding 방지를 위한 Pattern 설계.

## CHIP PAD 설계

## 1) REFLOW CHIP PAD 설계. (TOP SIDE)

일반적으로 PAD의 폭(W)은 부품의 폭보다 10~20% 더 크게 설계한다. 그림 6을 참조하면 된다.

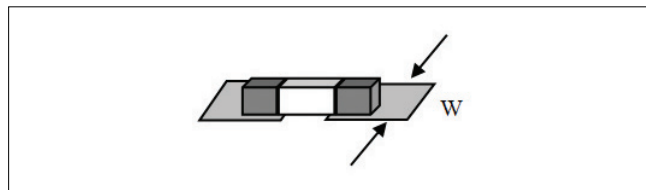


그림 6. Reflow Chip PAD 설계(Top Side)

## 2) FLOW CHIP PAD 설계.(BOTTOM SIDE)

일반적으로 PAD의 폭(W)은 부품의 폭보다 20~30% 더 크게 설계한다. 그림 7을 참조하면 된다.

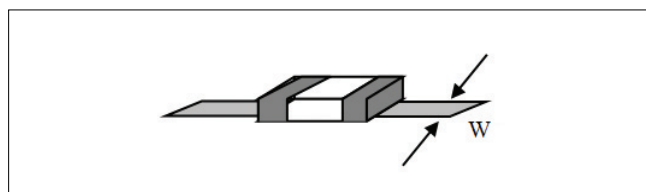


그림 7. Flow Chip PAD 설계(Bottom Side)

## 3) FLOW PAD 설계. (예 : REFLOW 설계로 잘못 적용했을 경우 문제점.)

WAVE SOLDERING 진행 시 EXCESS SOLDER 및 SOLDER PEAK 불량 발생 빈도가 높다.

## DUMMY PAD DESIGN

DUMMY PAD는 SHORT 방지용으로 설계하며, 적용은 SMD FLOW(BOTTOM) PAD 설계에만 해당된다. 그림 8에서 이를 보여주고 있다.

납의 표면 장력은 면적에 비례하고, 납은 적은 쪽에서 많은 쪽으로 이동하려는 성질이 있어, WAVE SOLDERING 진행시 DUMMY PAD는 마지막 LEAD에 묻어있는 납을 끌어당기는 역할을 하므로 SHORT 불량 발생을 방지할 수 있다.

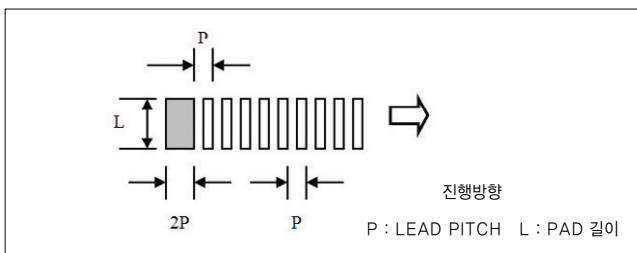


그림 8. Dummy PAD 설계

## QFP PAD DESIGN

### 적용 부품

- 1) 모든 QFP IC류
- 2) 1.0mm PITCH 이하의 SOJ IC류

## PAD DESIGN

그림 9에서는 QFP PAD Design 시의 고려사항을 보여주고 있다.

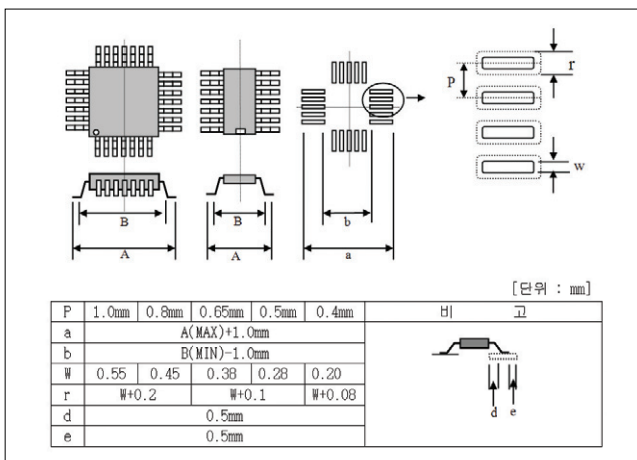


그림 9. QFP PAD Design

## PLCC/SOJ PAD DESIGN

- 1) 적용 부품 : 1.27mm PITCH PLCC/SOJ
- 2) PAD DESIGN

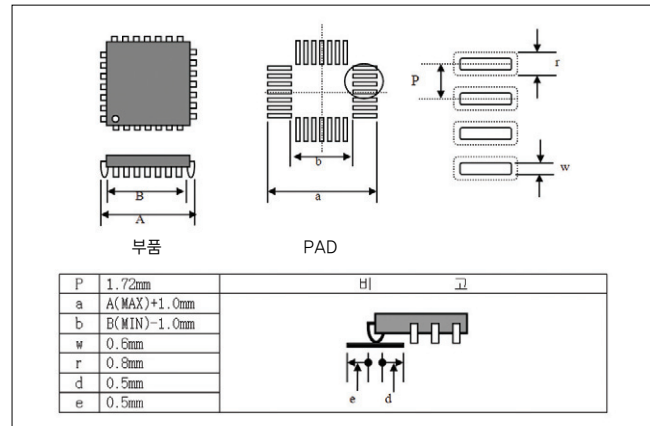


그림 10. PLCC/SOJ PAD DESIGN

## SOJ IC (1.27mm PITCH 이상의 SOJ IC)

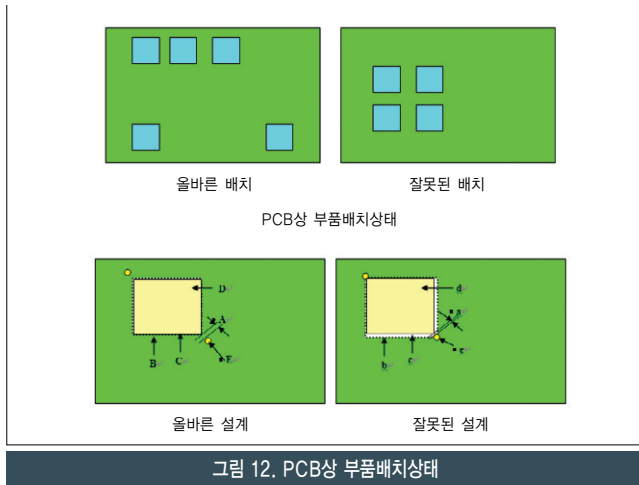
### \* THIEVING PAD

- 1) BOTTOM(FLOW) SIDE 설계시 적용하며, SOLDERING 진행방향 뒤쪽에 위치하여야 함.
- 2) 적용이 안 될 경우 SHORT 불량으로 REWORK 공수가 증가하므로 반드시 적용하여야 함.

## BGA PAD DESIGN

BGA 타입의 IC에서는 가장 중요하게 고려할 부분이 PCB의 휨에 대한 대책이다. 따라서 앞의 지난 호의 “휨 방지를 고려한 설계”를 충실히 지키는 것이 바람직하다. 또한 BGA 타입 IC를 PCB의 어떤 위치에 배치하는가도 중요한 부분이다. 물론 BGA 타입 IC의 경우 부품이 PCB에 장착 시킬 때 BGA 타입 IC때 PIN을 육안으로 확인할 수 없으므로 REWORK를 고려하여야 한다. 그림 12에서 이를 설명한다.

| 기호 | 명 칭            | 기준규격  |
|----|----------------|---|
| A  | BGA 와 장착마크의 거리 | 1mm   |
| B  | 실크표시           | 부품외각 크기와 동일하며, 부품이 장착되는 중앙에 일치될 것. (REWORK 및 수작업시 기준) |
| C  | 부품외각           |   |
| D  | BGA 부품         |   |
| E  | 장착마크           | φ1mm  |



## 부품 간의 최소 간격

### TOP SIDE

#### QFP, SOJ IC, PLCC 전방

QFP, SOJ IC, PLCC PAD 간 및 VIA HOLE LAND 간의 간격은 1.5~2.0mm 이상이 되어야 한다.

#### CHIP 부품 전방

소형 CHIP 부품간의 간격은 배치 방향에 따라 다르며 0.9mm~1.3mm 이상이 되어야 한다.

#### 전해 CAP 등 이형 부품

전해 CAP 등의 이형부품 PAD 간 간격은 1.5~1.3mm 이상 되어야 한다.

### BOTTOM SIDE

#### SOJ IC 및 소형 CHIP 부품

SOJ IC 및 소형 CHIP 부품 PAD 간 및 VIA HOLE LAND와의 간격은 0.9mm 이상 되어야 한다.

#### 전해 CAP등의 이형 부품

전해 CAP 등의 대형 CHIP 부품 PAD 간 및 LAND간 간격은 1.5mm 이상 되어야 한다.

## 부품배치

### SMD 부품 배치

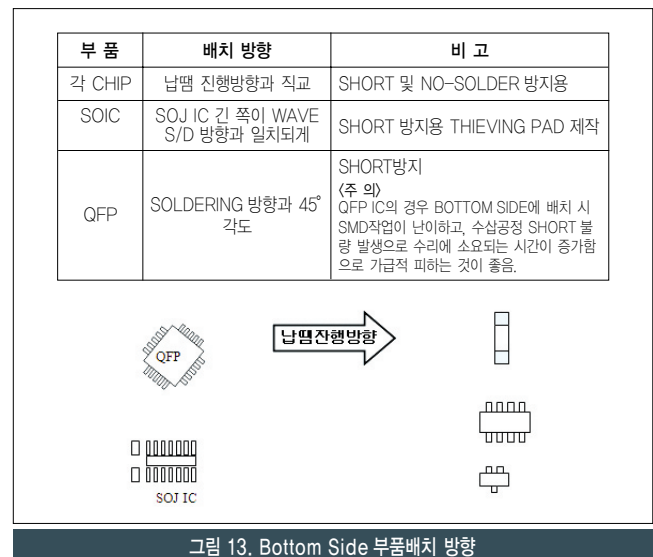
SMD 부품 배치는 가능한 TOP SIDE로 배치하는 것이 생산성 및 품질면을 고려 할 때 가장 이상적이다.

위 항목이 불가능 할 경우 (BOTTOM FLOW일 경우에 한함)

- 1) TOP SIDE : QFP, PLCC, SOJ IC 및 SIZE가 큰 부품
- 2) BOTTOM SIDE : 일반 각 CHIP

### BOTTOM SIDE 부품배치 방향

FLOW SOLDERING 시 SOLDERABILITY를 고려하여 그림 13과 같이 부품방향을 설정하여야 한다.



## VIA HOLE 처리

### VIA HOLE의 배치

VIA HOLE은 부품 밑에 1.0mm이하의 간격으로 배치 할 경우 SHORT 불량이 발생 할 수 있으므로 설계 시 고려하여야 한다.

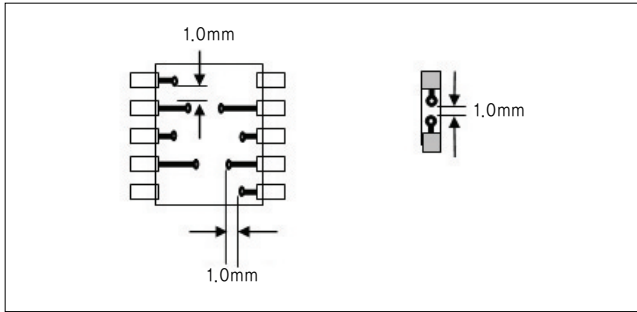


그림 14. Via Hole 설계 고려사항

### SHORT 방지

설계의 조건상 여의치 않을 경우에는 SOLDER MASK 또는 SILKSCREEN으로 완전히 VIA HOLE를 막아야 한다.

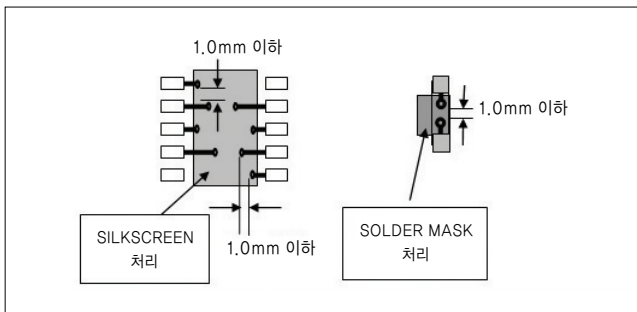


그림 15. Via Hole 설계 시 Short 방지 고려사항

### ICT를 고려한 설계

한 종의 PCB ASS'Y가 매 LOT마다 100매 이상이고 연속적인 생산이 예상되는 UNIT에 대하여는 ICT(IN-CIRCUIT-TEST)를 감안하여 설계하여야 한다.

### TEST POINT

TEST POINT는 PCB와 BOARD TEST 장비의 TEST PROBE가 접촉되는 부분을 말하며 회로상의 전 NODE에 대해 한 개 이상 TEST POINT가 있어야 한다.

#### NODE에 DISCRETE 부품이 연결되어있는 경우

DISCRETE 부품의 LEAD에 TEST POINT를 세우므로 별도의 TEST POINT가 필요 없다.

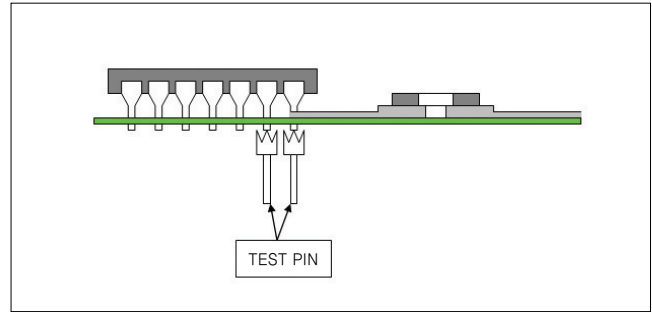


그림 16. Node에 Discrete 부품이 연결되어 있는 경우의 Test Point

#### NODE에 SMD TYPE 부품만 연결되어있는 경우

NODE에 PTH 또는 SOLDER에 TEST PAD를 별도로 만들어야 한다.

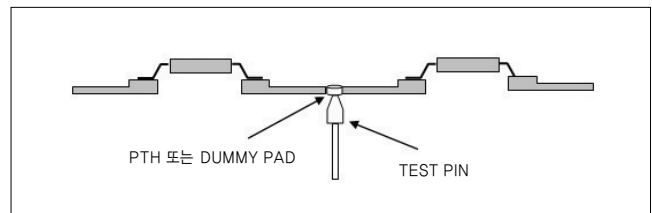


그림 17. Node에 SMD 타입 부품만 연결된 경우의 Test Pin

TEST POINT가 없어 SMD부품에 직접 TEST PIN을 접촉시킬 경우 부품의 CRACK 등의 DAMAGE가 유발되므로 PTH 또는 DUMMY PAD를 설정해 주어야 한다.

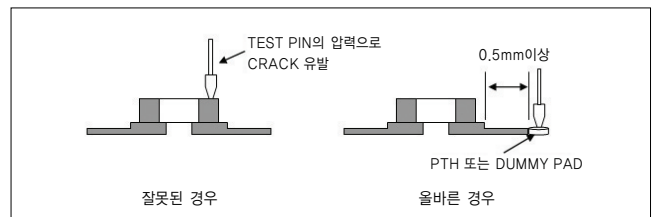


그림 18. Crack 유발 방지의 PTH 또는 Dummy PAD 설계

#### TEST POINT용 PTH 또는 DUMMY PAD의 규격

1) TEST POINT는 PCB의 한쪽면(통상 SOLDER SIDE)에만 만드는 것이 원칙이다.

부득이한 경우에는 양면에 만드는데 이 경우 TEST FIXTURE COST가 100만원 이상 더 비싸지며, 제작기간도 두

배 이상 소요되므로 가능한 TEST POINT를 설정하지 않도록 한다.

2) TEST POINT용 PTH 또는 DUMMY PAD의 SIZE는 그림 19에서 나타내고 있다.

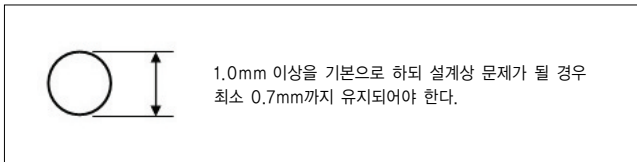


그림 19. Test Point용 PTH 또는 Dummy PAD의 사이즈

3) TEST POINT의 간격은 그림 20의 조건을 갖출 것  
가. TEST POINT는 PCB EDGE로부터 5mm 이상 이격 시켜야 하며 PCB의 큰 구멍(TOOLING HOLE 등)으로부터 5mm 이상 이격 시켜야 한다.

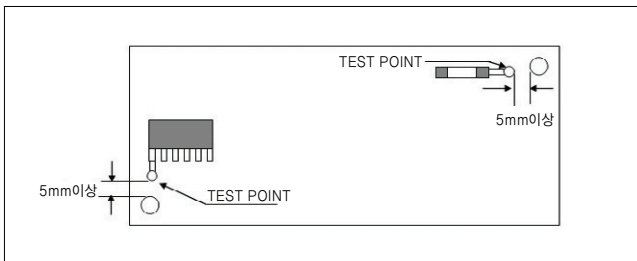


그림 20. TEST POINT의 간격

나. TEST POINT용 PTH 또는 DUMMY PAD의 간격을 그림 21에서 보여주고 있다.

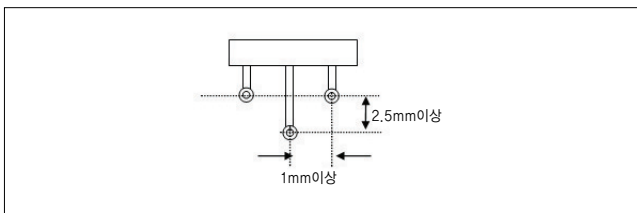


그림 21. Test Point용 PTH 또는 Dummy PAD 간격

※ TEST PIN 간 0.9mm 이상의 간격을 확보하지 않으면 TEST PIN간 SHORT 가능성으로 TEST 불가.

다. TEST POINT용 PROBE별 치수

- (1) 100mil PROBE - 2.54mm
- (2) 75 mil PROBE - 2.00mm
- (3) 50 mil PROBE - 1.30mm

PROBE 치수가 클수록 PIN 접촉 신뢰도가 향상되므로 가능한 간격이 클수록 좋다.

라) COMPONENT SIDE에 TEST POINT를 설정해야 할 경우

TEST POINT와 높이가 높은 인접 부품간의 거리는 5mm 이상 떨어져야 한다.

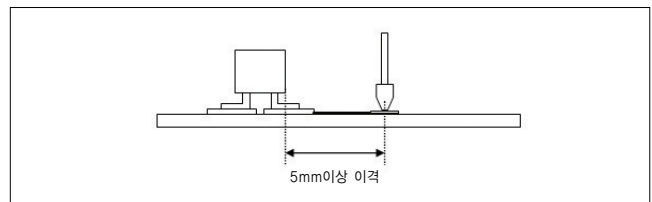


그림 22. 부품에 Test Point를 설정할 경우

4) TEST POINT와 나머지 VIA HOLE

TEST POINT로 DESIGN 된 VIA HOLE은 납땜이 되게 하여야 하고 나머지 VIA HOLE은 납땜이 되게 하거나 SOLDER RESISTOR를 도포하여 완전히 메워 VACUUM의 공기가 새지 않도록 해 주어야 한다.

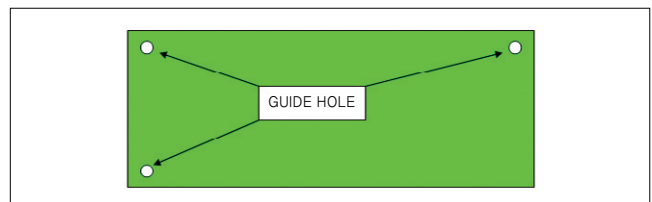


그림 23. Test Point용 Guide hole

5) GUIDE HOLE

그림 23에서는 GUIDE HOLE을 보여주고 있다. 그림 23에서 보는 바와 같이 대각선 방향으로 3개 이상 위치해야 하며, 납땜 시 납이 묻지 않도록 NON-PLATED THROUGH HOLE 이 되어야 한다. S