

Lab. Manutenção e Montagem de Computadores Barramento PCI

Prof. Dr. Wendell Fioravante da Silva Diniz
3º Ano - Informática Integrado
Centro Federal de Educação Tecnológica de Minas Gerais
Unidade Varginha

Recapitulando...

- As estruturas de interconexão levam os sinais elétricos de um componente ao outro no computador
- As direções em que a comunicação segue são quatro: processador - memória, memória-processador, E/S-processador, processador-E/S
- Dispositivos também podem usar canais de DMA (Direct Memory Access)
- Os barramentos são as estruturas de interconexão mais usadas
- Os barramentos podem ser estruturados em uma hierarquia
- O acesso ao barramento é controlado por um sistema chamado árbitro

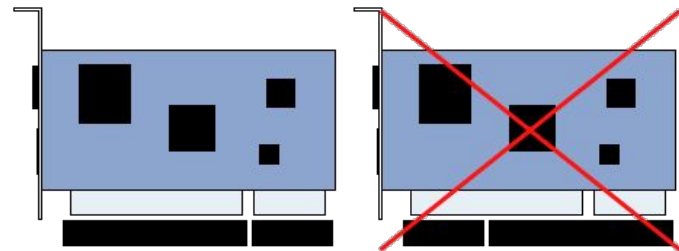
Barramento PCI

- Peripheral Component Interconnect
- Um dos mais versáteis barramentos existentes
- Criado pela Intel a partir de 1990 para uso com o *Pentium*
- Projetado para atender sistemas mono e multi-processadores
- Patentes lançadas em domínio público, acarretando ampla adoção
- PCI Special Interest Group - grupo formado para manter e desenvolver a tecnologia e especificações

Características

- Quanto ao tipo
 - Multiplexado
- Quanto à sincronização
 - Síncrono
- Quanto ao método de arbitração
 - Centralizado e síncrono
- Frequência de operação: 66 MHz
- Taxa de transferência bruta: 528 MB/s (4,224 Gbps)
- 64 vias

Conectores



- 32 vias, 3.3V



- 32 vias, 5V



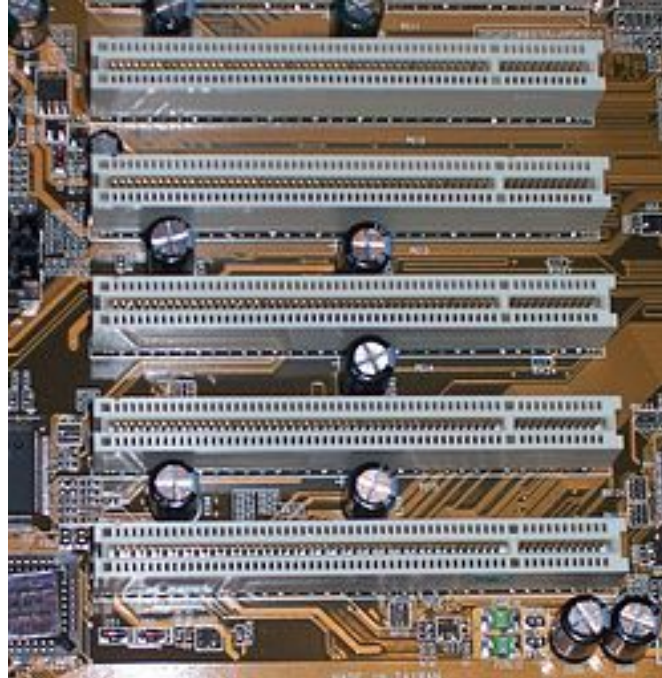
- 64 vias, 3.3V



- 64 vias, 5V



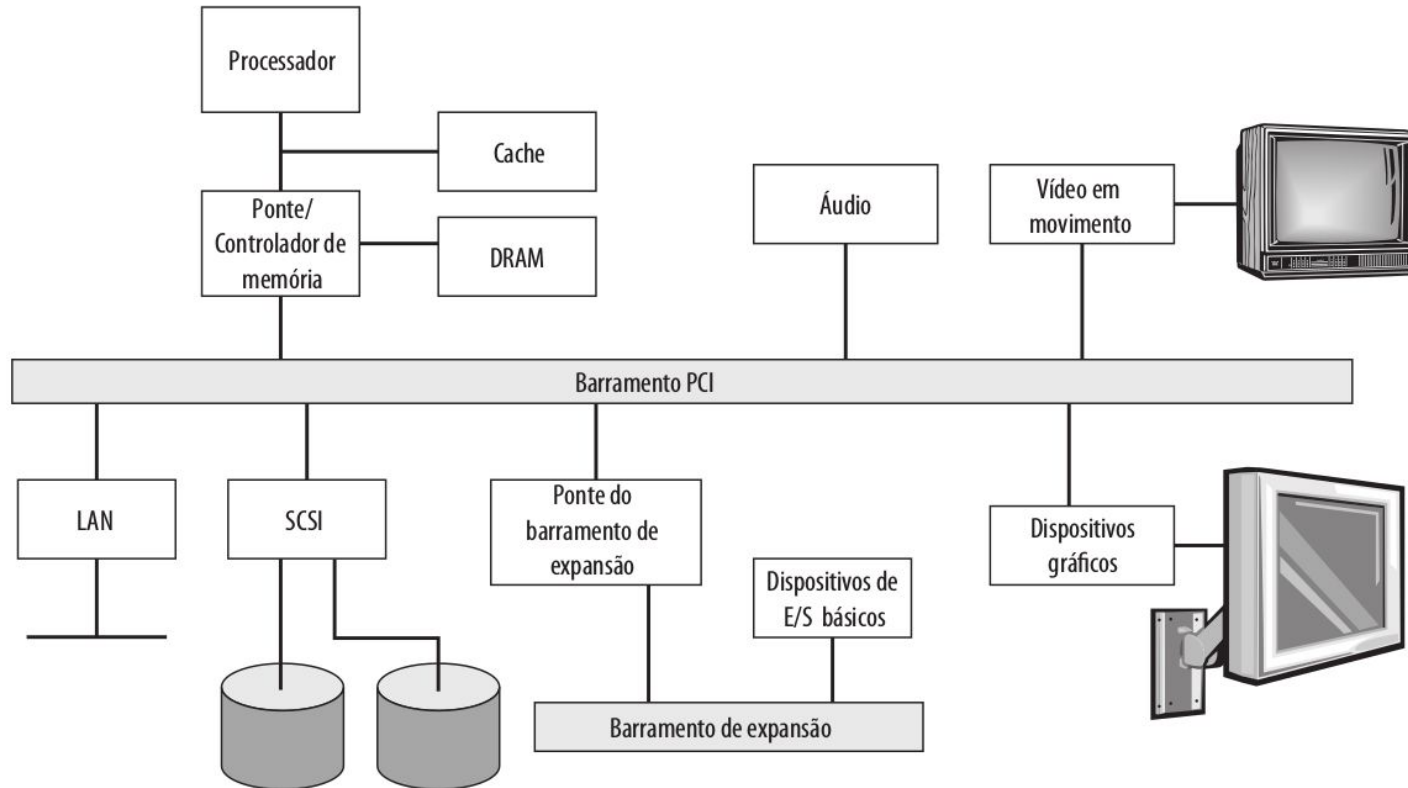
Conectores



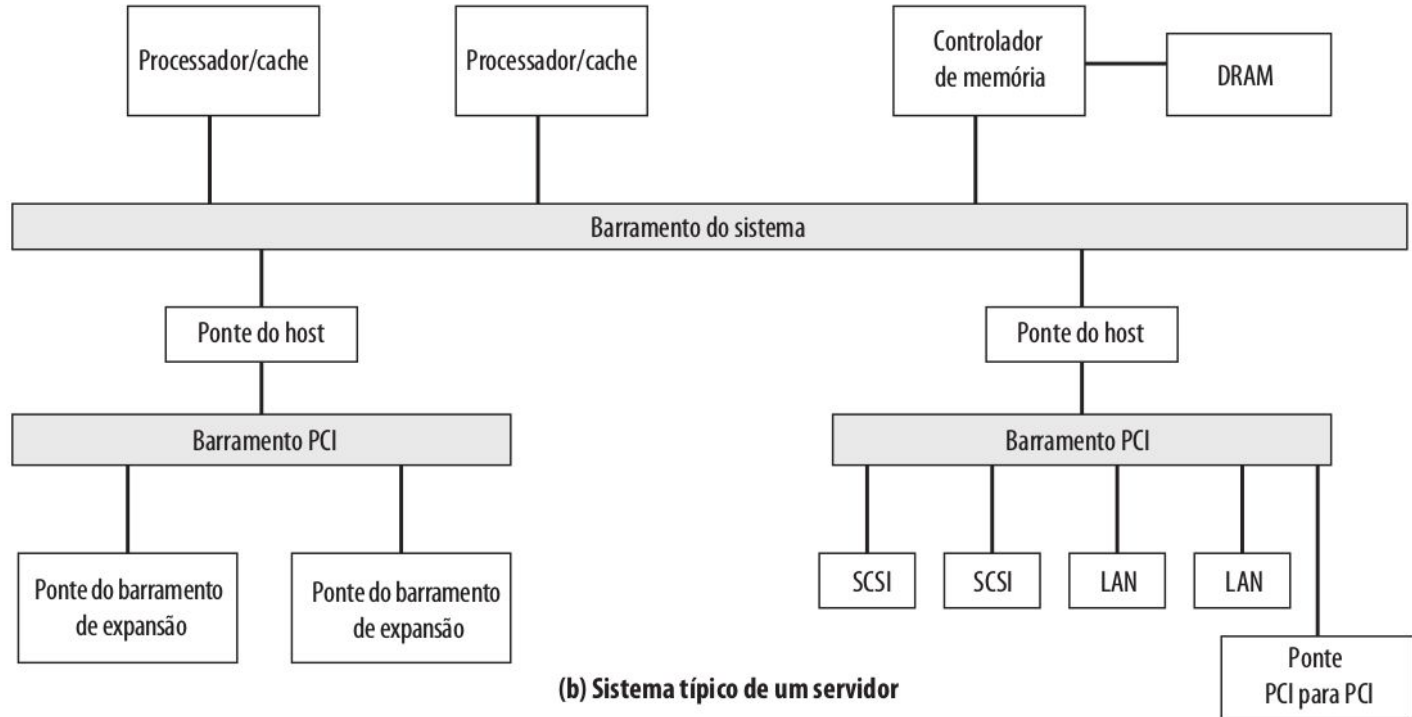
Arquitetura

- Disposto em mezanino, ou seja, liga-se ao barramento de sistema através de uma ponte
- A ponte está combinada a um controlador DRAM, possibilitando melhor acoplamento com o processador e altas taxas de transferência
- A ponte também atua como buffer, garantindo a independência do barramento, já que a taxa de transferência do barramento pode ser diferente da capacidade de E/S do processador

Estrutura em sistema monoprocessoado



Estrutura em sistema multiprocessado



Pinos obrigatórios

- **pinos do sistema:** incluem os pinos de clock e reset.
- **pinos de endereços e de dados:** incluem 32 linhas que são multiplexadas no tempo para endereços e dados. As outras linhas nesse grupo são usadas para interpretar e validar as linhas de sinal que carregam os endereços e dados.
- **pinos de controle da interface:** controlam a temporização de transações e oferecem coordenação entre iniciadores e destinos.
- **pinos de arbitração:** diferente das outras linhas de sinal PCI, estas não são linhas compartilhadas. Em vez disso, cada mestre PCI tem seu próprio par de linhas de arbitração que a conectam diretamente ao árbitro do barramento PCI.
- **pinos de erros:** usado para indicar erros de paridade e outros.

Pinos opcionais

- **pinos de interrupção:** estes são disponíveis para dispositivos PCI que precisam gerar solicitações de serviço (interrupções). Assim como os pinos de arbitração, estes não são linhas compartilhadas.
- **pinos de suporte à cache:** esses pinos são necessários para dar suporte a uma memória no PCI que possa ser armazenada em uma memória cache do processador ou de outro dispositivo.
- **pinos de extensão de barramento de 64 bits:** incluem 32 linhas que são multiplexadas no tempo para endereços e dados, e que são combinadas com linhas de endereço/dados obrigatórias para formar um barramento de endereço/dados de 64 bits. Outras linhas nesse grupo são usadas para interpretar e validar as linhas de sinal que transportam endereços e dados. Finalmente, existem duas linhas que ativam dois dispositivos PCI para combinar com o uso da capacidade de 64 bits.
- **JTAG/pinos de testes:** essas linhas de sinal admitem procedimentos de teste definidos no padrão IEEE 1149.1.

Transferência de dados

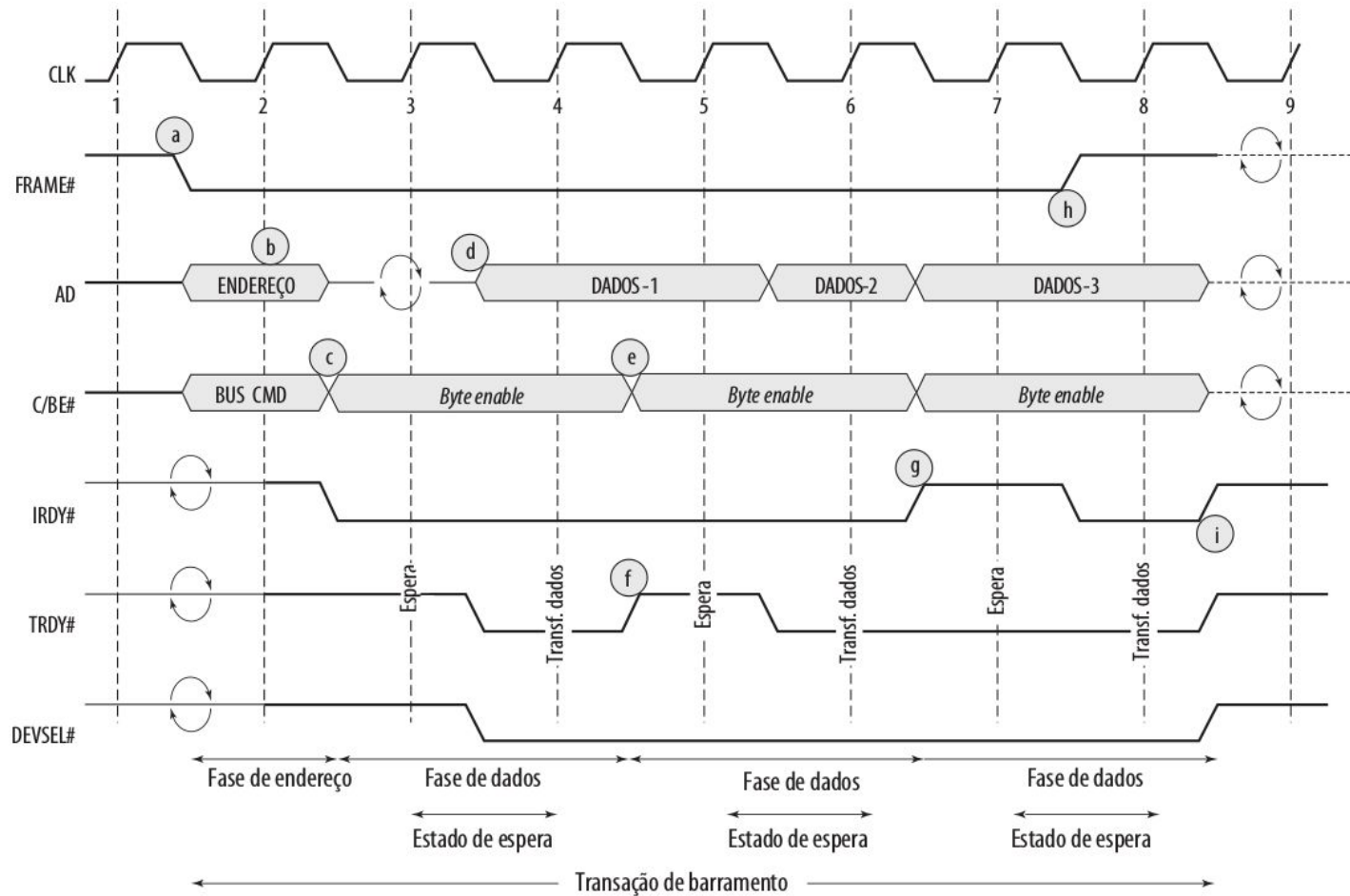
- As transferências de dados no barramento PCI são transações iniciadas por um dispositivo mestre
- Quando um mestre assume o controle, ele determina o tipo de transação (leitura ou escrita)
- As transações são divididas em uma fase de endereço e uma ou mais fases de dados

Transferência de dados

- Exemplo de transação de leitura:
 - a. O mestre inicia a transação assim que recebe o controle do barramento. Ele coloca nos pinos de endereço e dados o endereço inicial e envia o comando de leitura
 - b. No início do próximo ciclo de clock, o dispositivo destino reconhece seu endereço nas linhas de endereço e dados
 - c. O iniciador para de enviar dados. Um ciclo de *turnaround* é iniciado nas linhas compartilhadas, preparando o barramento para ser usado pelo dispositivo destino. A remoção dos dados do barramento marca o início da próxima fase. O destino, após ter reconhecido seu endereço, sinaliza estar pronto para transferir
 - d. O destino selecionado sinaliza ter reconhecido a solicitação e estar pronto para transferir. Ele coloca seus dados no barramento e envia um sinal indicando a presença de dados válidos no barramento
 - e. O iniciador passa a ler os dados, mudando as linhas de controle conforme o necessário

Transferência de dados

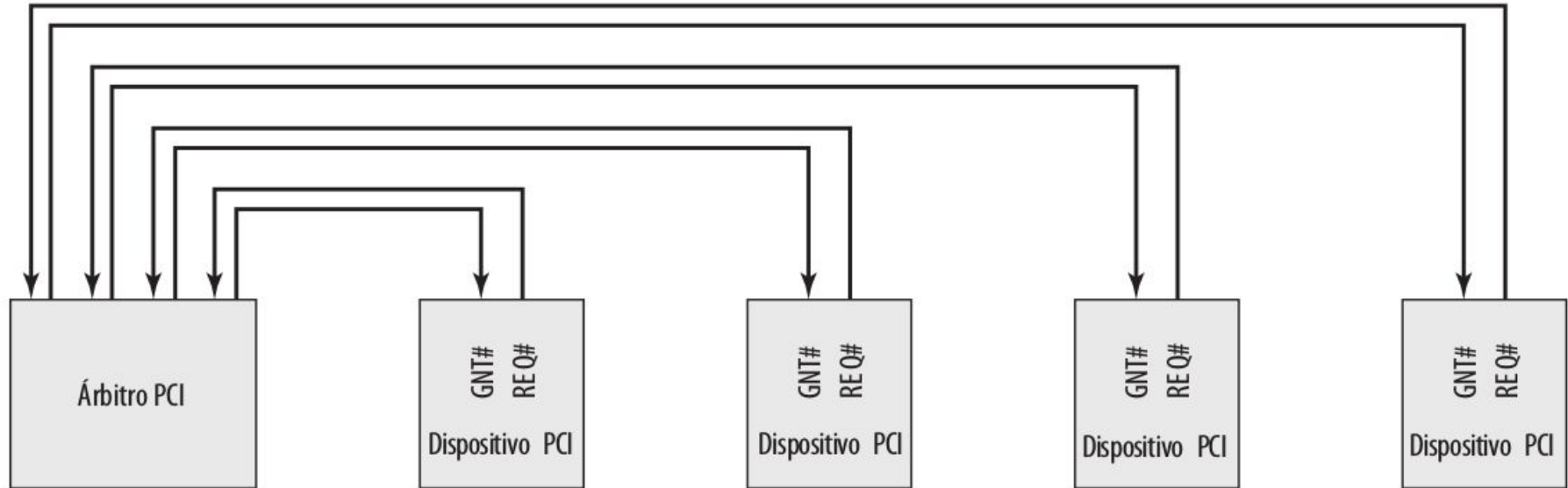
- Exemplo de transação de leitura:
 - f. Os dados são transferidos em blocos. O iniciador e o destino usam as linhas de controle para sinalizar seu estado, garantindo que os dados serão devidamente trocados
 - g. O iniciador sabe a quantidade de transferências que solicitou, portanto, no momento da transferência do último bloco de dados, ele sinaliza para que o destino saiba que deve encerrar a transmissão após a próxima transferência
 - h. O iniciador desativa os sinais de controle que usou e sinaliza ao árbitro que o barramento está livre



Modelo de arbitração

- O PCI usa um modelo de arbitração centralizado síncrono
- Cada dispositivo possui uma linha de requisição (REQ) e uma linha de concessão (GRT) ligadas diretamente ao árbitro
- A especificação não dita um algoritmo em particular para a seleção dos pedidos. Pode-se usar FIFO, round-robin, ou um esquema de prioridades
- O árbitro concede o controle ao dispositivo mestre, que passa então a controlar o barramento até terminar sua transação
- Por usar linhas dedicadas, a arbitração pode ocorrer enquanto uma transação ainda está em andamento, aproveitando ao máximo os ciclos. Esta estratégia é conhecida por *arbitração oculta*

Modelo de arbitração



Listar dispositivos PCI

- Linux:
 - lspci
- Windows:
 - Gerenciador de dispositivos
 - Ferramentas de terceiros

Arquivo Editar Ver Pesquisar Terminal Ajuda

wendell@Lenovo-ideapad-320-wfsd:~\$ lspci

00:00.0 Host bridge: Intel Corporation Device 5904 (rev 02)

00:02.0 VGA compatible controller: Intel Corporation Device 5916 (rev 02)

00:14.0 USB controller: Intel Corporation Sunrise Point-LP USB 3.0 xHCI Controller (rev 21)

00:14.2 Signal processing controller: Intel Corporation Sunrise Point-LP Thermal subsystem (rev 21)

00:15.0 Signal processing controller: Intel Corporation Sunrise Point-LP Serial IO I2C Controller (rev 21)

00:16.0 Communication controller: Intel Corporation Sunrise Point-LP CSME HECI (rev 21)

00:17.0 SATA controller: Intel Corporation Sunrise Point-LP SATA Controller [AHCI mode] (rev 21)

00:1c.0 PCI bridge: Intel Corporation Device 9d10 (rev f1)

00:1c.4 PCI bridge: Intel Corporation Sunrise Point-LP PCI Express Root Port (rev f1)

00:1c.5 PCI bridge: Intel Corporation Sunrise Point-LP PCI Express Root Port (rev f1)

00:1f.0 ISA bridge: Intel Corporation Device 9d4e (rev 21)

00:1f.2 Memory controller: Intel Corporation Sunrise Point-LP PMC (rev 21)


00:1f.3 Audio device: Intel Corporation Device 9d71 (rev 21)

00:1f.4 SMBus: Intel Corporation Sunrise Point-LP SMBus (rev 21)

01:00.0 3D controller: NVIDIA Corporation GM108M [GeForce 940MX] (rev a2)

02:00.0 Ethernet controller: Realtek Semiconductor Co., Ltd. RTL8111/8168/8411 PCI Express Gigabit Ethernet Controller (rev 10)

03:00.0 Network controller: Qualcomm Atheros Device 0042 (rev 31)

wendell@Lenovo-ideapad-320-wfsd:~\$ 

Arquivo Editar Ver Pesquisar Terminal Ajuda

```
xpress Gigabit Ethernet Controller (rev 10)
03:00.0 Network controller: Qualcomm Atheros Device 0042 (rev 31)
wendell@Lenovo-ideapad-320-wfsd:~$ lspci -v
00:00.0 Host bridge: Intel Corporation Device 5904 (rev 02)
    Subsystem: Lenovo Device 3817
    Flags: bus master, fast devsel, latency 0
    Capabilities: <access denied>

00:02.0 VGA compatible controller: Intel Corporation Device 5916 (rev 02) (prog-if 00 [VGA controller])
    Subsystem: Lenovo Device 38e2
    Flags: bus master, fast devsel, latency 0, IRQ 280
    Memory at 92000000 (64-bit, non-prefetchable) [size=16M]
    Memory at a0000000 (64-bit, prefetchable) [size=256M]
    I/O ports at 5000 [size=64]
    [virtual] Expansion ROM at 000c0000 [disabled] [size=128K]
    Capabilities: <access denied>
    Kernel driver in use: i915
    Kernel modules: i915

00:14.0 USB controller: Intel Corporation Sunrise Point-LP USB 3.0 xHCI Controller (rev 21) (prog-if 30 [XHCI])
    Subsystem: Lenovo Sunrise Point-LP USB 3.0 xHCI Controller
    Flags: bus master, medium devsel, latency 0, IRQ 125
    Memory at 94300000 (64-bit, non-prefetchable) [size=64K]
    Capabilities: <access denied>
    Kernel driver in use: xhci_hcd
```

Trabalho

- Pesquisar sobre os barramentos ISA, AGP, PCI-Express, USB
- Montar uma aula, similar a esta, com duração de 20 a 30 minutos. Deve conter:
 - Breve histórico
 - Características (tipo, sincronização, método de arbitração, frequência de operação e taxa de transferência)
 - Arquitetura
 - Processo de transferência de dados
 - Modelo de arbitração

Trabalho

- Apresentar
- Temas e ordem de apresentação definidos por sorteio
- Apresentações dias 18 e 25