

# FPGA FINAL PROJECT REPORT

## 1. Algorithm

演算法分成 2 個部分(1) initial placement 與(2) Simulated annealing

### (1) Initial placement

此部分很單純，將 flip flop 與 LUT 依照編號順序放入 CLB 之中，從(1,1)開始放入每次放各兩個 flip flop 與 LUT，接著放(1,2)以此類推，最終放到沒有剩餘的 flip flop 與 LUT 為止。

### (2) Simulated annealing

採用 Fast simulated annealing，SA 的 neighborhood structure 有下列兩種

(a) 將一個 flip flop 與另一個 flip flop 或一個 LUT 與另一個 LUT 做交換

(b) 將一個 flip flop 或 LUT 從原本的 CLB 搬到另一個有空位的 CLB 之中

演算法的流程可以參照 Table.1。SA 的 cost function 為當前 placement 的 HPWL 乘上一個 normalization parameter  $\alpha$ ，使 cost 越接近最佳時越靠近 1。SA 中的溫度變化分成三個階段，其中我們將參數定為  $P = 0.9$ ,  $c = 10$ ,  $k = 7$ 。

$$T_r = \begin{cases} \frac{\Delta avg}{\ln P} & r = 1 \\ \frac{T_1 \langle \Delta_{cost} \rangle}{rc} & 2 \leq r \leq k \\ \frac{T_1 \langle \Delta_{cost} \rangle}{r} & r > k \end{cases}$$

$\Delta avg$ : Average uphill cost,  $P$ : Initial acceptance rate,  $\langle \Delta_{cost} \rangle$ : Average cost change for current Temperature,  $r$ : Number of iterations,  $c, k$ : User-specified parameters

Table1.

Input: an initial placement

Output: a placement with small HPWL

1. Started fast-SA
2.  $T \leftarrow$  Initial temperature
3. **do**
4.     Perturb the placement
5.     Calculate the cost and determine whether accept the new placement
6.     Update  $T$
7. **until** cooling down or converged

## 2. Result

	alu4_4	clma_4	diffeq_4	frisc_4	s38417_4	tseng_4
HPWL	9520	199481	13581	58647	151455	8694.5
Runtime(m)	25	25	25	25	25	25