

AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

Mikser I2S na FPGA

14 czerwca 2022

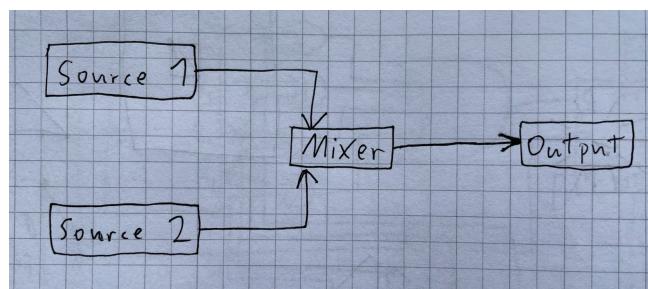
Jakub Karbowski

1. Wstęp

1.1. Cel projektu

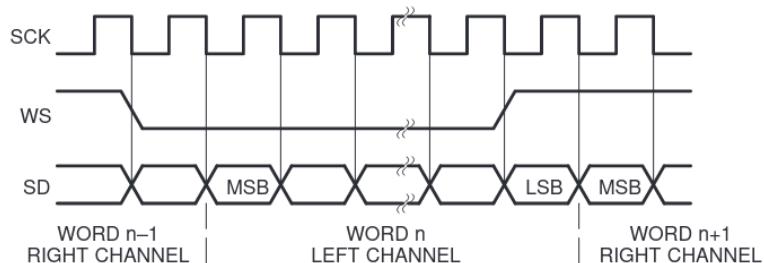
I2S to protokół do transmisji cyfrowego sygnału dźwiękowego. Pozwala na przesyłanie danych pomiędzy parą urządzeń nadajnik – odbiornik.

Celem projektu jest zaprojektować i zbudować urządzenie pozwalające na sumowanie dwóch niezależnie taktowanych sygnałów I2S i przesyłanie zsumowanego sygnału do innego urządzenia.

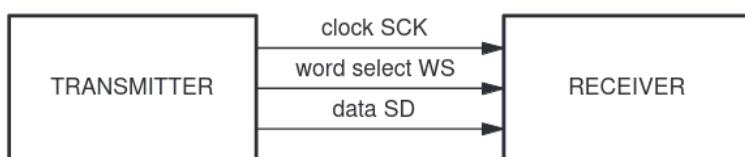


Rysunek 1.1: Rysunek poglądowy

1.2. Protokół I2S



Rysunek 1.2: Protokół I2S



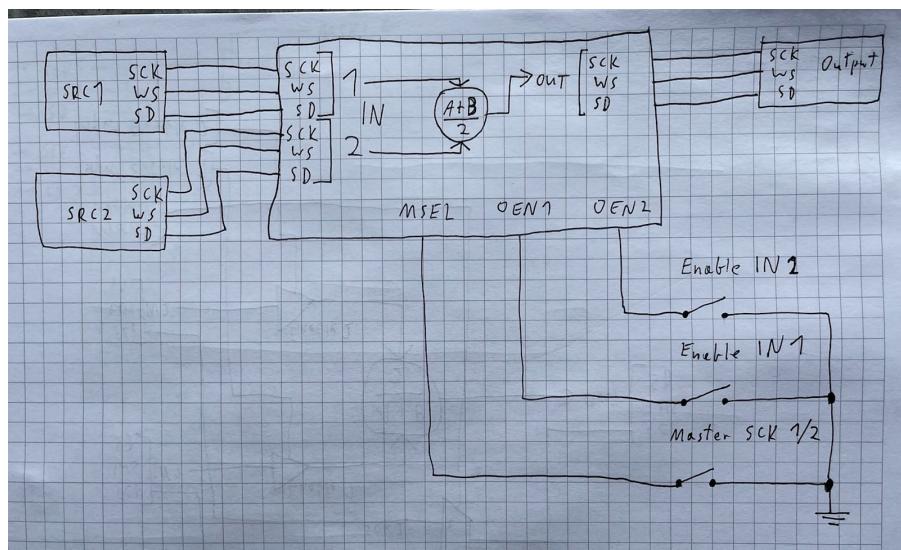
Rysunek 1.3: Połączenie urządzeń I2S

I2S to typowy synchroniczny protokół z dodatkowym sygnałem wyboru kanału lewy/prawy WS (word select). Słowa przesyłane są MSB-first i odczytywane są na narastającej krawędzi zegara SCK. Sygnał WS mówi, któremu kanałowi odpowiada aktualnie przesyłane słowo. Jego zmiana wyprzedza przesyłane słowo o jeden cykl SCK, aby ułatwić implementację odbiornika.

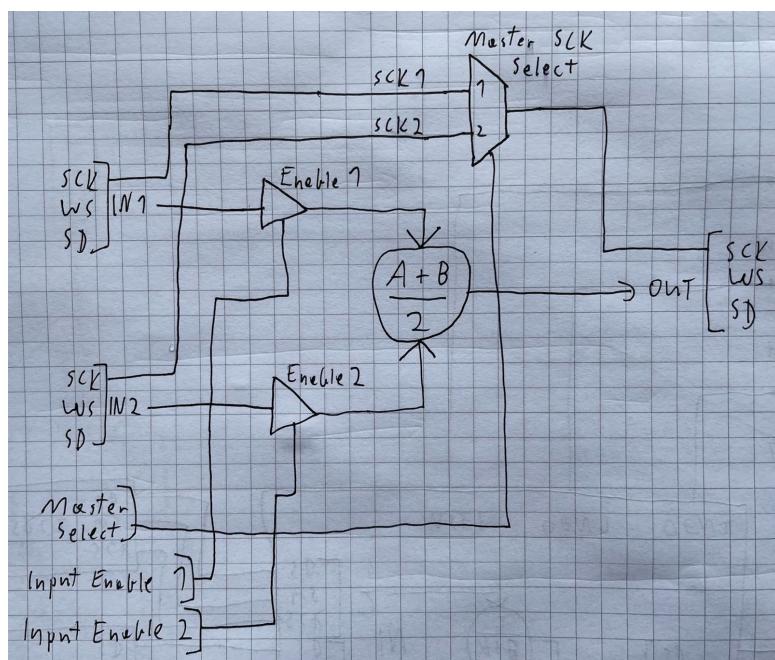
2. Projekt

Układ powinien składać się z:

1. dwóch niezależnie taktowanych wejść I2S,
2. wyjścia będącego znormalizowaną sumą wejść $\frac{A+B}{2}$,
3. przełącznika do wyboru wejścia nadzawanego, nadającego zegar SCK reszcie układu,
4. przełączników pozwalających na włączenie/wyłączenie poszczególnych wejść.



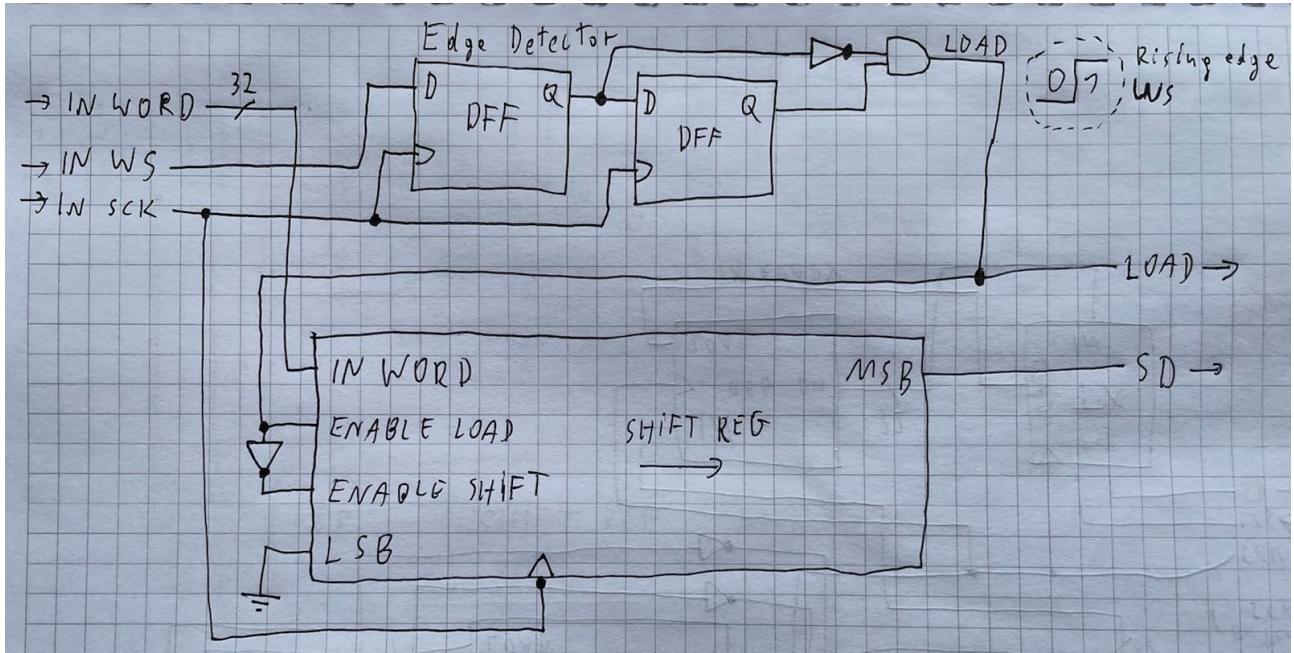
Rysunek 2.1: Schemat podłączenia urządzenia



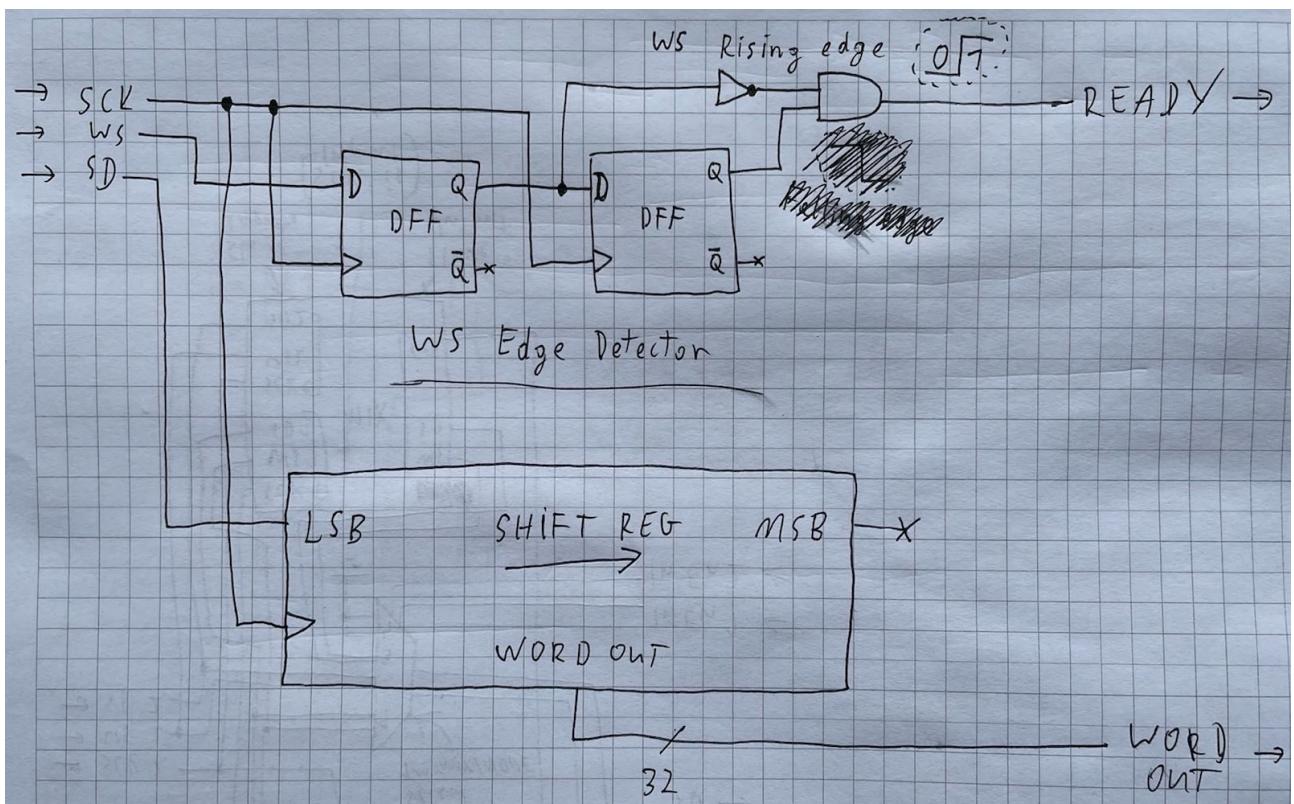
Rysunek 2.2: Rysunek poglądowy układu sumującego

2.1. Nadajnik i odbiornik

Układy nadajnika i odbiornika I2S składają się z detektora krawędzi WS oraz rejestru przesuwnego. W przypadku TX, rejestr wysuwa na wyjście SD kolejne bity. W RX zapamiętuje on kolejno odebrane bity. Detektor krawędzi WS służy do wykrycia granicy słów.



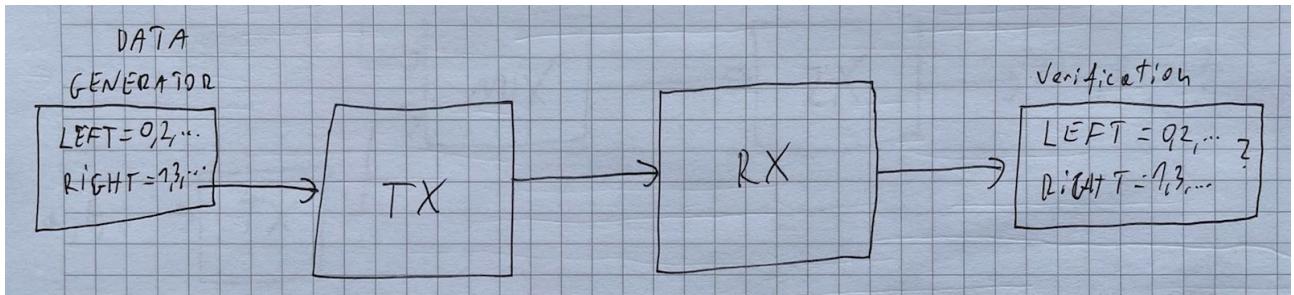
Rysunek 2.3: Schemat nadajnika



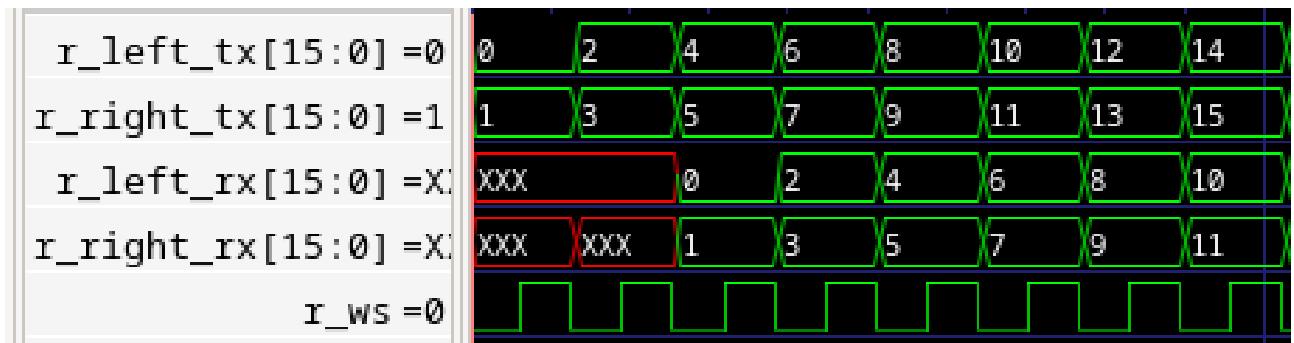
Rysunek 2.4: Schemat odbiornika

2.1.1. Testbench

Działanie TX/RX zostało sprawdzone w symulacji. Za pomocą TX wysyłane są liczby 0, 2, ... lewym kanałem oraz 1, 3, ... prawym. Na wyjściu oczekujemy tej samej sekwencji. Jak widać na analizatorze logicznym, występuje opóźnienie 2 słów (jedno słowo na wysłanie i drugie na odebranie).



Rysunek 2.5: Projekt układu testującego TX/RX

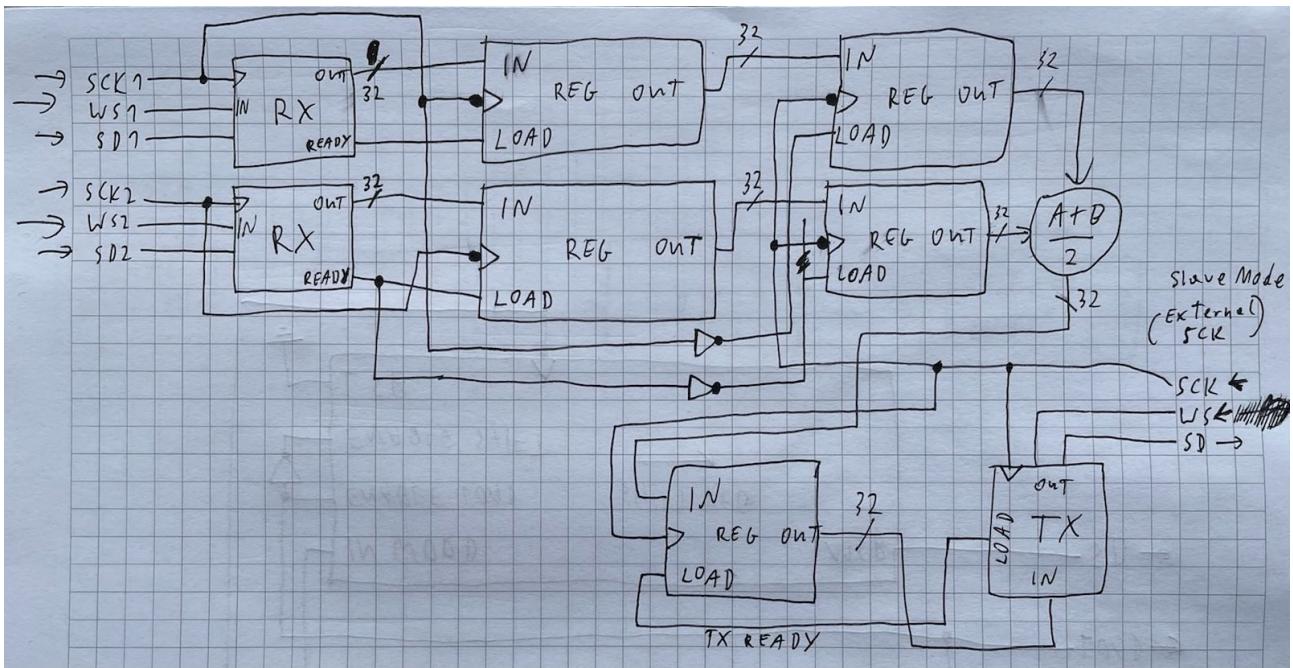


Rysunek 2.6: Analiza działania TX/RX

2.2. Mikser

Największym wyzwaniem w budowie miksera jest synchronizacja 2 niezależnych zegarów SCK. Mogą być one przesunięte w fazie oraz działać z lekko inną częstotliwością ($\pm 1\%$).

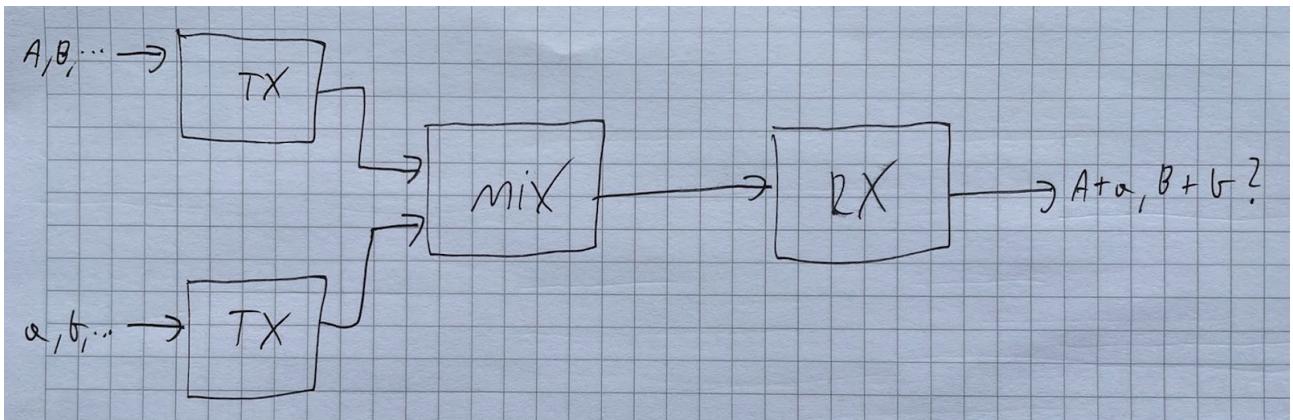
Pierwszym etapem jest zapamiętanie słowa w momencie jego odebrania (RX READY=1). Synchronizacja realizowana jest za pomocą pośrednich rejestrów synchronizujących dane z domen zegarów RX do zegara TX. Należy zagwarantować, że odczyt rejestrów RX nie nastąpi w momencie ich zmiany. W tym celu rejesty synchronizujące (taktowane z TX) ładowane są tylko jeśli RX READY=0. Gwarantuje to przynajmniej pół cyklu zegara na bezpieczny odczyt bez zmian rejestrów RX.



Rysunek 2.7: Schemat sumatora

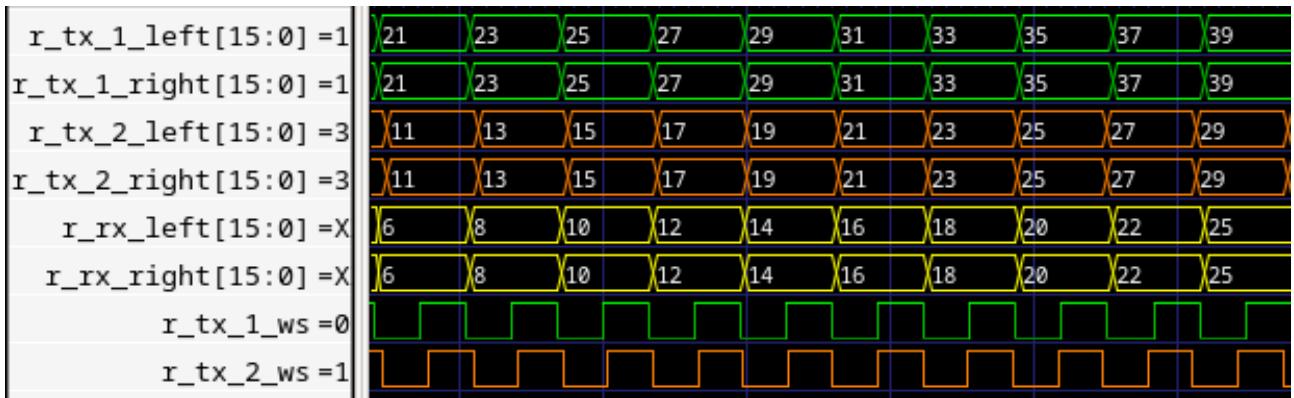
2.2.1. Testbench

Układ miksera sprawdzony został w symulacji. Wykorzystane zostały 2 niezależnie taktoowane układy TX. Ich zegary zostały ręcznie przesunięte w fazie, a ich częstotliwości zostały zmienione o 1%. Układ RX odbiera sygnał nadawany przez mikser.



Rysunek 2.8: Połączenie urządzeń I2S

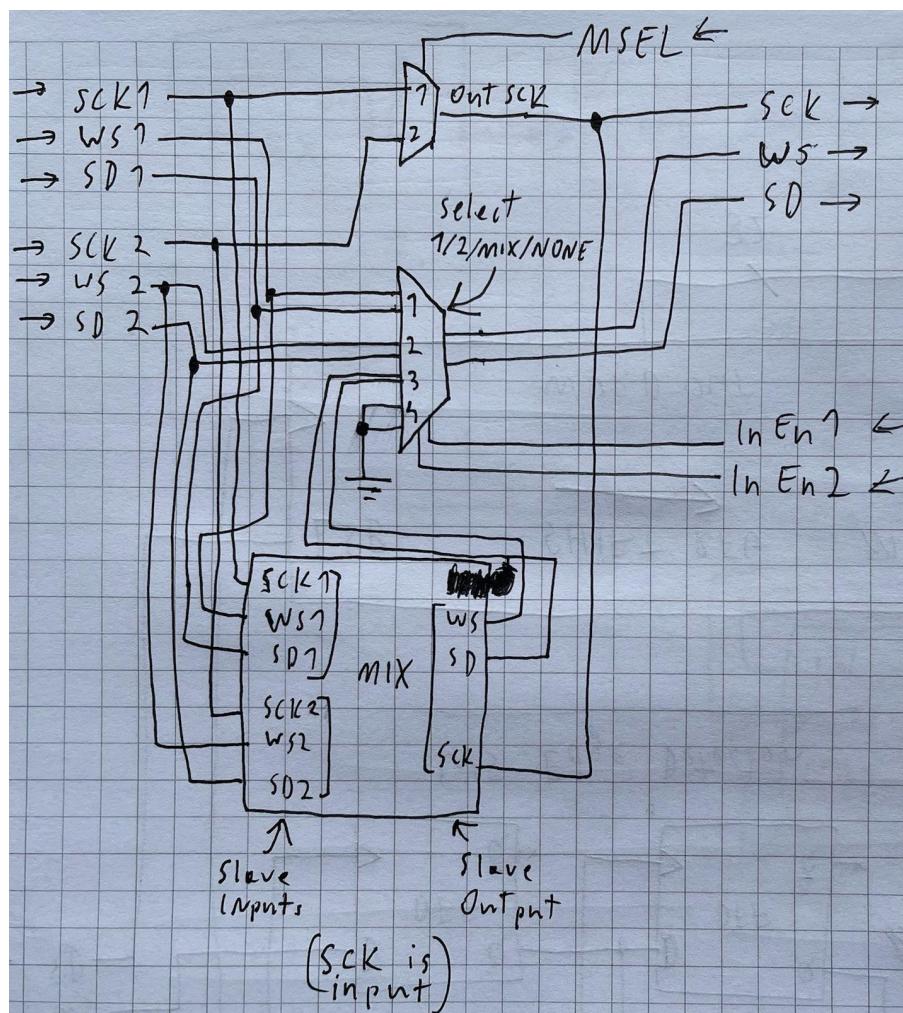
Analizator logiczny pokazuje poprawne działanie układu. Widać również niedostrojenie zegarów. Uchwycony został moment, kiedy sumowane sygnały „przeskakują” o jeden. Wynika to z różnic w częstotliwości wejść. Co pewien czas jedno wejście będzie wyprzedzało drugie. Powoduje to przeskok o jeden sample. Widać to na sekwencji wyjścia 18, 20, 22, **25** (zamiast 24).



Rysunek 2.9: Analiza działania sumatora

2.3. Układ „top”

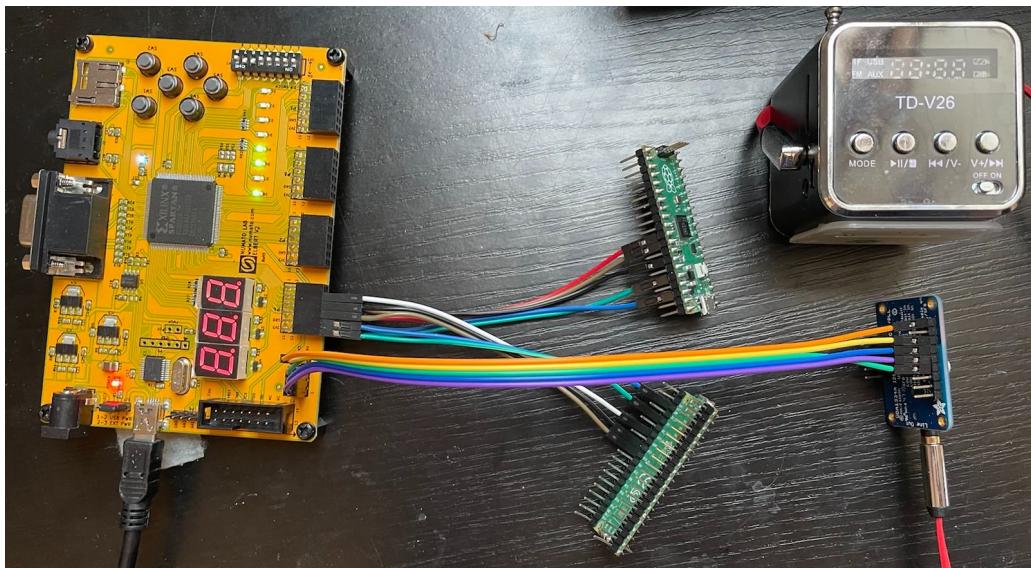
Wszystkie komponenty zostały połączone w jeden układ dodając funkcję wyboru SCK MASTER orazłączników poszczególnych wejść. W przypadku wyboru tylko jednego wejścia, układ miksera jest ignorowany i odpowiednie wejście jest bezpośrednio podłączane do wyjścia.



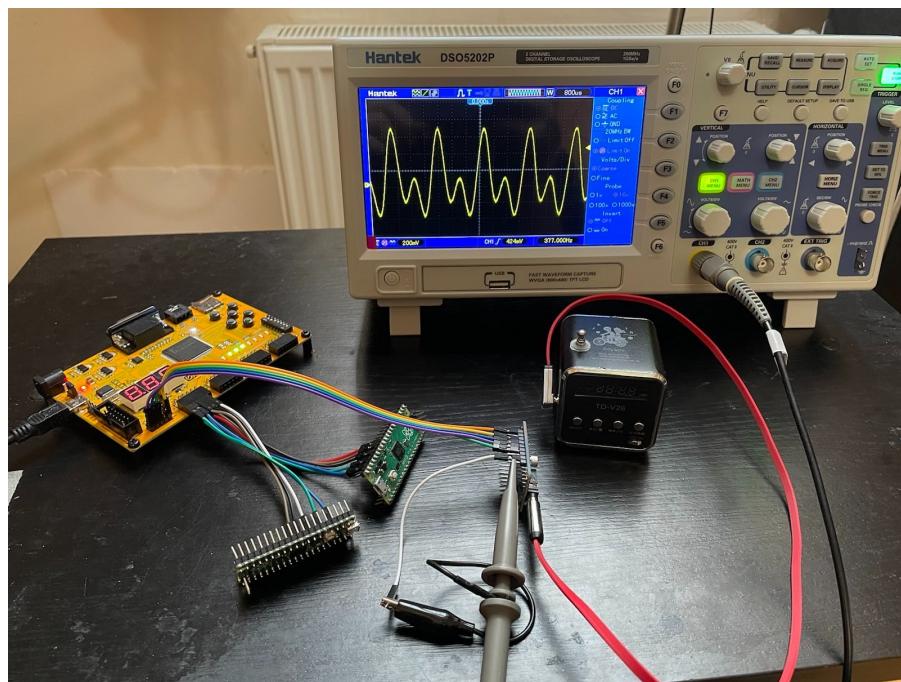
Rysunek 2.10: Schemat „top” urządzenia

3. Implementacja

Układ zaimplementowano na FPGA Xilinx Spartan 3A. Do testów wykorzystano dwa mikrokontrolery Raspberry Pi Pico jako generatory dźwięku I2S. Jedno generuje sinusoidę 375 Hz, a drugie 750 Hz. Do wyjścia podłączony jest konwerter cyforwo analogowy I2S UDA1334A. Wyjście analogowe podłączone jest do głośnika i oscyloskopu.



Rysunek 3.1: Zbudowany układ



Rysunek 3.2: Stanowisko do testów

3.1. Testy

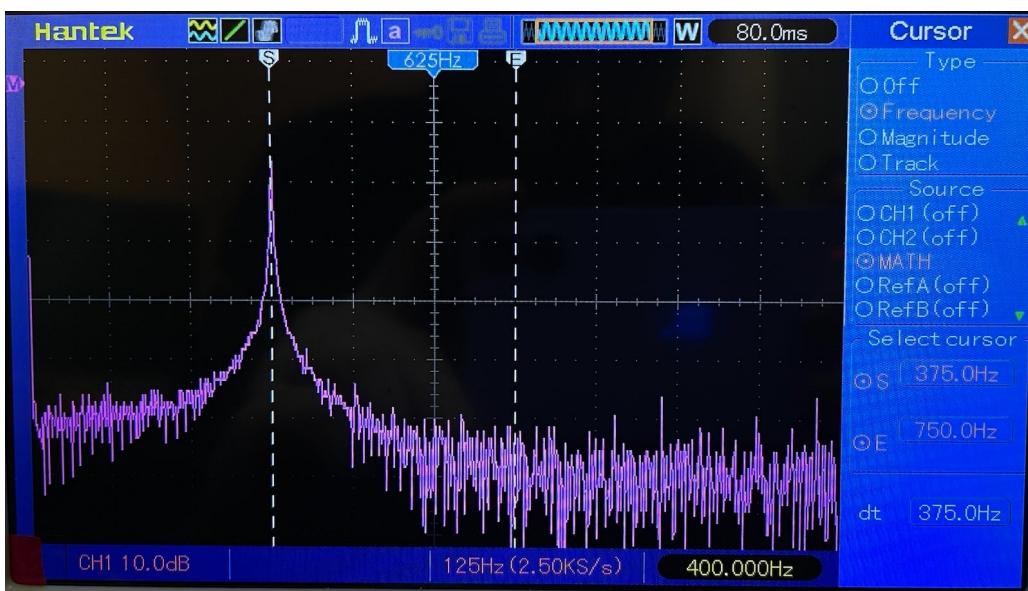
Sprawdzono działanie dla sygnałów sinusoidalnych 375 Hz i 750 Hz z częstotliwością próbkowania 48 kHz. Daje to częstotliwość SCK = 1.536 MHz.

3.1.1. Kanał 1

Pierwszy test to przekazywanie wejścia 1 (375 Hz).



Rysunek 3.3: Zmierzone wyjście układu (kanał 1)



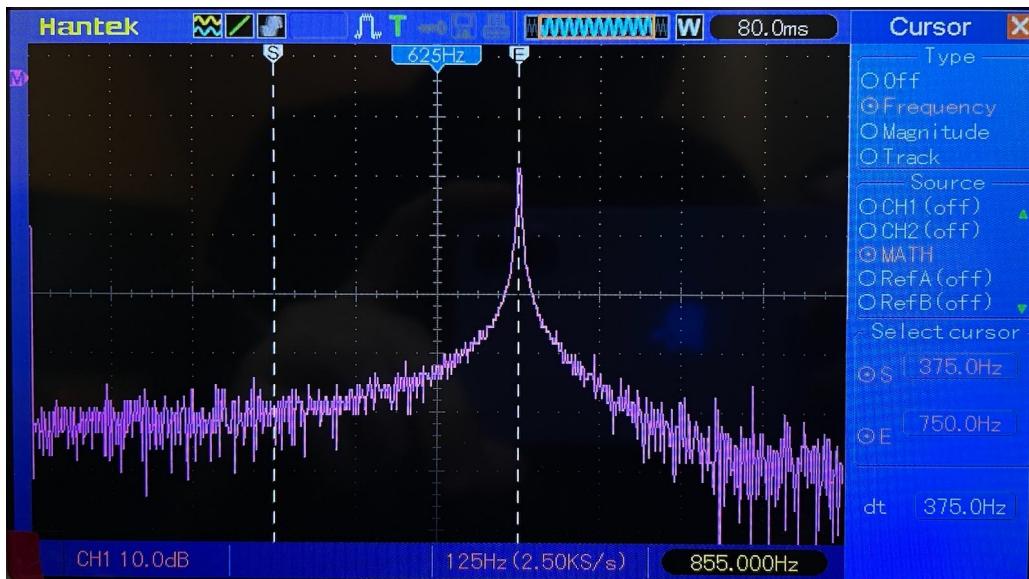
Rysunek 3.4: Analiza FFT sygnału (kanał 1)

3.1.2. Kanał 2

Następnie sprawdzono przekazywanie wejścia 2 (750 Hz).



Rysunek 3.5: Zmierzone wyjście układu (kanał 2)



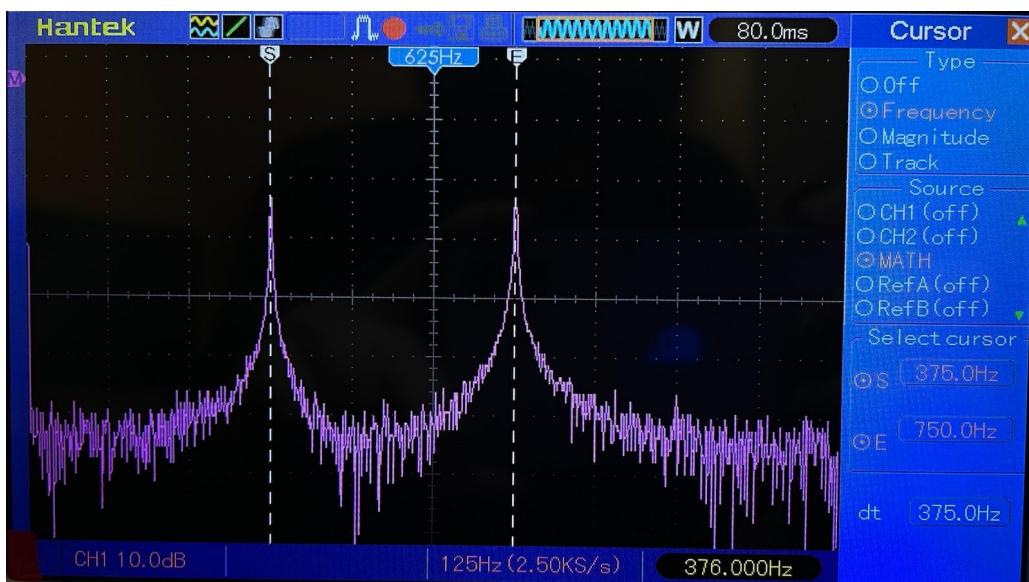
Rysunek 3.6: Analiza FFT sygnału (kanał 2)

3.1.3. Kanały 1 + 2

Na koniec, włączono funkcję mikowania. Widzimy poprawnie dodane i znormalizowane sygnały. FFT pokazuje 2 piki na 375 Hz i 750 Hz.



Rysunek 3.7: Zmierzone wyjście układu (kanały 1 + 2)



Rysunek 3.8: Analiza FFT sygnału (kanały 1 + 2)

4. Podsumowanie

Udało się zaprojektować i zbudować działający układ. Dzięki podziałowi na komponenty VHDL możliwe jest rozbudowanie układu o więcej wejść oraz bardziej skomplikowaną funkcję miksującą (na przykład nałożenie różnych efektów na dźwięk).

Możliwe jest zastosowanie układu do innych sygnałów niż dźwiękowe. W układach nadzorujących działanie procesów produkcyjnych (na przykład frezowanie), często stosuje się sumatory do sygnałów z czujników jak akcelerometry oraz siłomierze. Zbudowany układ może działać z bardzo dużymi częstotliwościami próbkowania, dzięki zastosowaniu FPGA.