

Traffic Light Controller

范真瑋

說明：

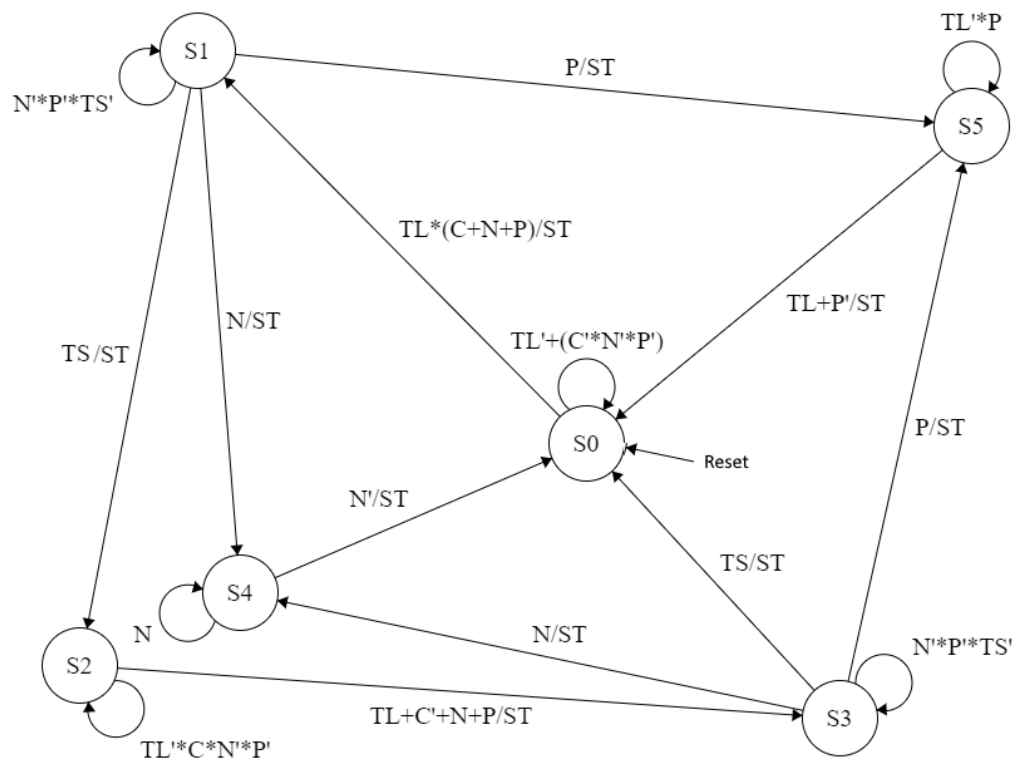
我設計的紅綠燈控制器是參考講義的 4 個狀態，再加上 2 個新狀態，夜間閃黃燈與行人號誌，總共 6 個狀態，input 增加偵測深夜時間與行人，並參考講義設計自己的倒數計時器。

States	Description
S0	高速道路綠燈(農村路紅燈)
S1	高速道路黃燈(農村路紅燈)
S2	農村路綠燈(高速道路紅燈)
S3	農村路黃燈(高速道路紅燈)
S4	夜間閃黃燈(全部閃黃燈)
S5	行人號誌(全部紅燈)

Input Signals	Description
reset	設為初始狀態
C	偵測農村路的交通工具
N	偵測深夜時間
P	偵測行人
TS	短時間時間到
TL	長時間時間到

Output Signals	Description
HG,HY,HR	高速道路綠/黃/紅燈
FG,FY,FR	農村路綠/黃/紅燈
ST	開始計時

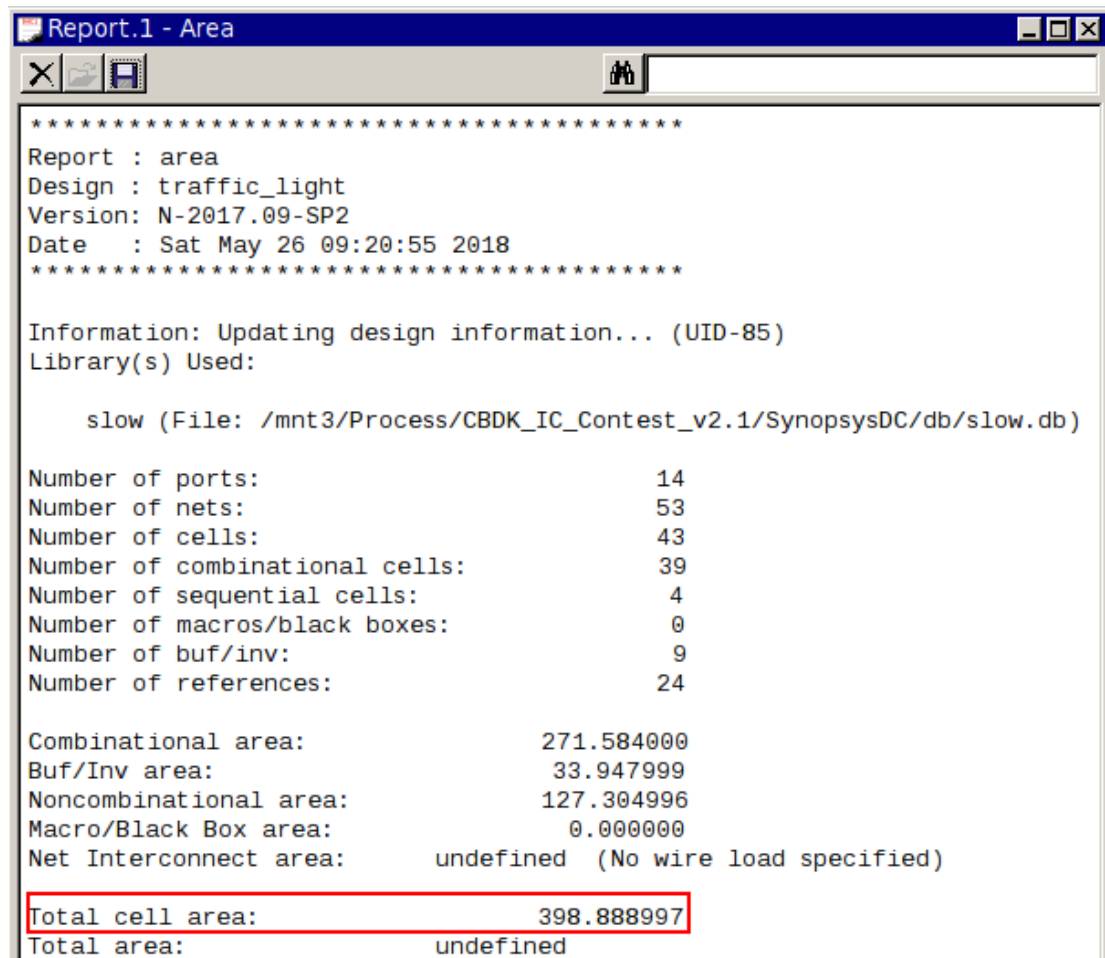
State Transition Diagram of the controller (mealy machine)



合成步驟：

1. 設置 synopsys_dc.setup
2. 使用指令 dv 調用 design compiler
3. 讀取檔案
4. 選擇 TOP module traffic_light
5. 加入 Buffer set_fix_multiple_port_nets -all -buffer_constants
6. 移除空接腳位 remove_unconnected_ports -blast_buses [get_cells * -hier]
7. 指定 clock
8. Design → Compile Design
9. 查看 Area、Timing、Power Report、Critical Path
10. 儲存電路(traffic_light_syn.v)與.sdf 檔案
write_sdf -version 1.0 -context verilog traffic_light.sdf
11. 修改 testbench
12. 在 traffic_light_syn.v 中加入與 testbench 相同的 `timescale
13. 輸入指令進行模擬 ncvverilog tb_traffic_light.v +access+r
14. 使用 SimVision 觀察波型

Gate count :



```
Report.1 - Area
*****
Report : area
Design : traffic_light
Version: N-2017.09-SP2
Date   : Sat May 26 09:20:55 2018
*****

Information: Updating design information... (UID-85)
Library(s) Used:

    slow (File: /mnt3/Process/CBDK_IC_Context_v2.1/SynopsysDC/db/slow.db)

Number of ports:                14
Number of nets:                 53
Number of cells:                43
Number of combinational cells:  39
Number of sequential cells:     4
Number of macros/black boxes:   0
Number of buf/inv:              9
Number of references:           24

Combinational area:             271.584000
Buf/Inv area:                   33.947999
Noncombinational area:          127.304996
Macro/Black Box area:           0.000000
Net Interconnect area:          undefined (No wire load specified)

Total cell area:                 398.888997
Total area:                      undefined
```

Gate count = reported area / area of a NAND2 gate

Area of a NAND2 gate is approximately 5 um x um for 0.13um technology

此設計的面積為 398.889 um x um，因此 gate count 約為 80。

Critical path delay :

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

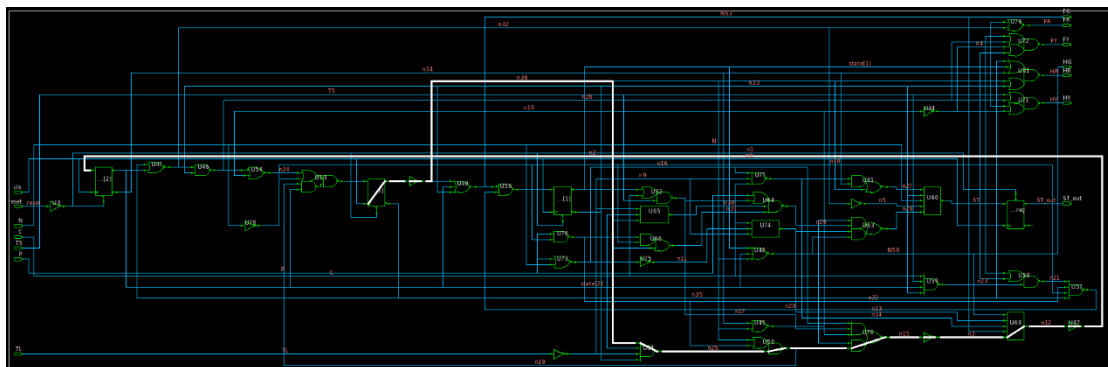
Startpoint: state_reg[0]
(rising edge-triggered flip-flop clocked by clk)
Endpoint: state_reg[2]
(rising edge-triggered flip-flop clocked by clk)
Path Group: clk
Path Type: max

Point	Incr	Path

clock clk (rise edge)	10.00	10.00
clock network delay (ideal)	0.00	10.00
state_reg[0]/CK (DFFRX1)	0.00	10.00 r
state_reg[0]/Q (DFFRX1)	0.50	10.50 f
U55/Y (CLKBUF3)	0.21	10.70 f
U51/Y (NAND4X1)	0.10	10.80 r
U50/Y (OAI21XL)	0.11	10.91 f
U70/Y (AOI32X1)	0.17	11.09 r
U69/Y (CLKINVX1)	0.07	11.16 f
U68/Y (AOI221XL)	0.20	11.36 r
U67/Y (CLKINVX1)	0.07	11.43 f
state_reg[2]/D (DFFRX1)	0.00	11.43 f
data arrival time		11.43
clock clk (rise edge)	30.00	30.00
clock network delay (ideal)	0.00	30.00
state_reg[2]/CK (DFFRX1)	0.00	30.00 r
library setup time	-0.21	29.79
data required time		29.79

data required time		29.79
data arrival time		-11.43

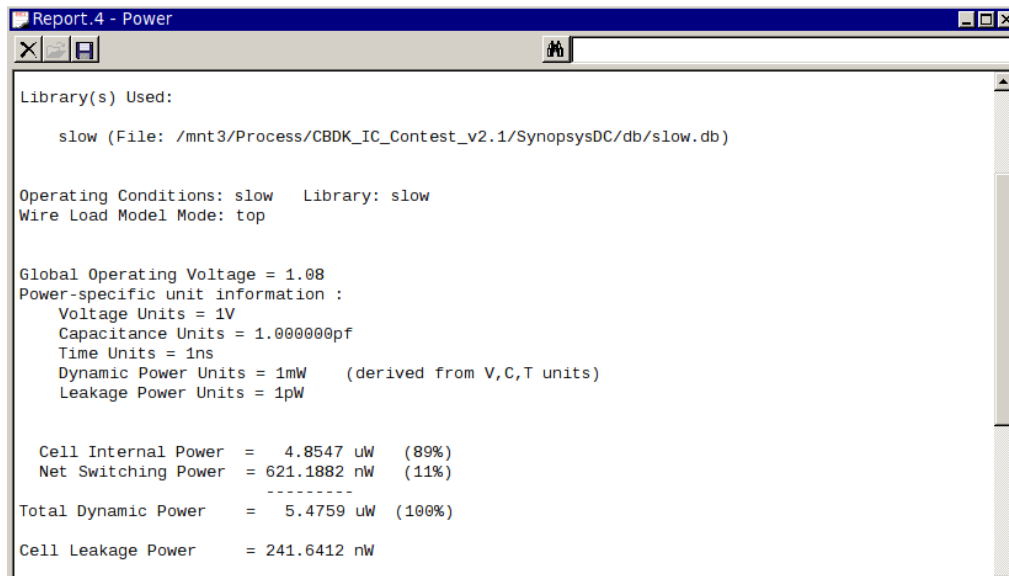
slack (MET)		18.36



Timing Report 中，Incr 為節點造成的延遲時間，Path 為 Path 起點到此節點的總延遲時間，可以知道 critical path 為 clock (rise edge)到 state_reg[2] (如同 Schematic 圖)，且 data required time 為 29.79 ns，data arrival time 為 11.43 ns。

slack (setup, maxdelay) = data required time - data arrival time
= 29.79 - 11.43 = 18.36 ns

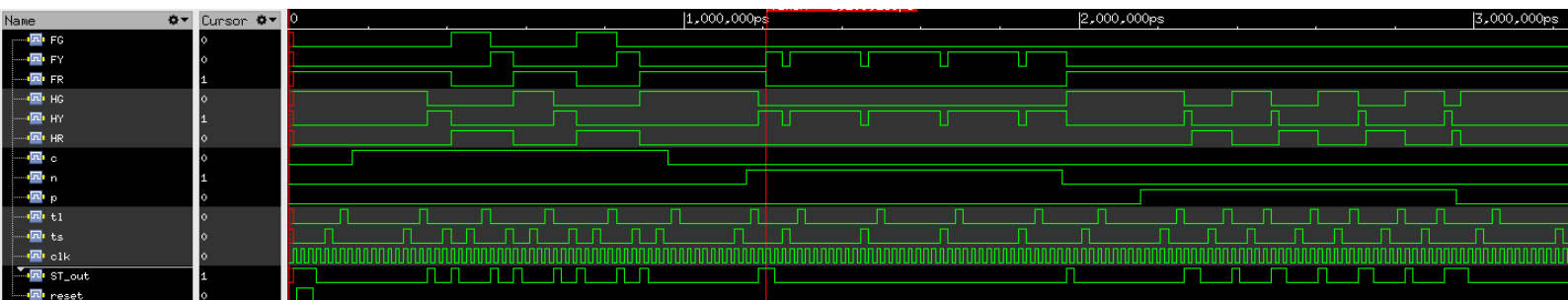
Power consumption :



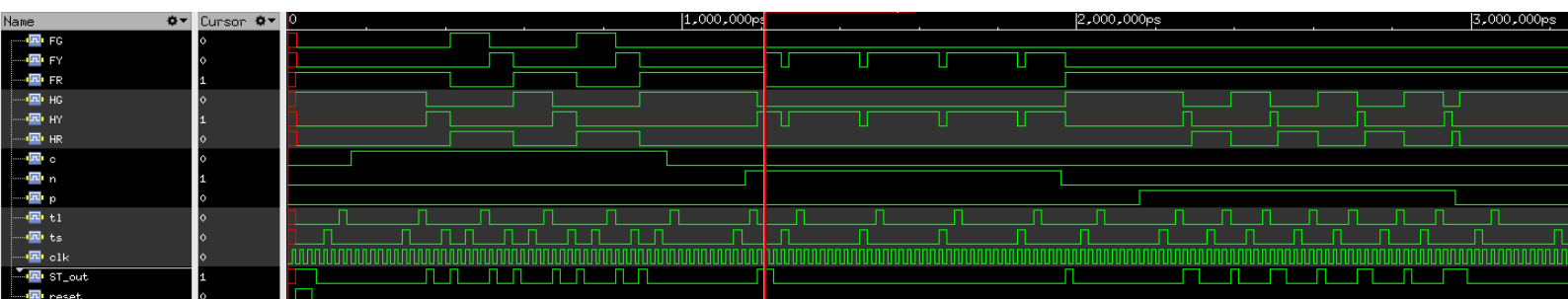
從 Power Report 中得知，Dynamic power 為 5.4759 uW，Static power 為 241.6412 nW。

結果分析：

(合成前的模擬結果)



(合成後的模擬結果)



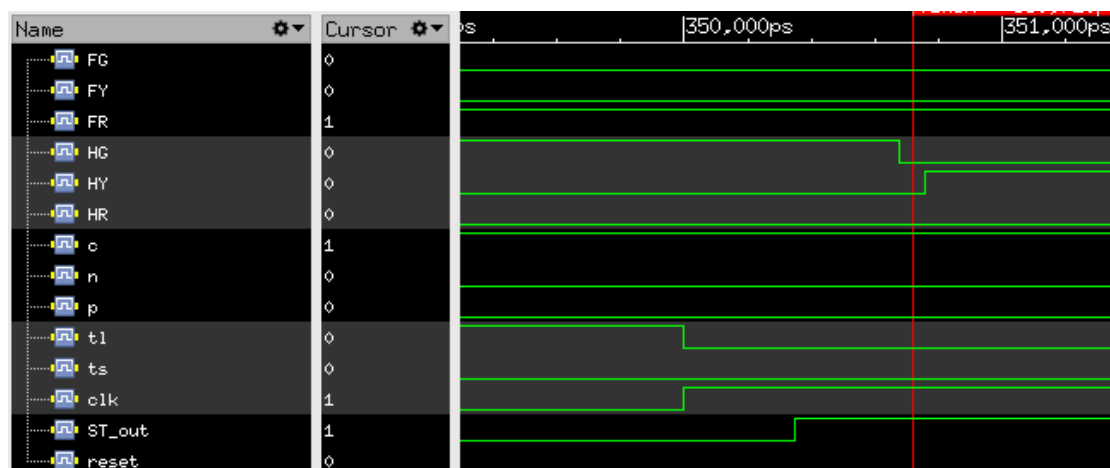
合成前與合成後的模擬結果大致上看起來相同，初始為高速道路綠燈(HG)，農村路紅燈(FR)，之後農村路有交通工具(c)，高速道路變為黃燈(HY)，再變為紅燈(HR)，且農村路變為綠燈(FG)。經過長時間後，農村路變為黃燈(FY)，再變為紅燈(FR)，且高速道路變為綠燈(HG)，若農村路還有交通工具，則循環。接

著是夜間的閃黃燈狀態(n)，可以看到高速道路與農村路皆為黃燈重複明暗。最後是行人號誌，當偵測到行人(p)，全向轉為紅燈，等長時間過後，高速道路變為綠燈，若還有行人，則循環。

(合成前放大)



(合成後放大)



將模擬結果放大來看，可以看到合成後在燈號轉換時，是有 delay 的，所以在此處的高速道路紅綠燈狀態有一小段時間皆為 0；合成前則無。