

Combinational 8-bit adder/subtractor

范真瑋

設計原理：

這次加法器我先使用 half adder 組成 4-bit carry-lookahead adder，再用 4-bit carry-lookahead adder 組成 8-bit carry-lookahead adder，做有號數的加減法運算。carry-lookahead adder 可以讓每一個 bit 提早取得自己的 carry 去完成運算，與 ripple-carry adder 相比，計算速度較快。

結果分析：

波形圖中左側的 A 與 B 均為 8-bit binary 輸入，SUM 為 8-bit 輸出，Add_ctrl 為 1-bit 輸入選擇做加法或減法，C_out 為 1-bit carry out 輸出，v 為 1-bit overflow 輸出，S 為 testbench 中用來檢查運算結果是否正確的變數。Add_ctrl=1 做加法運算，Add_ctrl=0 做減法運算，減法運算我使用二補數，將 B 反向加一再做加法。下方的第一張波形圖為有設延遲的 gate level 寫法，第二張為 RTL 寫法，可觀察到有設延遲會造成無法馬上取得運算結果。我測試的資料有邊界值、正常數值，各挑選正數與負數做加法與減法，因為資料以 8-bit 表示，數值範圍是 -128~127，因此做加減法後，數值過大或過小都會造成 overflow，使 v 變為 1。在我設計的電路中，longest path 為 Add_ctrl 到 C_out，首先從 Add_ctrl 出發，經過 2 個 4-bit carry-lookahead adder，最後到 C_out，最大 delay 約為 2.7ns。



