

习题课（2）

郭海林

2014.5.12

期中-5

- 假设有两种Cache组织方案可供选择：直接映象Cache和两路组相联Cache。给定以下假设，试分别计算直接映象Cache和两路组相联Cache的**平均访存时间**以及**CPU性能**，并根据计算结果给出你的选择方案，并说明理由。

假设：

- 1) 理想Cache（命中率为100%）情况下**CPI为2.0**，**时钟周期为2ns**，**平均每条指令访存1.5次**
- 2) 两种Cache的容量都是64KB，块大小为32字节
- 3) 组相联Cache中多路选择器使得CPU时钟周期**增加到2.25ns**
- 4) 两种Cache的**失效开销均为75ns**
- 5) **命中时间为1个时钟周期**，64KB的直接映象Cache的失效率为**1.4%**，64KB两路组相联的Cache失效率为**1.0%**

期中-6

- 假设当在按直接映像找到的位置处没有发现匹配，而在另一个位置才找到数据（伪命中）时，需要2个额外的周期。假定失效开销均为50个时钟周期，直接映像方式下命中时间为1个时钟周期，两路组相联的命中时间为1.1个时钟周期，有关失效率的数据如下表所示。试比较当Cache容量分别为4KB和128KB时，直接映像、两路组相联和伪相联这三种组织结构中，哪一种速度最快？

Cache容量	相联度	总失效率
4KB	1路	0.072
4KB	2路	0.057
128KB	1路	0.010
128KB	2路	0.007

期中-7

- 假设一计算机系统由一颗1GHz处理器、两级Cache和DRAM主存构成。第一级Cache分成指令Cache和数据Cache。系统不使用请求字处理方式，即所读写的数据可用必须等待整个数据块传送完毕。存储系统的参数如下（Note 1KB=1024bytes）

	Hit Time	Miss Rate	Block Size
Level-1 cache	1 cycle	6% for data 2% for instruction	32 bytes
Level-2 cache	12 cycles + (1 cycle per 64 bits)	2%	256 bytes
DRAM	70ns + (10ns per 8 bytes)	-	-

- 该系统包含一个TLB，该TLB不会发生读指令失效，访问数据时的失效率为**0.5%**，失效开销为**300**个时钟周期；TLB的命中与第一级Cache的访问并行。系统中所有的Cache均使用虚拟地址低位部分索引，物理地址Tag，假设系统绝不会发生主存块与磁盘块的数据交换。

- (1) 计算访问指令的平均访存时间?
- (2) 假设所有的数据访问都是Load操作, 计算数据访问的平均访存时间。
- (3) 假设我们测量了一程序中相关指令的执行频度如下:

Loads: 25%, Store: 15%, Integer: 30% , Floating-Point: 20%, Branches: 10%

设处理器使用5级流水线（基本CPI为1）。对于浮点操作, 数据相关平均引起0.9个时钟周期的额外开销, 整数运算全速运行。处理器使用分支预测失败策略, 其预测的准确性为80%, 剩余20%的分支指令会引起1个时钟周期的停顿。假设store操作和Load操作的AMAT相同, 试在考虑存储器访问失效的情况下, 计算该程序的平均CPI。

- Dump of assembler code for function main:

0x08048484 <+0>: push %ebp

0x08048485 <+1>: mov %esp,%ebp

0x08048487 <+3>: and \$0xffffffff0,%esp

0x0804848a <+6>: push %ebx

0x0804848b <+7>: sub \$0x2c,%esp

=> **0x0804848e <+10>: movl \$0x0, 0x1c(%esp)**

0x08048496 <+18>: movl \$0x0,0x1c(%esp)

0x0804849e <+26>: jmp 0x804850e <main+138>