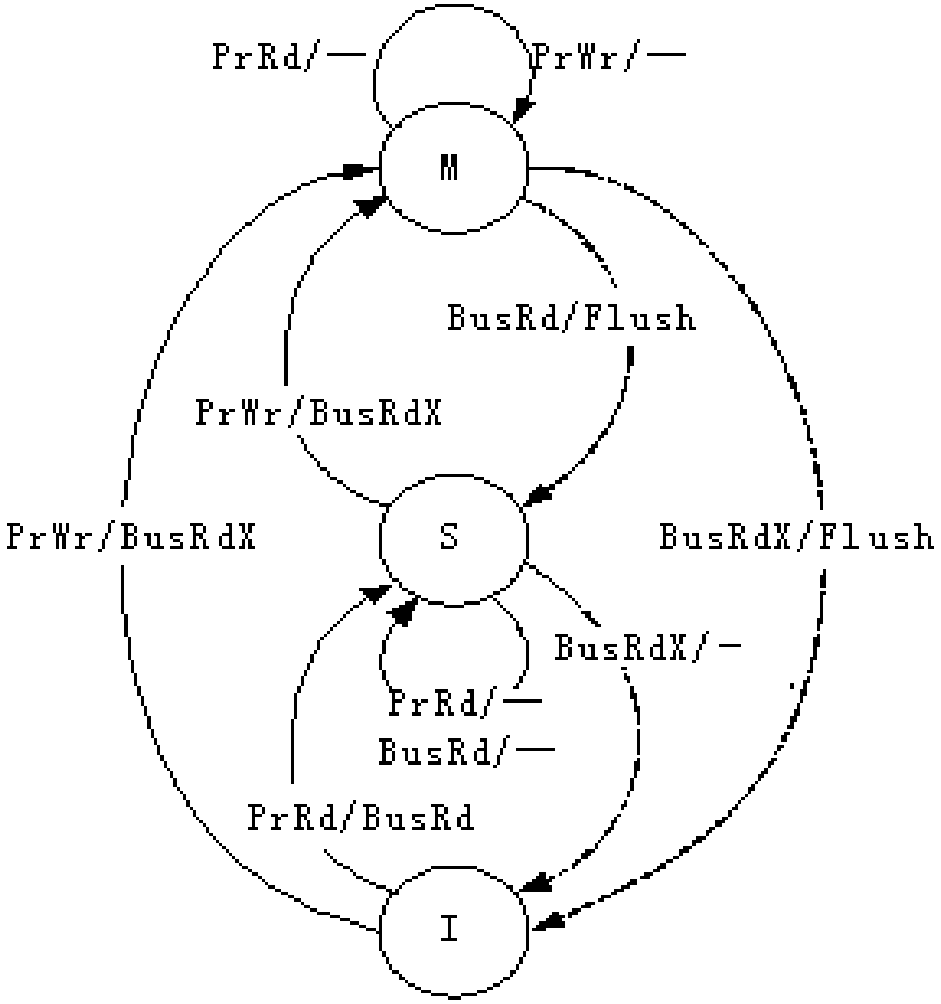
中国科学技术大学

University of Science and Technology of China

实验六：Cache一致性

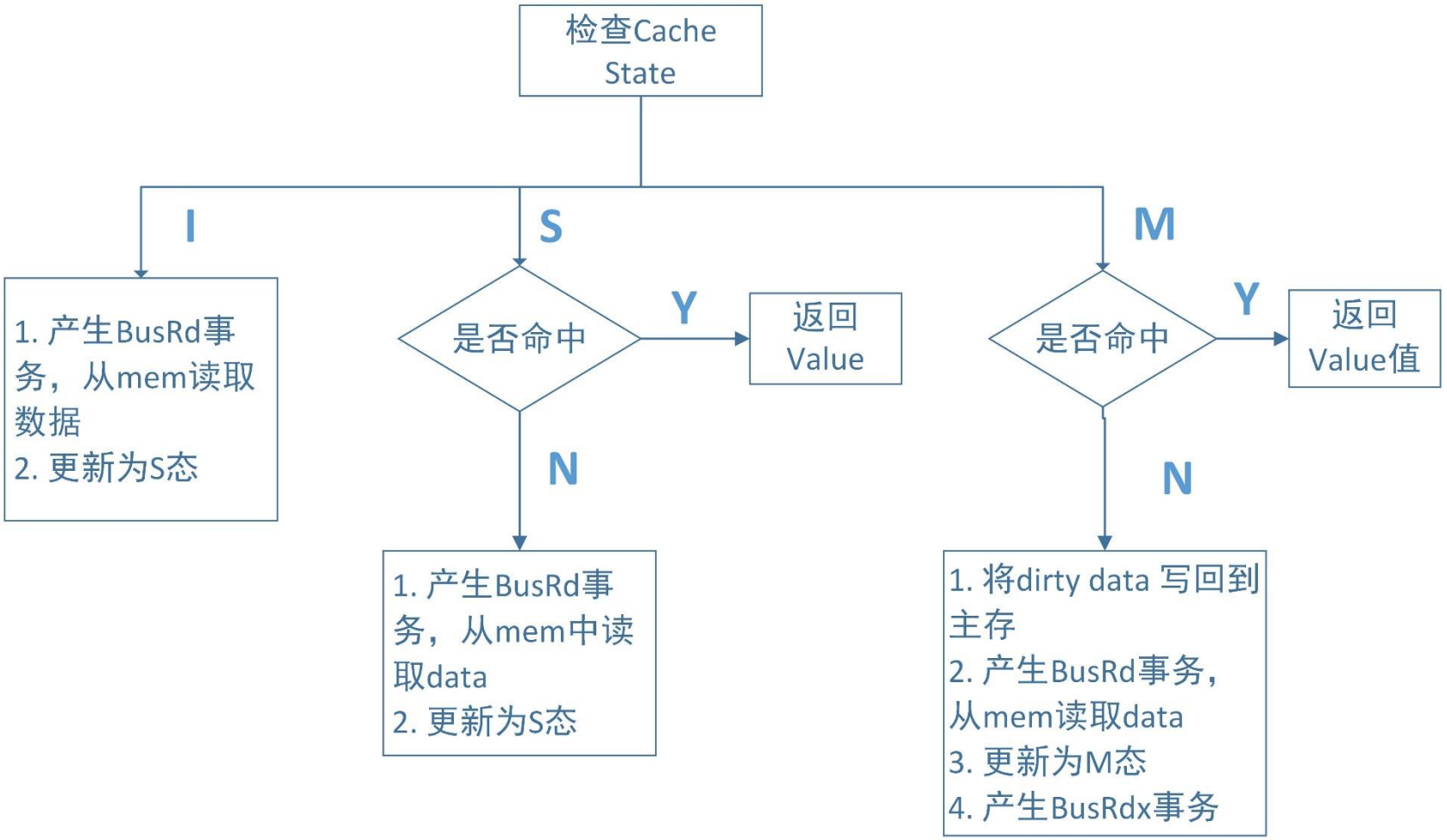
陈航

MSI协议状态转换图

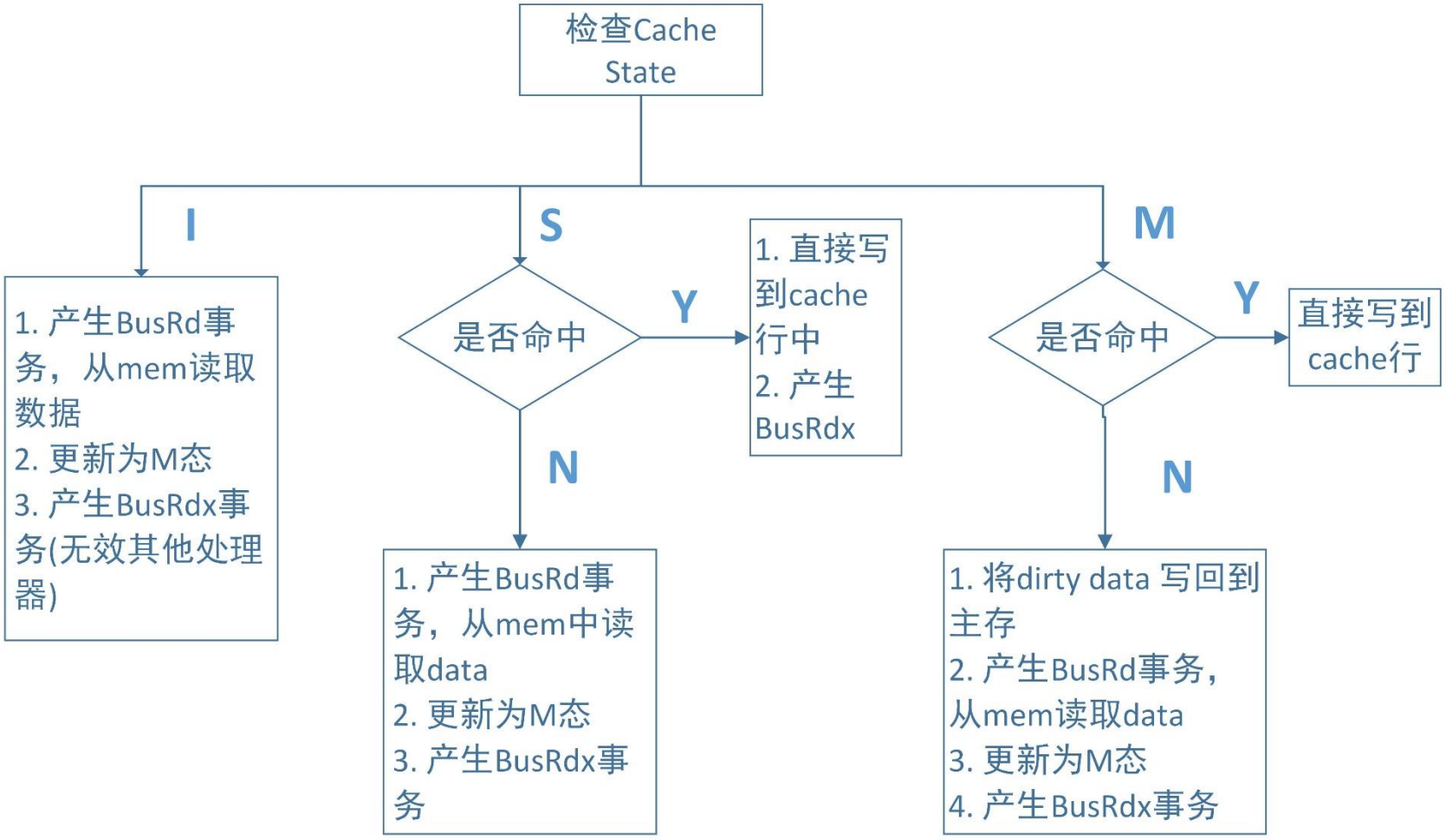


M:修改过
S:共享
I:无效
PrRd:处理器读
PrWr:处理器写
BusRd:总线读
BusRdX:总线互斥读
Flush：高速缓存中数据块放到总线上
——→ 处理器发起的事务
---→ 总线侦听器发起的事务

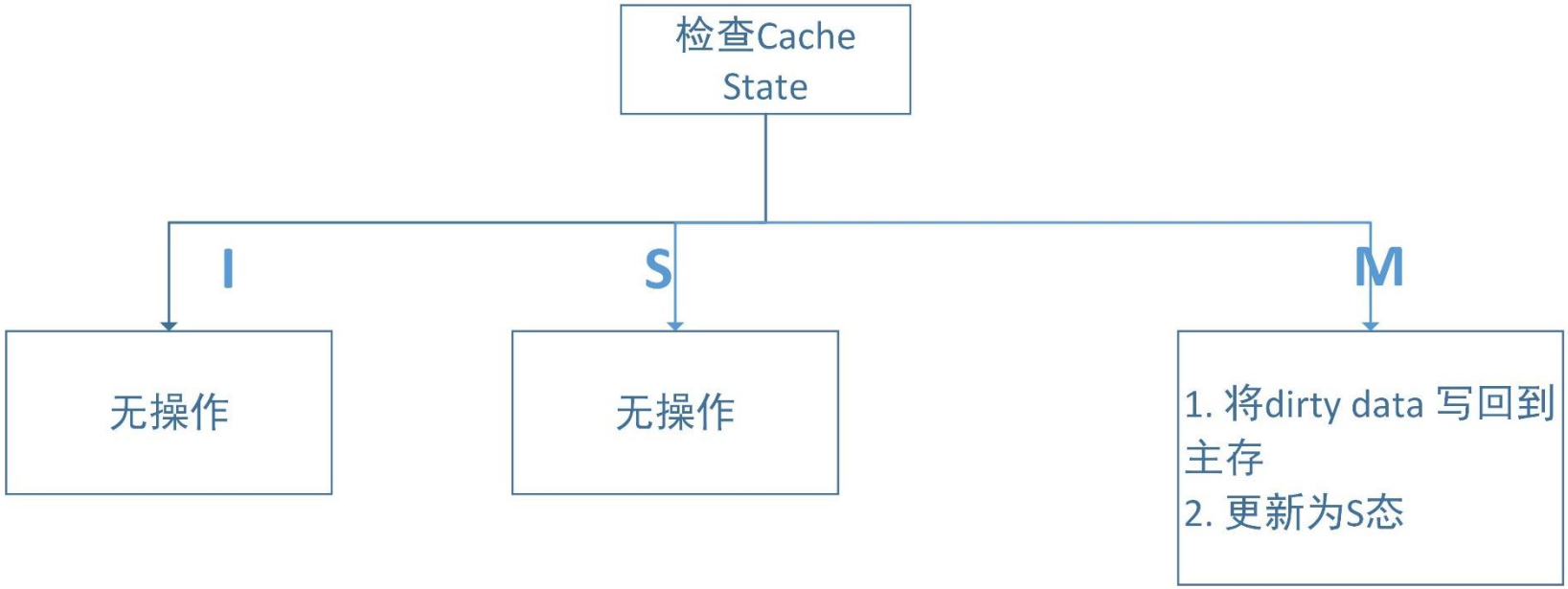
处理器Read事务


检查Cache State
I
S
M
1. 产生BusRd事务，从mem读取数据
2. 更新为S态
是否命中
Y
返回Value
N
1. 产生BusRd事务，从mem中读取data
2. 更新为S态
是否命中
Y
返回Value值
N
1. 将dirty data 写回到主存
2. 产生BusRd事务，从mem读取data
3. 更新为M态
4. 产生BusRdx事务

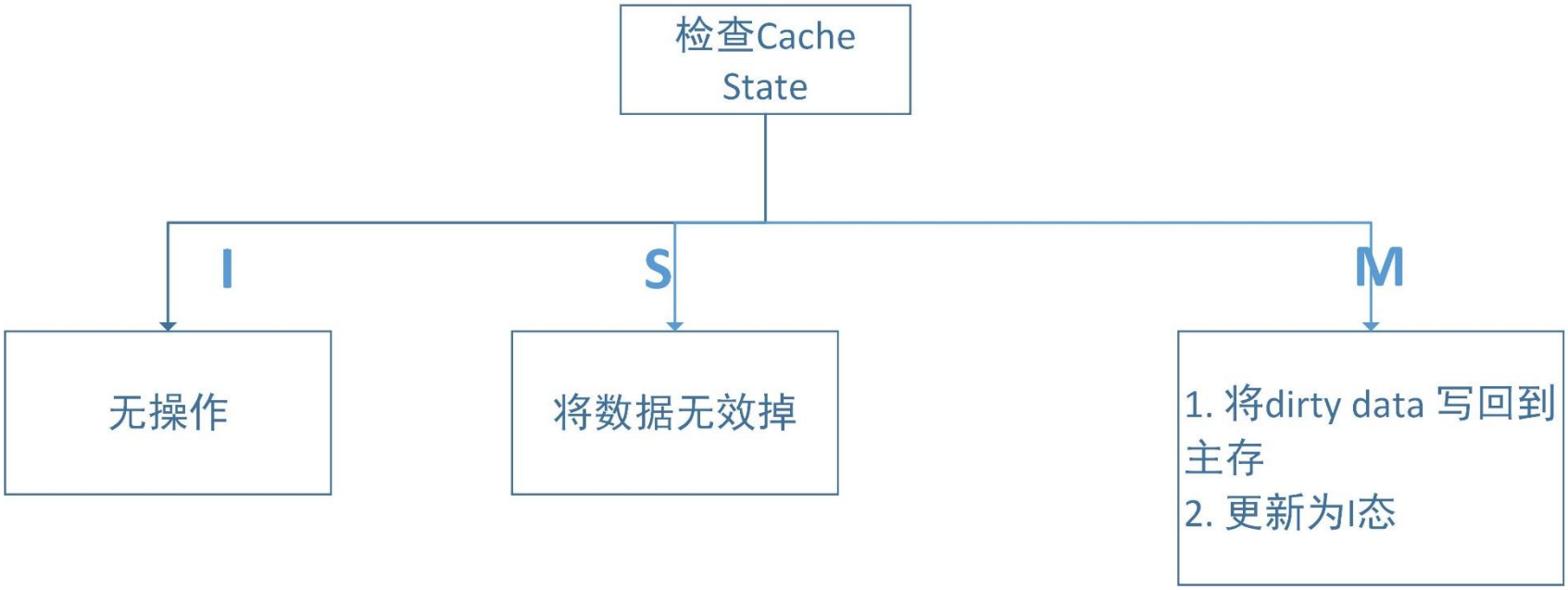
处理器Write事务


检查Cache State
I
S
M
1. 产生BusRd事务，从mem读取数据
2. 更新为M态
3. 产生BusRdx事务(无效其他处理器)
是否命中
Y
1. 直接写到cache行中
2. 产生BusRdx
N
1. 产生BusRd事务，从mem中读取data
2. 更新为M态
3. 产生BusRdx事务
是否命中
Y
直接写到cache行
N
1. 将dirty data 写回到主存
2. 产生BusRd事务，从mem读取data
3. 更新为M态
4. 产生BusRdx事务

总线读事务 BusRd



总线互斥读事务 BusRdx



MESI态下的逻辑控制框架