

# 数字系统设计

## 期中习题课

信电学院信通所 陈彬彬

15091831397@163.com

13071888906

浙江大学玉泉校区信电楼308室

# 数字系统设计期中习题课

## 说明：

- 1. 本次习题课主要选取了一些历年的期中试题和测验题进行讲解，以帮助大家进行巩固和复习。
- 2. 最后，会针对作业中的几个错题进行解释说明
- 3. 本次的习题课PPT会放到 [/学在浙里](#)，大家可以下载

# 历年期中试题-题选1

有两个逻辑函数

$$F_1(A, B, C, D) = \sum m(1, 3, 5, 6, 7, 8, 11, 12, 13, 14, 15)$$

$$F_2 = \overline{A}B + BC + A\overline{C}D$$

求出F的无冒险竞争现象的最简与-或式

$$F = F_1 \overline{F_2} + \overline{F_1} F_2$$

# 历年期中试题-题选1

CD \ AB	00	01	10	11
00	0	1	1	0
01	0	1	1	1
11	1	1	1	1
10	1	0	1	0

F1

$\oplus$

CD \ AB	00	01	10	11
00	0	0	0	0
01	1	1	1	1
11	0	1	1	1
10	0	1	0	0

F2

=

CD \ AB	00	01	10	11
00	0	1	1	0
01	1	0	0	0
11	1	0	0	0
10	1	1	1	0

F

解：由卡诺图得： $F = \overline{B}D + \overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C}$

当 $C = 0, D = 0, A = 1$ 时， $F = B + \overline{B}$ ，存在竞争冒险现象，因此增加冗余项 $\overline{A}\overline{C}\overline{D}$

无竞争冒险： $F = \overline{B}D + \overline{B}\overline{C}\overline{D} + \overline{A}\overline{B}\overline{C} + \overline{A}\overline{C}\overline{D}$

CD \ AB	00	01	10	11
00	0	1	1	0
01	1	0	0	0
11	1	0	0	0
10	1	1	1	0

F

## 历年期中试题-题选2

- 有一个四变量逻辑函数等式如下：

$$\overline{A+B+D} + \overline{ABCD} + \overline{ABC} + \overline{CD} + \overline{(\overline{A}+B+C)(\overline{A}+\overline{C})} = \overline{ABD} + BC + \overline{BD} + \overline{ABD}$$

- (1) 证明该等式成立，方法不限
- (2) 用卡诺图化简左边的逻辑函数为最简与-或式
- (3) 写出等式左边逻辑函数的对偶式

# 历年期中试题-题选2

## (1) 证明

证明:

$$\begin{aligned}
 \text{左边} &= \overline{A}\overline{B}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}B\overline{C} + \overline{C}\overline{D} + \overline{A}B\overline{C} + \overline{A}\overline{C} \\
 &= \overline{A}\overline{B}\overline{D} + \overline{A}\overline{B}\overline{C}D + \overline{A}B\overline{C} + \overline{C}\overline{D} + \overline{A}\overline{B}\overline{C} + \overline{A}C \\
 &= \overline{B}\overline{C}\overline{A}\overline{D} + \overline{C}\overline{D} + \overline{A}\overline{C} + \overline{A}C + \overline{B}\overline{C}\overline{A}\overline{D} + \overline{A}\overline{B}\overline{C} + \overline{A}\overline{C} \\
 &= \overline{B}(\overline{A}\overline{D} + \overline{C}\overline{D} + \overline{A}) + \overline{B}(\overline{A}\overline{C} + \overline{C}\overline{D} + \overline{A}C) \\
 &= \overline{B} \cdot (\overline{D} + \overline{C}\overline{D} + \overline{A}) + \overline{B} \cdot (\overline{A}\overline{C} + \overline{C}\overline{D} + \overline{A}C) \\
 &= \overline{B}(\overline{D} + \overline{A}) + \overline{B}(\overline{A}\overline{C} + \overline{C}\overline{D} + \overline{A}C) \\
 &= \overline{B}(\overline{D} + \overline{A}) + \overline{B}(\overline{A}\overline{C} + \overline{C}\overline{D} + \overline{A}C) \\
 &= \overline{A}\overline{B}\overline{D} + \overline{B}\overline{C} + \overline{B}\overline{D} + \overline{B}\overline{C} = \text{右边}
 \end{aligned}$$

证毕

## (2)

AB \ CD	00	01	10	11
	00	01	10	11
00	1	0	0	1
01	0	1	1	1
11	0	0	1	1
10	1	1	1	1

化简为:  $\overline{B}\overline{D} + \overline{A}\overline{B} + BC + \overline{A}BD$

## (3)

对偶式为

$$\begin{aligned}
 &\overline{ABD} \cdot (\overline{A} + \overline{B} + \overline{C} + \overline{D}) \cdot (\overline{A} + \overline{B} + \overline{C}) \cdot (C + \overline{D}) \cdot \overline{ABC} + \overline{AC} \\
 &= (A + \overline{B} + D)(B + C)(\overline{B} + \overline{D})(\overline{A} + B + D)
 \end{aligned}$$

反演定理  $Y \Rightarrow Y'$

•  $\Rightarrow$  +, +  $\Rightarrow$  •, 0  $\Rightarrow$  1, 1  $\Rightarrow$  0,

原变量  $\Rightarrow$  反变量

反变量  $\Rightarrow$  原变量

不属于单个变量的上的反号保留不变

对偶定理  $Y \Rightarrow Y^D$

•  $\Rightarrow$  +, +  $\Rightarrow$  •, 0  $\Rightarrow$  1, 1  $\Rightarrow$  0,

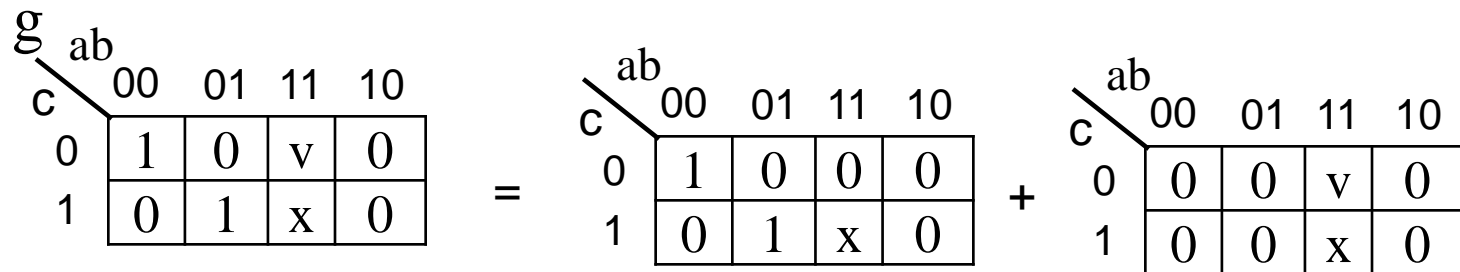
## 历年期中试题-题选3

- 设  $g$  是一个4输入逻辑函数，用3变量卡诺图表示如下。
- (1) 请写出  $g$  的最简与-或形式，其中  $V$  表示其中一个输入变量， $X$  表示无关项。
- (2) 用4选1的MUX实现该函数，并画出电路图

g	ab	0 0	0 1	1 1	1 0
	c				
	0	1	0	V	0
	1	0	1	x	0

# 历年期中试题-题选3

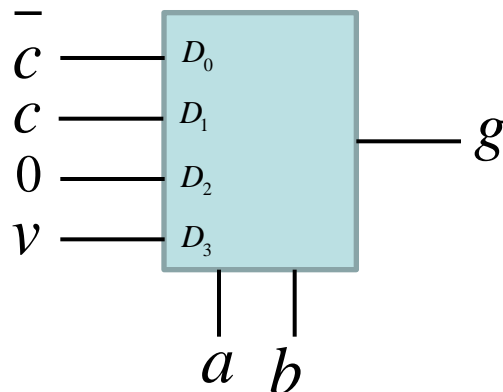
1) 解：将该卡诺图看成是以下两个卡诺图相或



充分利用无关项，可得： $g = \overline{a}\overline{b}c + bc + abv$

2) 解：因为

$$\begin{aligned}
 g &= \overline{a}\overline{b}c + bc + abv \\
 &= \overline{a}\overline{b}c + \overline{a}bc + abc + abv \\
 &= \overline{a}b\overline{c} + \overline{a}bc + abv
 \end{aligned}$$





## 历年期中试题-题选4

- 能实现任何逻辑函数的逻辑门的集合，被称为逻辑门的完全集。已知二输入与门、二输入或门和非门为一个完全集。试证明：二输入或门、异或门为逻辑门的完全集

- 证明：

利用异或门得到非门：

$$Y = A \oplus 1 = \overline{A}$$

在加上本来的或门，我们就得到了非门和或门；

因为

$$AB = \overline{\overline{A}B} = \overline{\overline{A} + \overline{B}}$$

可以用非门和或门得到与门：

$$Y = \overline{\overline{A} + \overline{B}} = \overline{\overline{A}B} = AB$$

# 历年期中试题-题选5

(第一组):

1). 试设计用一个 **TTL** 非门驱动发光二极管的电路, 已知电源电压  $V_{CC}=+5V$ ;  
 TTL 非门的  $V_{OH}=3.6V$ ,  $I_{OHmax}=0.4mA$ ; 发光二极管的正向导通电压  $V_F=1.4V$ ,  
 $V_{OL}=0.3V$ ,  $I_{OLmax}=16mA$ 。 二极管发光时工作电流为  $I_F=5\sim 20mA$ 。  
 要求: (1) 画出电路图。(2) 计算限流电阻阻值的范围。

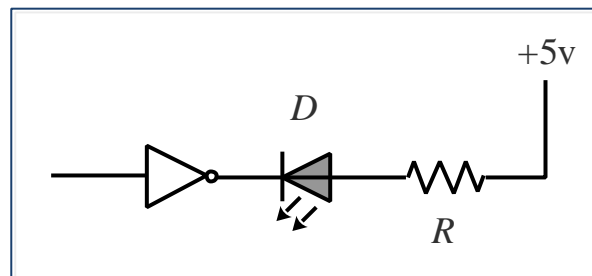
解: 二极管导通时

$$V_{OL}=0.3V$$

$$I_{OLmax}=16mA$$

$$\text{所以, } I \cdot R + 1.4 = V_{cc} - V_{OL}$$

$$\begin{aligned} \text{故, } R &\geq \frac{V_{cc} - V_{OL} - 1.4V}{I_{OLmax}} \\ &= \frac{3.3V}{16mA} = 206\Omega \end{aligned}$$

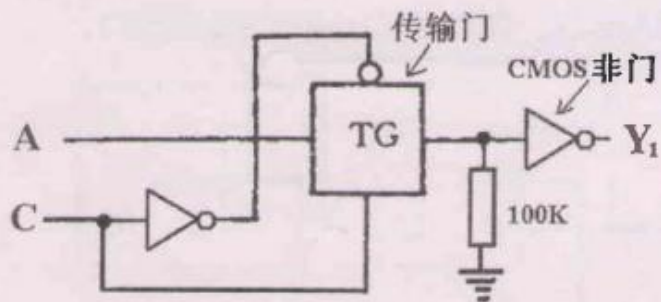


同时,

$$R \leq \frac{V_{cc} - V_{OL} - 1.4V}{I_F} = 660\Omega$$

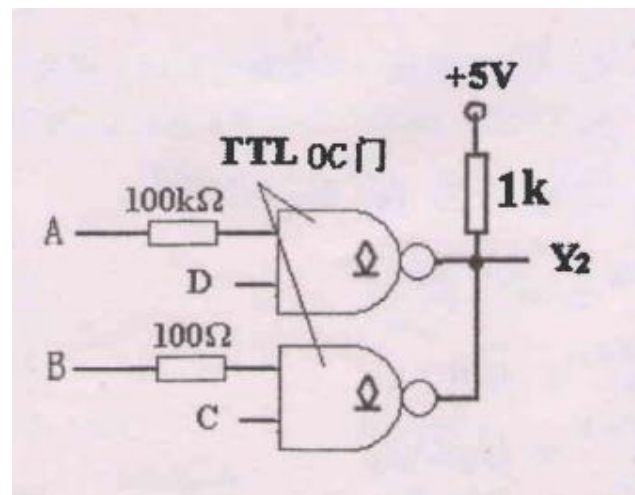
# 历年期中试题-题选6

2). 试写  $Y_1 \sim Y_3$  的表达式或值。



当  $C = 0$  时,  $TG$  门截止,  $Y_1 = 1$ ;  
 当  $C = 1$  时,  $TG$  门打开,  $Y_1 = A'$   
 所以  

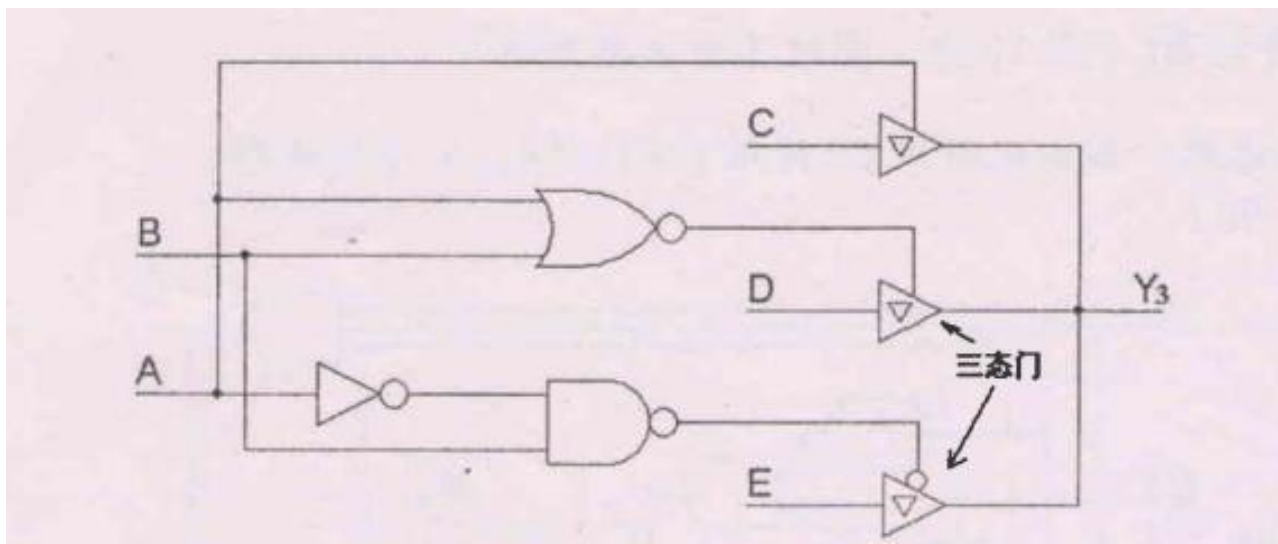
$$Y_1 = C' + A'C$$



因为  $A$  无论何是高电平还是低电平,  
 第一个  $OC$  门的  $A$  输入端均作为高电平,  
 同时两个  $OC$  门实现线与  

$$Y_2 = D' \cdot (BC)'$$

# 历年期中试题-题选6



由图可知

$AB = 00$ 时,  $Y3 = D$

$AB = 01$ 时,  $Y3 = E$

$AB = 10$ 时,  $Y3 = C$

$AB = 11$ 时,  $Y3 = C$

故,

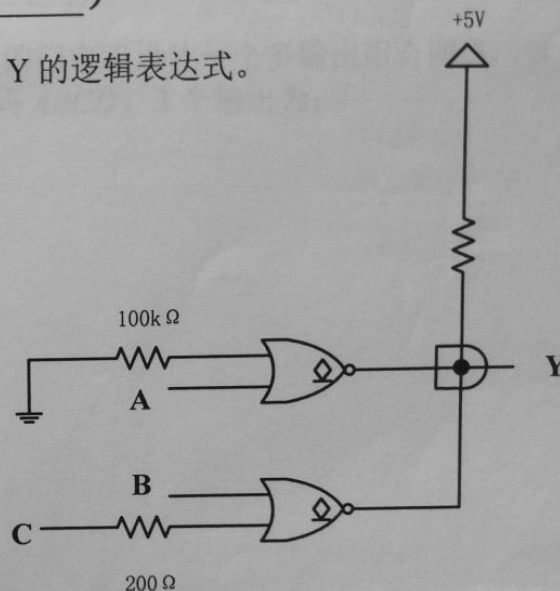
$$Y3 = A'B'D + A'BE + AC$$

# 历年期中试题-题选7

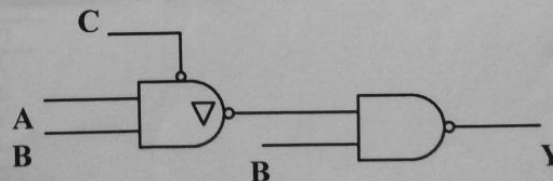
## 三、 门电路分析（共 6 分，得分\_\_\_\_\_）

由门电路组成的电路如图所示，试写出输出 Y 的逻辑表达式。

① CMOS 门



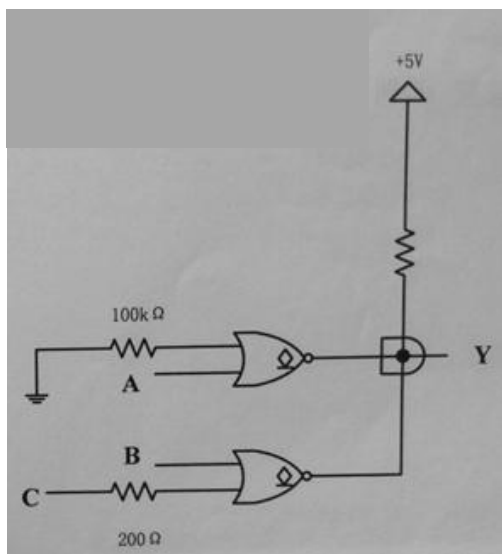
② TTL 门



# 历年期中试题-题选7

解：对于TTL电路而言，输入端接大电阻相当于接高电平；对于CMOS电路无论输入端接多大电阻，其输入取决于电阻于另一端的电压

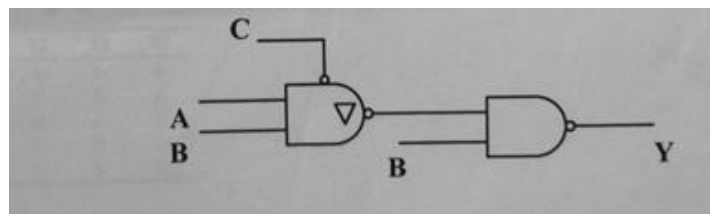
CMOS电路



$$Y = \overline{A+0} \cdot \overline{B+C}$$

$$= \overline{A} \overline{B} \overline{C}$$

TTL电路



当 $C = 0$ 时， $Y = A + \overline{B}$

当 $C = 1$ 时，三态门输出为高阻态，

所以对于第二个门来说输入为高电平，故 $Y = \overline{B}$

$$\text{综上， } Y = (A + \overline{B})\overline{C} + \overline{B}C = A\overline{C} + \overline{B}\overline{C} + \overline{B}C$$

$$= A\overline{C} + \overline{B}$$

# 历年期中试题-题选8

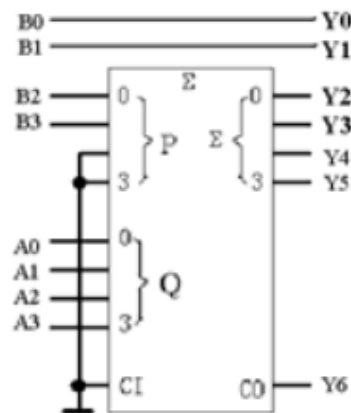
- 设A、B为四位二进制数，试用一片四位二进制加法器74283实现函数 $Y=4A+B$

解

$$Y = 4A + B = (A_3A_2A_1A_000) + (B_3B_2B_1B_0)$$

$$\begin{array}{r} A_3A_2A_1A_0 \ 0 \ 0 \\ + \ 0 \ 0 \ B_3B_2B_1B_0 \\ \hline \end{array}$$

用加法器实现





## 历年期中试题-题选9

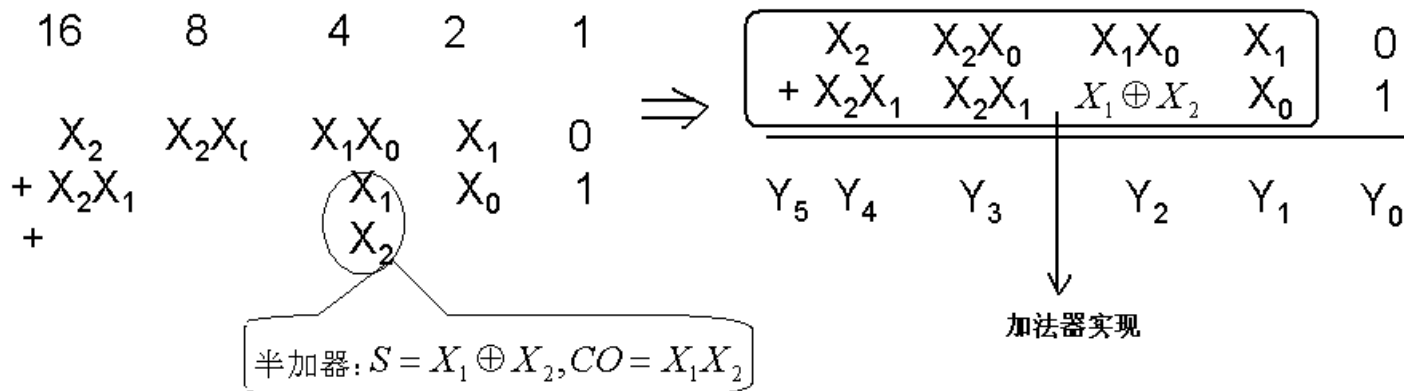
- 用加法和适量门电路实现 $Y=X^2+X+1$ ，其中 $X$ 为三位二进制数。要求：1、电路尽量简单，加法器个数不限，可以用半加器、全加器和四位加法器。2、写出设计过程。



# 历年期中试题-题选9

## • 解

$$\begin{aligned}
 Y &= (4X_2 + 2X_1 + X_0)^2 + (4X_2 + 2X_1 + X_0) + 1 \\
 &= (16X_2 + 4X_1 + X_0 + 16X_2X_1 + 8X_2X_0 + 4X_1X_0) + (4X_2 + 2X_1 + X_0) + 1 \\
 &= 16(X_2 + X_2X_1) + 8X_2X_0 + 4(X_1 + X_1X_0 + X_2) + 2(X_1 + X_0) + 1
 \end{aligned}$$



## 历年期中试题-题选10

- 设计一个一位8421BCD码乘以5的电路，要求输出也为8421BCD码，写出设计过程，画出电路。
  - (1) 只用四位全加器实现此电路；
  - (2) 不用任何器件设计此电路，请写出设计过程，画出电路。

# 历年期中试题-题选10

(1) 解, 因为

$$Y = 5D = 4D + D$$

$$= D_3D_2D_1D_000 + D_3D_2D_1D_0$$

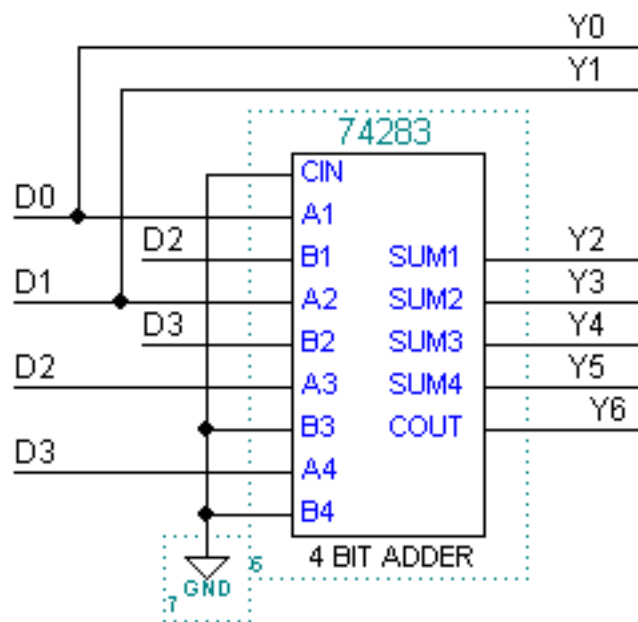
(2) 解

$$Y = 5D = 5 \times (8D_3 + 4D_2 + 2D_1 + D_0)$$

$$= 10 \times (4D_3 + 2D_2 + D_1) + 4D_0 + D_0$$

$$Y = D_3D_2D_1 \quad 0D_00D_0$$

(1) 图

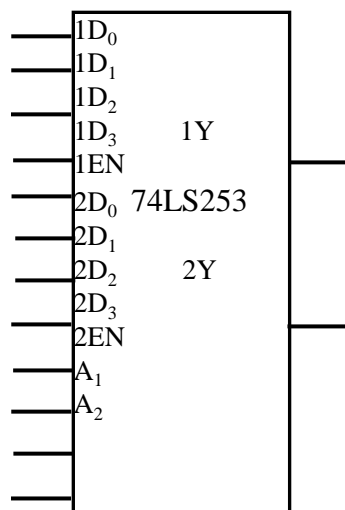


# 历年期中试题-题选11

- 用一片双4选1多数选择器MUX74LS253和最少量的门电路实现下列逻辑函数

$$S_i = A_i \oplus B_i \oplus C_{i-1}$$

$$C_i = (A_i \oplus B_i)C_{i-1} + A_i B_i$$



输 入				输出
选通	地址	数据		
$\overline{EN}$	$A_1A_0$	$D_i$	Y	
1	$\times \times$	$\times$	(Z)	
0	00	$D_0 \sim D_3$	$D_0$	
0	01	$D_0 \sim D_3$	$D_1$	
0	10	$D_0 \sim D_3$	$D_2$	
0	11	$D_0 \sim D_3$	$D_3$	

# 历年期中试题-题选11

## 解

- 要实现的是一个全加器电路。其中一个4选1作全加和输出，另一个4选1用作进位输出。将被加数和加数的相应位从地址输入，相邻低位的进位从数据端输入。

- 所以全加和的4选1数据有：

$A_i B_i$		00	01	11	10
$C_{i-1}$	0	0	1	0	1
	1	1	0	1	0

$$1D_0 = C_{i-1}$$

$$1D_1 = \overline{C_{i-1}}$$

$$1D_2 = \overline{C_{i-1}}$$

$$1D_3 = C_{i-1}$$

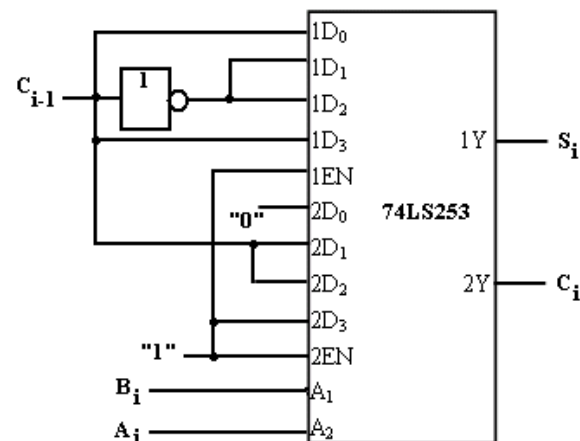
- 进位的4选1数据有：

$A_i B_i$		00	01	11	10
$C_{i-1}$	0	0	0	1	0
	1	0	1	1	1

$$2D_0 = 0$$

$$2D_1 = 2D_2 = C_{i-1}$$

$$2D_3 = 1$$



# 历年期中试题-题选12

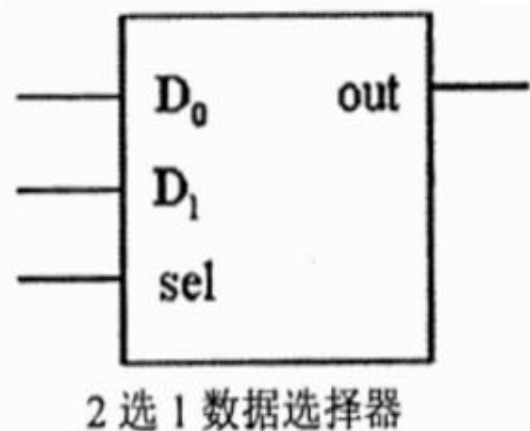
1950 年 Richard Hamming 发明了应用于计算机系统的汉明码。人们主要用汉明码验检错误来及修正。对于每四个数据位 A、B、C、D,有三个奇偶校验位  $P_1$ 、 $P_2$ 、 $P_3$ 。定义如下:

$$P_1 = A \oplus B \oplus C$$

$$P_2 = A \oplus B \oplus D$$

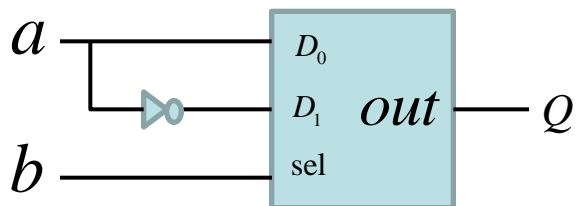
$$P_3 = B \oplus C \oplus D$$

试用最少的 2 选 1 数据选择器来表示  $P_1$ 、 $P_2$ 、 $P_3$ ,并画出电路图。



# 历年期中试题-题选12

解：数据选择器可实现异或



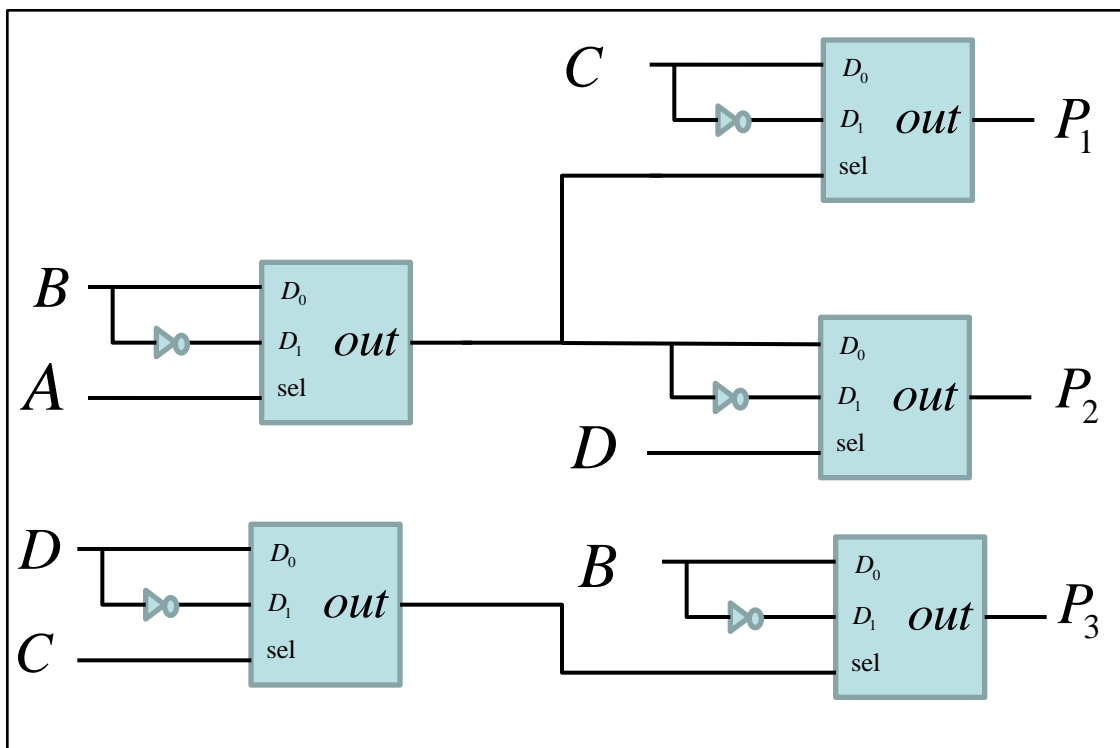
$$Q = a\bar{b} + \bar{a}b = a \oplus b$$

所以

$$P_1 = A \oplus B \oplus C$$

$$P_2 = A \oplus B \oplus D$$

$$P_3 = B \oplus C \oplus D$$



## 历年期中试题-题选13

- 请你设计一个实现电路

$$F = 5 * (00A_1A_0) + (00B_1B_0)^2$$

式中 $( )^2$ 、 $*$ 、 $+$ 分别表示算术运算的乘方、乘法和加法。电路的输入和输出都是四位二进制编码。要求用一片全加器74LS283及尽可能少的逻辑门电实现此电路，写出主要的逻辑表达式，并画出电路图



# 历年期中试题-题选13

$$F = A_1 A_0 00 + 00 A_1 A_0 + (00 B_1 B_0)^2$$

$$= A_1 A_0 A_1 A_0 + (00 B_1 B_0)^2$$

$$00 B_1 B_0 \times 00 B_1 B_0 = 00 B_1 B_0 \times 00 B_1 0$$

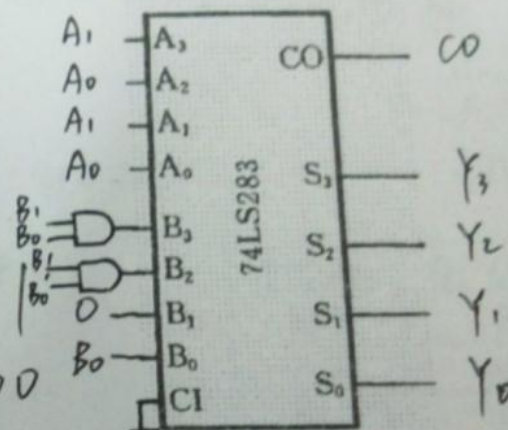
$$+ 00 B_1 B_0 \times 00 0 B_0$$

若  $B_1 = B_0 = 0$  乘积 = 0000

若  $B_1 = 0, B_0 = 1$  乘积 =  $00 B_1 B_0 = 0001$

若  $B_1 = 1, B_0 = 0$  乘积 =  $0 B_1 B_0 0 = 0100$

若  $B_1 = 1, B_0 = 1$  乘积 =  $0 B_1 B_0 0 + 00 B_1 B_0 = 1001$



## 历年期中试题-题选14

在组合电路中，加法器是经常使用到的逻辑器件，应用加法器可以设计许多其他功能的电路，请使用加法器，完成以下设计：

只使用全加器实现一个**2**位二进制无符号乘法运算电路，不允许其他门电路和逻辑器件，写出主要步骤，画出电路图。

# 历年期中试题-题选14

解：设两位无符号二进制数为。

$$X = x_1 x_0, Y = y_1 y_0.$$

$$\text{则 } Z = X \cdot Y = z_3 z_2 z_1 z_0.$$

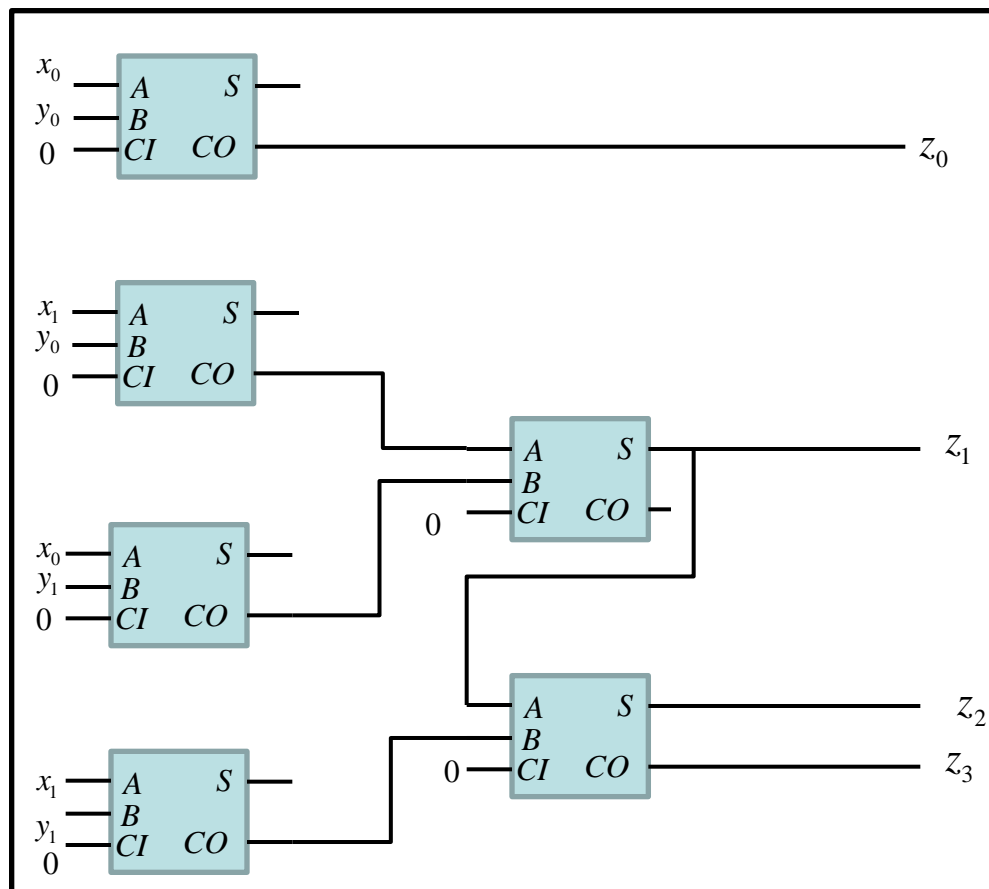
$$\begin{array}{r} x_1 x_0 \\ \times y_1 y_0 \\ \hline x_1 y_0 \quad x_0 y_0 \end{array}$$

$$+ x_1 y_1 \quad x_0 y_1$$

$$\hline x_1 y_1 \quad (x_1 y_0 + x_0 y_1) \quad x_0 y_0$$

$$\begin{array}{cccc} z_3 & z_2 & z_1 & z_0 \\ \downarrow & \downarrow & \downarrow & \\ z_3 & z_2 & z_1 & z_0 \end{array}$$

对于全加器来说，当  $CI=0$  时， $Co=A \cdot B$ 。  
实现“与”功能。



# 历年期中试题-题选15

## 五、 组合模块电路(12 分, 得分\_\_\_\_\_)

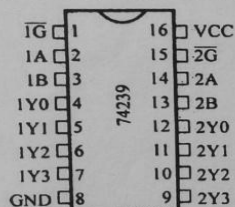
试用一片 2-4 译码器 74HC239 和尽量少的门电路设计一个多输出组合网络, 要求 写出主要步骤。它的输入是 4 位二进制码  $ABCD$ , 3 个输出为:

$F_1$ :  $ABCD$  是 4 的倍数;

$F_2$ :  $ABCD$  在 8~11 之间;

$F_3$ :  $ABCD$  不等于 0。

74HC239 双 2-4 线译码器/多路分配器



功能表

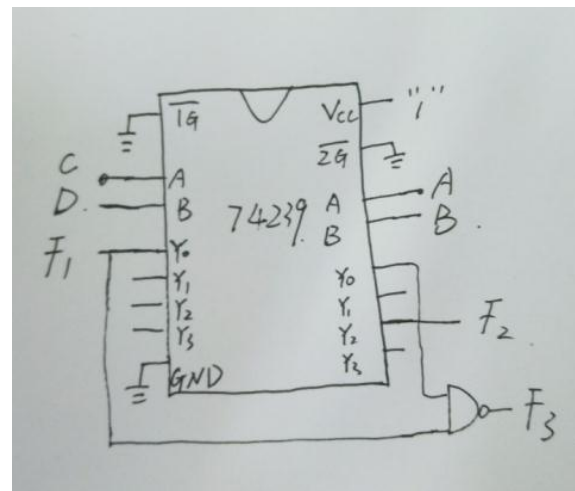
允许 $\overline{G}$	输入 选择		输出			
	B	A	Y0	Y1	Y2	Y3
H	X	X	L	L	L	L
L	L	L	H	L	L	L
L	L	H	L	H	L	L
L	H	L	L	L	H	L
L	H	H	L	L	L	H

# 历年期中试题-题选15

解：观察F1和F2真值表的特点

A	B	C	D	F <sub>1</sub>
0	0	0	0	1
0	1	0	0	1
1	0	0	0	1
1	1	0	0	1

A	B	C	D	F <sub>2</sub>
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1



- 1) 无论AB，当CD取00时，F1为1
- 2) 无论CD，当AB取10时，F2为1

## 历年期中试题-题选16

用两个8选1数据选择器74LS151及适当门电路设计一个数值比较器，比较两个二进制数 $A(a_1a_0)$ 和 $B(b_1b_0)$ ，能分别给出 $A-B \geq 2$ ， $B-A \geq 2$ 和 $|A-B| < 2$ 的输出信号，要求：1) 写出真值表；2) 输出函数表达式；3) 画出逻辑图



# 历年期中试题-题选16

解: 1). 设  $Y_1 = (A - B \geq 2)$ ,  $Y_2 = (B - A \geq 2)$ ,  $Y_3 = (|A - B| < 2)$ ,

有.

B	A	Y	Y <sub>1</sub>	Y <sub>2</sub>	Y <sub>3</sub>
b <sub>1</sub> b <sub>0</sub>	a <sub>1</sub> a <sub>0</sub>				
00	00	0	0	0	0
00	01	1	0	0	0
00	10	0	0	1	1
00	11	0	0	1	1
01	00	1	0	0	0
01	01	1	0	0	0
01	10	1	0	0	0
01	11	0	0	1	1
10	00	0	1	0	0
10	01	1	0	0	0
10	10	1	0	0	0
10	11	1	0	0	0
11	00	0	1	0	0
11	01	0	1	0	0
11	10	1	0	0	0
11	11	1	0	0	0

2). 输出函数

Y<sub>3</sub> a<sub>1</sub>a<sub>0</sub>

b <sub>1</sub> b <sub>0</sub>	00	01	11	10
00	0	0	0	0
01	1	1	0	0
11	0	0	1	1
10	0	0	1	1

$$Y_3 = \bar{b}_1 \bar{a}_1 + b_1 a_1 + b_0 a_1 \bar{a}_0$$

Y<sub>2</sub> a<sub>1</sub>a<sub>0</sub>

b <sub>1</sub> b <sub>0</sub>	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	1	1	0	0
10	1	1	0	0

$$Y_2 = b_1 \bar{a}_1 \bar{a}_0 + b_1 b_0 \bar{a}_1$$

$$= b_1 \bar{a}_1 \bar{a}_0 + b_1 \bar{a}_1 b_0$$

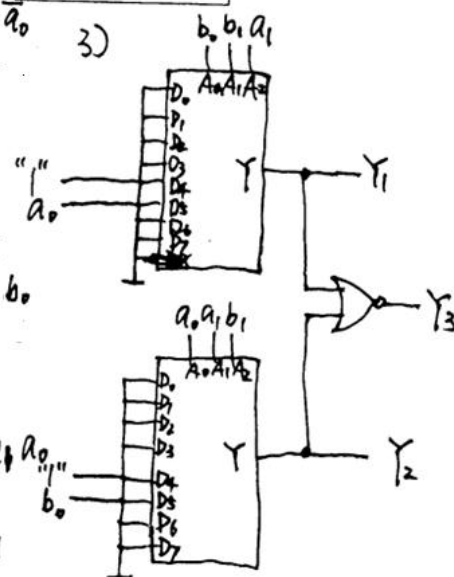
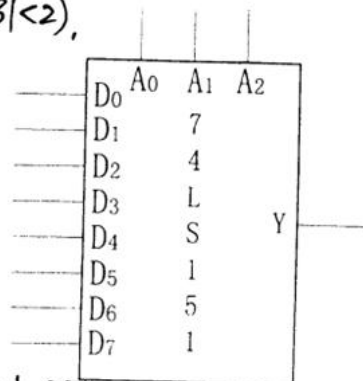
Y<sub>1</sub> a<sub>1</sub>a<sub>0</sub>

b <sub>1</sub> b <sub>0</sub>	00	01	11	10
00	0	0	0	0
01	0	0	0	0
11	0	0	0	0
10	0	0	0	0

$$Y_1 = \bar{b}_1 \bar{b}_0 a_1 + \bar{b}_1 b_0 a_1$$

$$Y_1 = \bar{b}_1 a_1 a_0 + \bar{b}_1 b_0 a_1$$

故有  $Y_3 = \overline{Y_1 + Y_2}$



# 历年期中试题-题选17

(1). 仅利用 74HC153 双 4 选 1 芯片实现  $F(x, y, z) = xz + yz' + x'y'z$ , 写出主要思路和步骤, 并画出完整电路图。

解: 数据选择器输入没有反相, 则有反相的只能用作数据地址选择端:

$$F(x, y, z) = xyz + xy'z + xyz' + x'y'z + x'y'z$$

卡诺图为

卡诺图 1

	yz	00	01	11	10
x	0	0	1	0	1
1	0	1	1	1	1

或

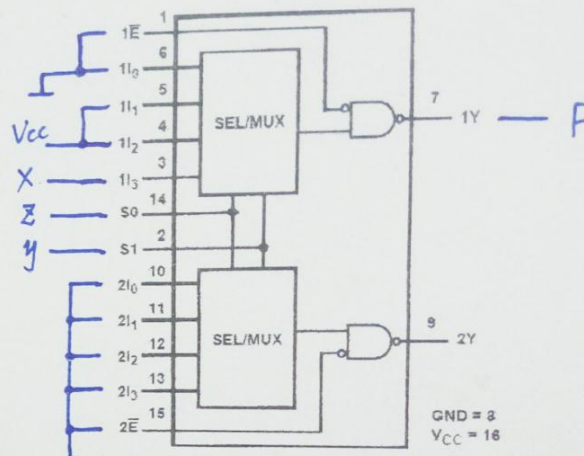
卡诺图 2

	yx	00	01	11	10
z	0	0	0	1	1
1	1	1	1	1	0

由此可得

y	z	F
0	0	0
0	1	1
1	0	1
1	1	X

故电路图如右所示。



TRUTH TABLE

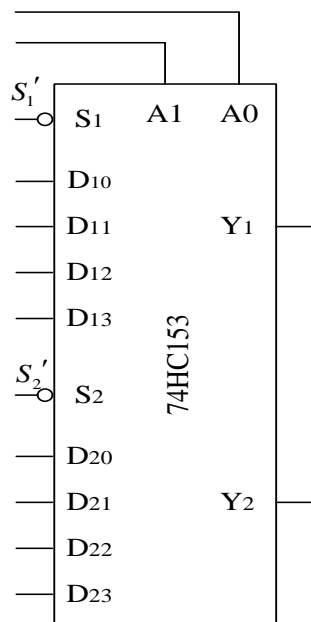
SELECT INPUTS		DATA INPUTS				ENABLE	OUTPUT
S1	S0	I0	I1	I2	I3	$\bar{E}$	Y
X	X	X	X	X	X	H	L
L	L	L	X	X	X	L	L
L	L	H	X	X	X	L	H
L	H	X	L	X	X	L	L
L	H	X	H	X	X	L	H
H	L	X	X	L	X	L	L
H	L	X	X	H	X	L	H
H	H	X	X	X	L	L	L
H	H	X	X	X	H	L	H



# 历年期中试题-题选17

设计一个多功能组合逻辑电路， $M_1M_0$  为功能控制信号， $ab$  为输入逻辑变量， $F$  为电路输出。功能如右表所示（例如：当  $M_1M_0 = 00$  时，实现  $F = a \cdot b$  功能，当  $M_1M_0 = 11$  时，实现  $F = a + b$  功能等）。要求：

- (1) 请用一片 74HC153 器件和最少与非门实现该逻辑功能；
- (2) 用一片 74HC138 和最少与非门来实现该逻辑功能。要求写出逻辑表达式并画出电路图。



74HC153功能表

$S_1'$	$A_1$	$A_0$	$Y_1$	$S_2'$	$A_1$	$A_0$	$Y_1$
1	X	X	0	1	X	X	0
0	0	0	$D_{10}$	0	0	0	$D_{20}$
0	0	1	$D_{11}$	0	0	1	$D_{21}$
0	1	0	$D_{12}$	0	1	0	$D_{22}$
0	1	1	$D_{13}$	0	1	1	$D_{23}$

$M_1$	$M_0$	$F$
0	0	$a \cdot b$
0	1	$a \oplus b$
1	0	$a \odot b$
1	1	$a + b$

# 历年期中试题-题选17

解：(1)首先将74HC153扩展成八选一数据选择器。

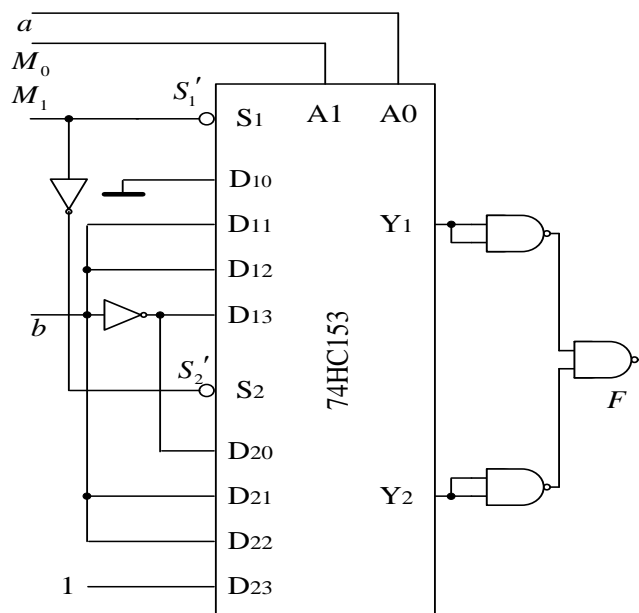
将函数表达式展开：

$$F = \overline{M_1} \overline{M_0} ab + \overline{M_1} M_0 \overline{a} b + \overline{M_1} M_0 a \overline{b} + M_1 \overline{M_0} ab$$

$$+ M_1 \overline{M_0} \overline{a} b + M_1 M_0 ab + M_1 M_0 a \overline{b} + M_1 M_0 \overline{a} b$$

$$= m_0 \cdot 0 + m_1 \cdot b + m_2 \cdot b + m_3 \cdot b' + m_4 \cdot b' + m_5 \cdot b + m_6 \cdot b + m_7 \cdot 1$$

$$F = Y_1 + Y_2 = \overline{Y_1} \cdot \overline{Y_2}$$

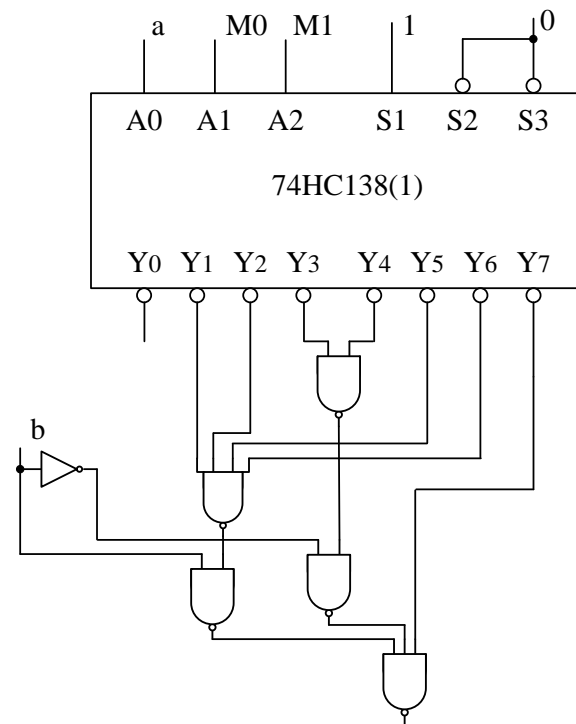


# 历年期中试题-题选17

(2)

$$\begin{aligned}
 F &= \overline{M_1} \overline{M_0} ab + \overline{M_1} M_0 \overline{a} b + \overline{M_1} M_0 a \overline{b} + M_1 \overline{M_0} ab + M_1 \overline{M_0} \overline{a} \overline{b} + M_1 M_0 ab + M_1 M_0 \overline{a} \overline{b} + M_1 M_0 \overline{a} b \\
 &= m_0 \cdot 0 + m_1 \cdot b + m_2 \cdot b + m_3 \cdot b' + m_4 \cdot b' + m_5 \cdot b + m_6 \cdot b + m_7 \cdot 1 \\
 &= (m_1 + m_2 + m_5 + m_6) \cdot b + (m_3 + m_4) \cdot b' + m_7 \\
 &= \overline{m_1' \cdot m_2' \cdot m_5' \cdot m_6'} \cdot b + \overline{m_3' \cdot m_4'} \cdot b' + m_7 \\
 &= \overline{\overline{m_1' \cdot m_2' \cdot m_5' \cdot m_6'} \cdot \overline{m_3' \cdot m_4'} \cdot b' \cdot m_7}
 \end{aligned}$$

将M1接到A2，M0接到A1，a接到A0，那么得到结果再和b作逻辑运算。  
当然地址为可以选取任意的三个变量，所以答案不唯一



# 历年期中试题-题选18

璐璐设计了一种全新的 ISEE 门，它的逻辑符号如下图所示，与其它的门不一样，ISEE 门具有三个输入，输入输出真值表如下表所示。



题2表 ISEE 门真值表

A	B	C	N
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

- (1) 请问输入  $A, B, C$  的顺序可以调换吗？为什么？
- (2) 写出  $N$  的布尔表达式，并且化简成为两项相加的形式。
- (3) 试仅用 4 个逻辑门实现 ISEE 门的功能，画出电路图。（可以选用的门包括：与门、或门、非门、与非门、或非门）。
- (4) 以  $A, B$  作为地址，用 4 选 1 数据选择器实现 ISEE 门（可用反相器），画出电路图。

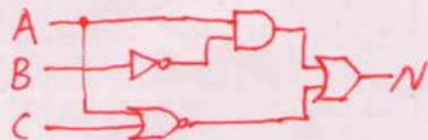
解：(1) 不能调换，因为  $N(0,0,1)=0$   
 $N(0,1,0)=1$   
 $N(1,0,0)=1$  } 不相等  
 $N(0,1,1)=0$   
 $N(1,0,1)=1$   
 $N(1,1,0)=0$  } 不相等

(2)

A \ BC	00	01	11	10
0	1	0	0	1
1	1	1	0	0

$$N = AB + \bar{A}\bar{C}$$

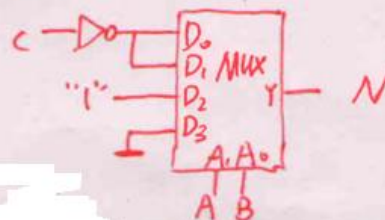
(3)  $N = \overline{A+C} + A \cdot \bar{B}$  有



(4)

A	B	N
0	0	$\bar{C}$
0	1	$\bar{C}$
1	0	1
1	1	0

故



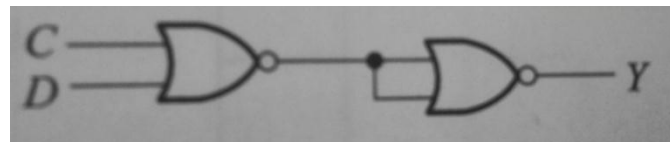
## 习题选讲

- 习题2.27 (4)，将逻辑函数化为或非-或非形式，并画出全部用或非逻辑单元组成的逻辑电路图

$$Y = ((CD)')(BC)'(ABC)'D')$$

解，对上式进行改写：

$$\begin{aligned} Y &= ((CD)')(BC)'(ABC)'D')' \\ &= ((C' + D)(B' + C')(A' + B' + C')D')' \\ &= (C'D'(B' + C'))' \\ &= (C'D')' \\ &= ((C + D)')' \end{aligned}$$



## 习题3.13

【题 3.13】 试说明在下列情况下,用万用电表测量图 P3.13 的  $v_{12}$  端得到的电压各为多少:

- (1)  $v_{11}$  悬空;
- (2)  $v_{11}$  接低电平(0.2 V);
- (3)  $v_{11}$  接高电平(3.2 V);
- (4)  $v_{11}$  经 51  $\Omega$  电阻接地;
- (5)  $v_{11}$  经 10 k $\Omega$  电阻接地。

图中的与非门为 74 系列的 TTL 电路,万用电表使用 5 V 量程,内阻为

20 k $\Omega$ /V。

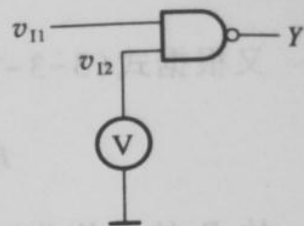
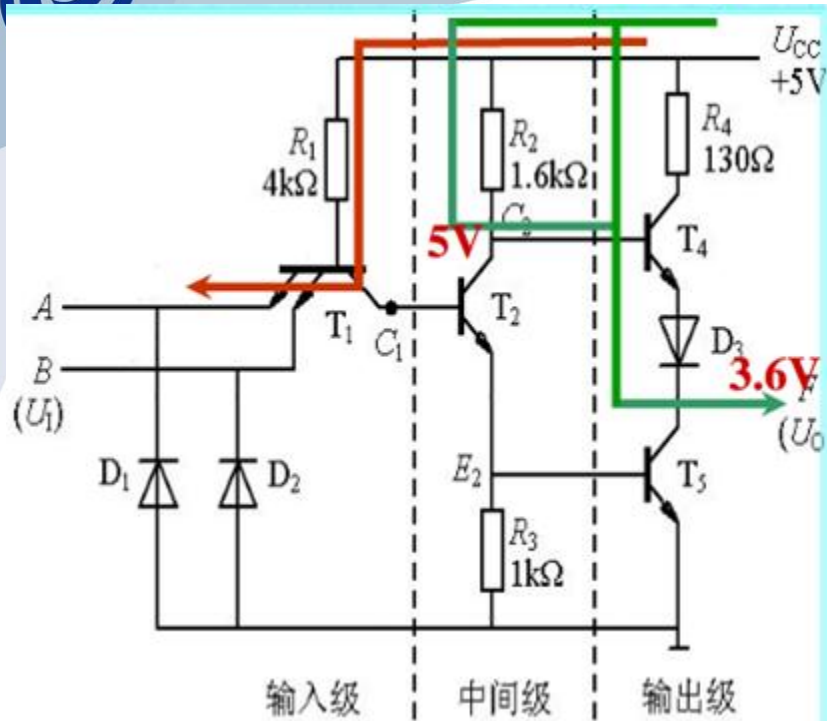


图 P3.13

对TTL电路而言,输入端得悬空状态和接逻辑高电平等效。输入端经过电阻接电源电压时,与接逻辑高电平等效。输入端经过电阻接地时,输入端的电平与电阻阻值的大小有关,当电阻阻值很小时(例如只有几十欧姆),输入端相当于接逻辑低电平;当电阻阻值大到一定程度以后,输入端电压将升高到逻辑高电平。

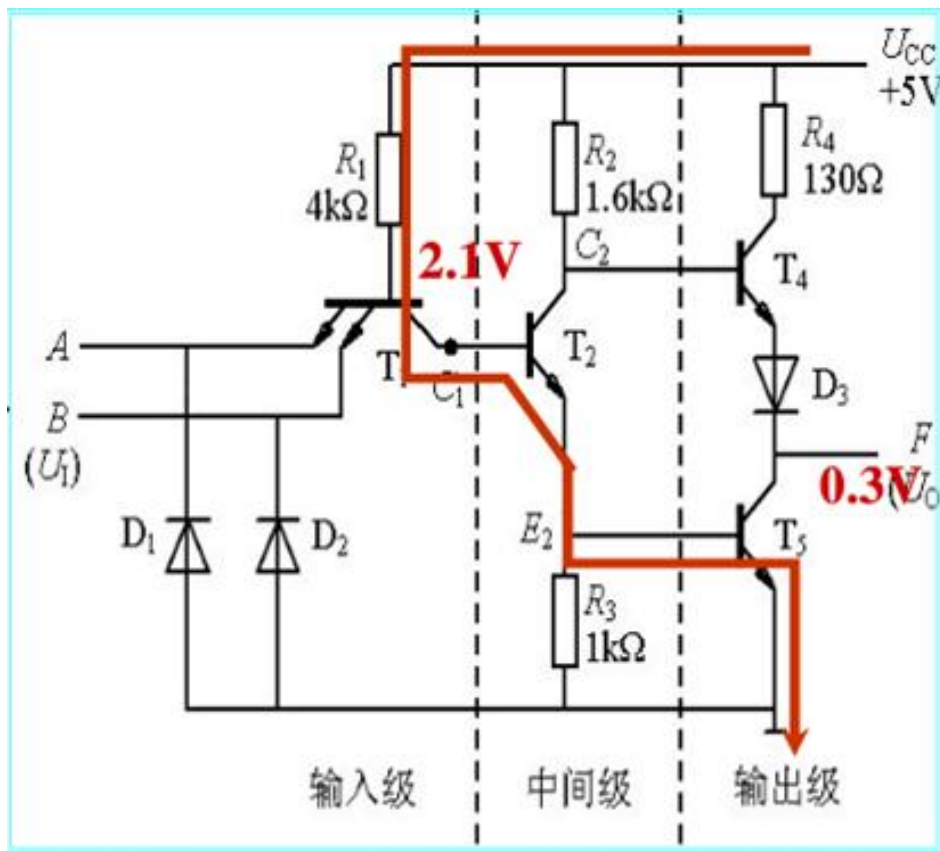
对CMOS门电路而言,通常是不允许输入端工作在悬空状态。输入端经过电阻接地时,与接逻辑低电平等效;经过电阻接电源电压时,与接逻辑高电平等效。





A、B至少一个低电平

- (1)  $v_{i1}$  悬空;
- (2)  $v_{i1}$  接低电平 ( $0.2 \text{ V}$ );
- (3)  $v_{i1}$  接高电平 ( $3.2 \text{ V}$ );
- (4)  $v_{i1}$  经  $51 \Omega$  电阻接地;
- (5)  $v_{i1}$  经  $10 \text{ k}\Omega$  电阻接地。



A、B都为高电平

- (1)  $v_{i2} \approx 1.4 \text{ V}$
- (2)  $v_{i2} \approx 0.2 \text{ V}$
- (3)  $v_{i2} \approx 1.4 \text{ V}$
- (4)  $v_{i2} \approx 0 \text{ V}$
- (5)  $v_{i2} \approx 1.4 \text{ V}$

## 习题题选

- 习题4.23，用8选1数据选择器74H151设计一个组合逻辑电路。该电路有3个输入逻辑变量A,B,C和1个工作状态控制变量M。当M=0时电路实现“意见一致”功能（A,B,C状态一致时输出为1，否则为0），而M=1时电路实现“多数表决”功能，即输出与A,B,C中多数的状态一致



根据题目写出真值表

表 A4.23 题 4.23 的真值表

$M$	$A$	$B$	$C$	$Z$	$M$	$A$	$B$	$C$	$Z$
0	0	0	0	1	1	0	0	0	0
0	0	0	1	0	1	0	0	1	0
0	0	1	0	0	1	0	1	0	0
0	0	1	1	0	1	0	1	1	1
0	1	0	0	0	1	1	0	0	0
0	1	0	1	0	1	1	0	1	1
0	1	1	0	0	1	1	1	0	1
0	1	1	1	1	1	1	1	1	1

由表可得逻辑表达式

由真值表写出逻辑式为

$$\begin{aligned}
 Z &= (A'B'C' + ABC)M' + (A'BC + AB'C + ABC' + ABC)M \\
 &= A'B'C' \cdot M' + A'B'C \cdot 0 + A'BC' \cdot 0 + A'BC \cdot M + AB'C' \cdot 0 \\
 &\quad + AB'C \cdot M + ABC' \cdot M + ABC \cdot 1
 \end{aligned}$$

用 74HC151 接成的电路如图 A4.23 所示。其中  $A_2 = A$ 、 $A_1 = B$ 、 $A_0 = C$ 、 $D_0 = M'$ 、 $D_1 = D_2 = D_4 = 0$ 、 $D_3 = D_5 = D_6 = M$ 、 $D_7 = 1$ 。

