

# 8 加法器

半加法和全加法是算术运算电路中的基本单元，它们是完成 1 位二进制相加的一种组合逻辑电路。加法器是产生数的和的装置。加数和被加数为输入，和数与进位为输出的装置为半加器。加数、被加数与低位的进位数为输入，而和数与进位为输出则为全加器。

## 8.1 半加器

半加器的功能是将两个一位二进制数相加。它有两个输出：

- 和：记作  $S$ ，来自对应的英语 Sum；
- 进位：记作  $C$ ，来自对应的英语 Carry 一位的数字。因此，这两个一位二进制数的和用十进制表示即等于  $2C + S$ 。

半加器将两个输入位加和，产生进位与和，是半加器的两个输出。半加器的输入变量叫做被加数或被加位，输出变量为和与进位。半加器的真值表如表 8.1 所示。

表 8.1 半加器真值表

输入		输出	
$A$	$B$	$C$	$S$
0	0	0	0
1	0	0	1
0	1	0	1
1	1	1	0

由真值表 8.1 可写出逻辑式

$$S = AB' + A'B = A \oplus B \tag{8.1}$$

$$C = AB \tag{8.2}$$

式 (8.1) 中 “ $\oplus$ ” 表示异或运算。异或门是复合门，可由 2 个与门和 1 个或门组成，参见教材第 123—124 页。

8.2 全加器

图 8.1 所示是一位全加器的符号。它与半加器不同之处在于它还能接收一个低位进位输入信号  $C_{in}$ 。图中的蓝框是为了表明它作为一个整体可以级联构成多位二进制数的加法器。

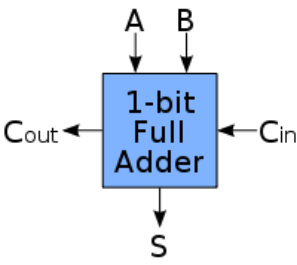


图 8.1 全加器

全加器（full adder）将两个一位二进制数相加，并根据接收到的低位进位信号，输出和、进位。全加器的三个输入信号为两个加数  $A$ 、 $B$  和低位进位  $C_{in}$ 。全加器通常可以通过级联（cascade）的方式，构成多位（如 8 位、16 位、32 位）二进制数加法器的基本部分。全加器的输出和半加器类似，包括向高位的进位信号  $C_{out}$  和本位的和信号  $S$ 。一位全加器的真值表如表 8.2 所示。

表 8.2 全加器真值表

输入			输出	
$A$	$B$	$C_{in}$	$C_{out}$	$S$
0	0	0	0	0
1	0	0	0	1
0	1	0	0	1
1	1	0	1	0
0	0	1	0	1
1	0	1	1	0
0	1	1	1	0
1	1	1	1	1

由真值表 8.2 可写出逻辑式

$$S = A \oplus B \oplus C_{in} \tag{8.3}$$

$$C_{out} = (A \oplus B) \oplus C_{in} + AB \tag{8.4}$$