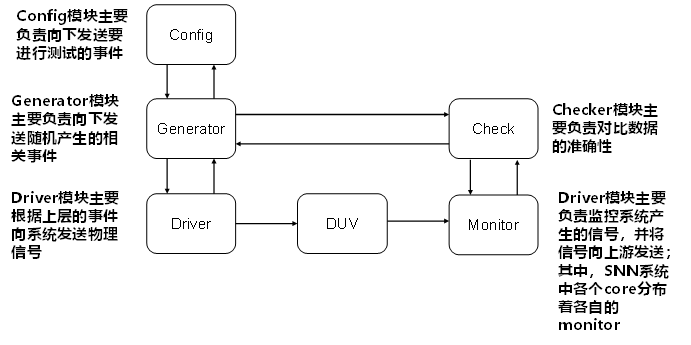
**MEMO**

**2020.09.14-2020.09.18**

1. **文献阅读：**
   1. 这一周的文献阅读主要阅读了两篇NC的工作：
      * 第一篇是A.Mehonic小组的工作(10.1038/s41467-020-18098-0)，主要内容通过仿真探讨器件非理想特性对网络的影响，讨论的内容比较系统和具体，并且提出来了"committee machines"来提升网络精度(在我看来，这个这机制有点像网络集成的概念)；
      * 第二篇是A.Sebastian小组的工作(10.1038/s41467-020-16108-9)，主要内容通过仿真和实验(1 Mb PCM)探讨了在训练过程中，通过在权重中添加噪声（仅仅在前馈过程中添加噪声，噪声分布形式为高斯分布），来解决由于器件读写噪声对网络造成精度的降低；并且进一步提出了自适应批标准化统计更新的方法，改善了由于PCM的权重漂移造成精度的下降。
   2. 下一周的调研计划是进一步调研这方面相关的文章，着重关注一下以分布的形式看待权重的相关想法。关注权重分布的主要原因是，在对比对抗训练和RRAM权重的噪声数学形式之后，发现了RRAM噪声导致神经网络识别精度下降的原因并想出了一个可行性较高的解决方案，想从另外一个角度去解决这个问题，即干脆将权重看成一个分布，网络的训练过程就是挑选合适权重分布的过程。
2. **SNN芯片系统级验证方案：**
   1. 这一周初步提出了SNN芯片的系统级验证方案：



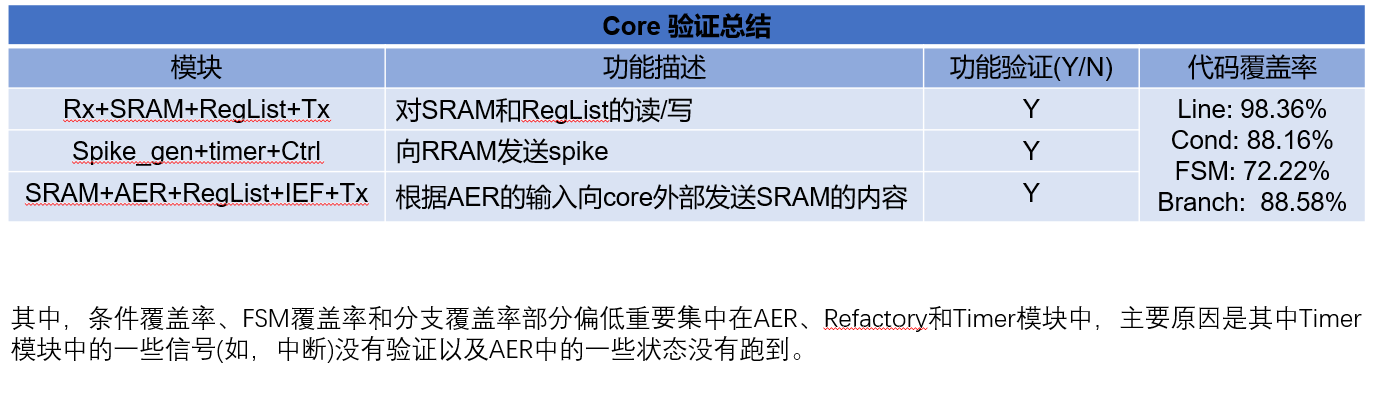
1. 虽然系统级的验证方案已经初步提出来了，但是具体的一些细节需要进一步的思考与讨论，尽可能的把已经写好的代码复用起来，并且要及时更新验证计划。另外一个工作就是需要把系统验证环境集成起来。
2. 目前遇到的问题：
   1. 关于系统整体的复位、上电、时钟等相关的基本功能还没有具体的想法验证，需要调研相关的验证方法；
   2. 关于系统的能耗、能效的验证方案没有，但是这一部分估计不会验证，首先这不是属于必需验证项目；其次，系统文档中没有关于这一部分的相关描述。
3. **UVM的学习：**
   1. 上一周主要在学习验证的相关通识知识以及SystemVerilog的基本语法，目前的进度是学习到了UVM入门部分，SystemVerilog的语法参考手册中关于设计和部分验证相关的语法已经学习完了。
   2. 接下来的一周还是需要继续UVM的知识，阅读IEEE Std 1800.2 标准。

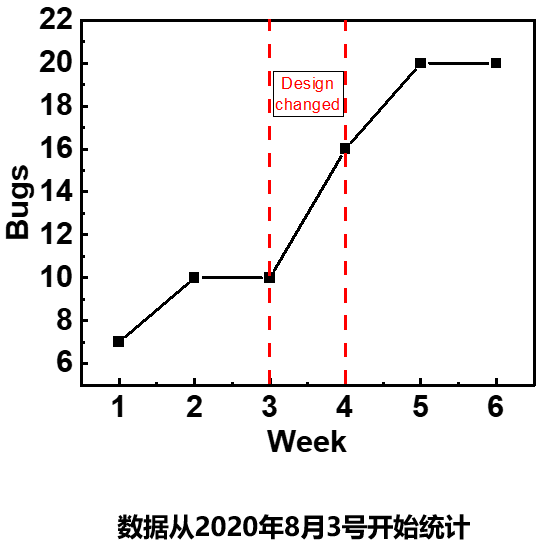
**2020.09.19-2020.09.25**

1. **文献阅读：**

这一周主要阅读了一篇关于Bayesian Neural Network(BNN)算法的综述文章（Bayesian Neural Networks An introduction and suvery），泛读了一篇用MTJ实现BNN的文章(All-spin Bayesian neural network)。

1. **验证工作总结：**

****

****

上图1是单个Core的验证结果，根据我们的验证计划和待验特征及指标，core的设计已经达到了验证完备；上图2是追踪整个芯片累计修复bug的曲线，到第六周（即当前周），设计没有再发现缺陷，整体设计趋近于稳定。整个系统的验证结果还在整理之中。

1. **UVM学习**

这一周的UVM学习主要是巩固SV的语法知识，还需要继续学习以及阅读IEEE R1800.2标准。