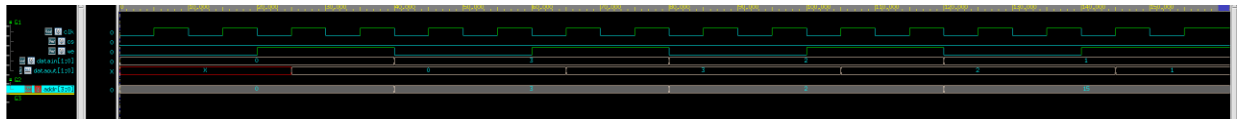


國立清華大學 電機工程學系
111 學年度第二學期
EE-6250 超大型積體電路測試 VLSI Testing
Homework #3 (佔學期總成績 10 分)

(可兩人一組) Due Date : 23:59pm, June 5 (Monday), 2023, (逾時不收)

組員:王煒翔、薛仲勛

- (a) Write the **Verilog model for this SRAM** and verify it with a simple testbench to show the functional correctness. Show the simulation waveforms produced.

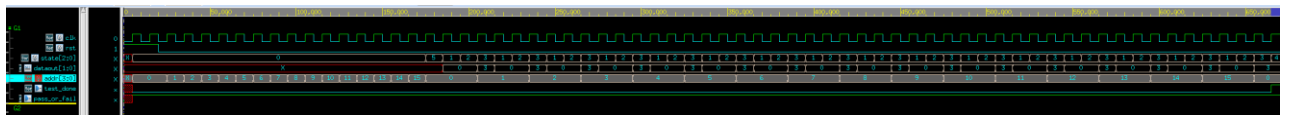


我使用的測資分別為 addr=0、3、2、15，data=0、3、2、15，可由波型可看出正確的結果，不過值得一提的是當我們要 read 出資料時，會 delay 一個 clock

- (b) Write a **synthesizable Verilog code** to realize the **Built-In Self-Test (BIST)** function for this SRAM block. Include the checkerboard test and the march test as discussed in class in your test algorithm. Replace the testbench in (a) with this BIST circuit and conduct the Verilog simulation again. Show the simulation waveforms produced.

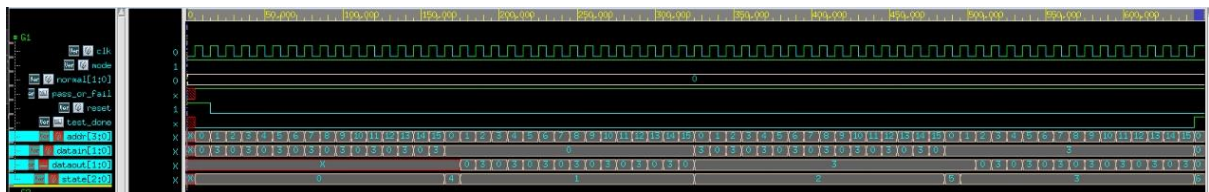
本次我跟我的組員分開做兩個測試算法，我做的是 march，組員做的是 checkerboard

Match test



前面 15 個週期我用來寫 0，其中 state 5 代表 wait 一個 clock 再開始 march，state 1、2、3 分別代表課本的 R、W、R，不過由於(a)小題所說，read 出來必須 delay 一個 clock，所以我在 state 3 的時候就預先讓 addr+1，提早讀出下一個 0

Checkerboard Test



流程

1. 在 SRAM 依序寫入 0、1、0、1 的 data，直到 SRAM 被寫滿。
2. 依序讀取 SRAM 中的資料，並檢查是否有符合 0、1、0、1 的排序。
3. 在 SRAM 依序寫入 1、0、1、0 的 data，直到 SRAM 被寫滿。
4. 依序讀取 SRAM 中的資料，並檢查是否有符合 1、0、1、0 的排序。

由於讀取資料時，dataout 獲取的資料會比 addr 慢一個 CLK，因此 addr=1 時，dataout 所顯示的 data 是儲存在 addr=0 中的資料。

假如讀取資料錯誤，pass_or_fail 會降為 0。

上述所提到的算法，都是 bit0 跟 bit1 同時測試的，所以可以看出資料為 0 或 3

(c) **Synthesize** your BIST circuit using Design Compiler. Report the critical path delay of your BIST circuit.

March test

```

Startpoint: state_reg_2_
(rising edge-triggered flip-flop clocked by clk)
Endpoint: addr_reg_1_
(rising edge-triggered flip-flop clocked by clk)
Path Group: clk
Path Type: max

```

Point	Incr	Path
clock clk (rise edge)	0.00	0.00
clock network delay (ideal)	0.00	0.00
state_reg_2_/CK (DFFTRXL)	0.00	0.00 r
state_reg_2_/Q (DFFTRXL)	0.28	0.28 f
U113/Y (NOR3X1)	0.25	0.53 r
U91/Y (NOR4X2)	0.10	0.63 f
U90/Y (NOR4BX2)	0.14	0.78 f
U80/Y (OAI31X1)	0.19	0.97 r
U99/Y (OAI22X1)	0.12	1.09 f
addr_reg_1_/RN (DFFTRXL)	0.00	1.09 f
data arrival time		1.09
clock clk (rise edge)	10.00	10.00
clock network delay (ideal)	0.00	10.00
addr_reg_1_/CK (DFFTRXL)	0.00	10.00 r
library setup time	-0.19	9.81
data required time		9.81
data required time		9.81
data arrival time		-1.09
slack (MET)		8.72

Checkboard test

```

Date : Fri Jun 2 18:13:52 2023
*****
Operating Conditions: slow Library: slow
Wire Load Model Mode: top

```

```

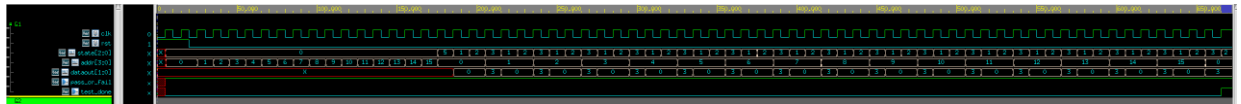
Startpoint: state_reg_2_
(rising edge-triggered flip-flop clocked by clk)
Endpoint: test_patterns_reg_0_
(rising edge-triggered flip-flop clocked by clk)
Path Group: clk
Path Type: max

```

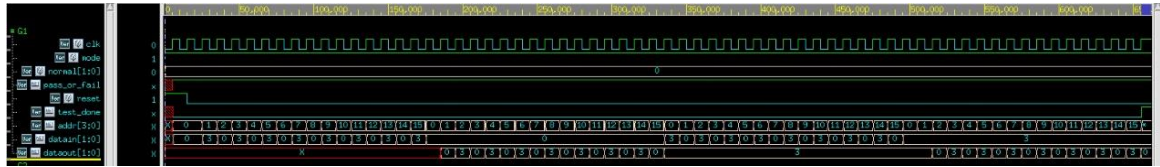
Point	Incr	Path
clock clk (rise edge)	0.00	0.00
clock network delay (ideal)	0.00	0.00
state_reg_2_/CK (DFFQXL)	0.00	0.00 r
state_reg_2_/Q (DFFQXL)	0.30	0.30 f
U82/Y (NOR3X1)	0.32	0.62 r
U86/Y (AOI221XL)	0.18	0.80 f
U85/Y (NAND4X2)	0.09	0.89 r
test_patterns_reg_0_/E (EDFFX2)	0.00	0.89 r
data arrival time		0.89
clock clk (rise edge)	10.00	10.00
clock network delay (ideal)	0.00	10.00
test_patterns_reg_0_/CK (EDFFX2)	0.00	10.00 r
library setup time	-0.37	9.63
data required time		9.63
data required time		9.63
data arrival time		-0.89
slack (MET)		8.73

(d) Perform **gate-level simulation** including your BIST circuit and the Verilog model for the SRAM block under test. Assume a clock rate of 100MHz. Does your BIST circuit report a test result of “pass”? If not, discuss why.

March test



Checkboard test



上述兩圖可看出 pass_or_fail 皆為 1，代表沒有錯誤

- (e) Increase the clock rate gradually (i.e., from 100MHz to some higher rates) and check if at some point the test result becomes erroneous (i.e., turning from “pass” to “fail”). Discuss if you can derive the **maximum operating speed** of your BIST circuit in this experiment.

March test maximum operation speed=1000/0.67 MHz=1492 MHz

Checkboard test maximum operation speed=1000/0.65 MHz=1538 MHz

Point	Incr	Path

clock clk (rise edge)	0.00	0.00
clock network delay (ideal)	0.00	0.00
state_reg_0 /CK (DFFHQX4)	0.00	0.00 r
state_reg_0 /Q (DFFHQX4)	0.12	0.12 f
U87/Y (CLKINVX3)	0.03	0.15 r
U91/Y (AND3X4)	0.08	0.23 r
U118/Y (NOR2X4)	0.02	0.25 f
U97/Y (NAND2BX4)	0.03	0.28 r
U114/Y (OAI2BB1X4)	0.08	0.36 r
U116/Y (OAI2BB1X4)	0.03	0.39 f
U126/Y (INVXL)	0.03	0.42 r
U122/Y (AO2B2XL)	0.22	0.64 f
addr_reg_2 /D (DFFHQX8)	0.00	0.64 f
data arrival time		0.64

clock clk (rise edge)	0.66	0.66
clock network delay (ideal)	0.00	0.66
addr_reg_2 /CK (DFFHQX8)	0.00	0.66 r
library setup time	-0.08	0.58
data required time		0.58

data required time		0.58
data arrival time		-0.64

slack (VIOLATED)		-0.06

在 0.66 時 march 的 slack <0

Operating Conditions: slow Library: slow
Wire Load Model Mode: top

Startpoint: state_reg_2_ (rising edge-triggered flip-flop clocked by clk)
Endpoint: addr_reg_2_ (rising edge-triggered flip-flop clocked by clk)
Path Group: clk
Path Type: max

Point	Incr	Path

clock clk (rise edge)	0.00	0.00
clock network delay (ideal)	0.00	0.00
state_reg_2 /CK (DFFHQX4)	0.00	0.00 r
state_reg_2 /Q (DFFHQX4)	0.11	0.11 f
U129/Y (INVX4)	0.03	0.14 r
U107/Y (INVX3)	0.03	0.17 f
U105/Y (NAND2BX2)	0.04	0.21 r
U124/Y (NAND2X2)	0.04	0.24 f
U136/Y (OAI31X1)	0.08	0.32 r
U147/Y (INVXL)	0.07	0.39 f
U151/Y (AO2B2XL)	0.25	0.64 f
addr_reg_2 /D (DFFHQX8)	0.00	0.64 f
data arrival time		0.64

clock clk (rise edge)	0.64	0.64
clock network delay (ideal)	0.00	0.64
addr_reg_2 /CK (DFFHQX8)	0.00	0.64 r
library setup time	-0.08	0.56
data required time		0.56

data required time		0.56
data arrival time		-0.64

slack (VIOLATED)		-0.08

在 0.64 時 checkboard 的 slack <0

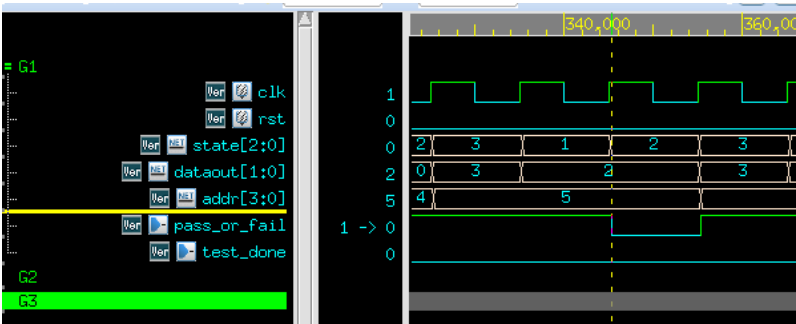
(f) Try to inject a stuck-at-1 fault to bit #2 of the SRAM word #5, and report the test result of your BIST at 100MHz.

題目說要在 word5 的第二個 bit SA1，由於在 RTL 很難直接這樣做，所以我在 gatelevel 合出來的 syn.v 檔中做 SA1

```
EDFFX2 memory_reg_5__1_ ( .D(1'b1), .E(n6), .CK(clk), .Q(memory[11]),  
    .QN() );
```

直接在 D 的位置強制設為 1 即可實現 SA1

March test



由圖可得知，在 state1 的時候是要讀到 0 的，不過因為 SA1 的關係，有檢測到有錯誤存在，所以會在下個週期 pass_or_fail 為 0，得知在 addr=5 要讀 0 的時候發生錯誤

Checkboard test



把 Word5 sa1，但第一輪寫入 0、1、0、1 的測試中，由於 Word5 寫入的資料剛好是 1，所以並無判斷出錯誤。

而在第二輪測試中，將寫入資料反向，Word5 本該寫入 0，但由於 Word5 sa 1 因此在後續的 READ 被檢查出錯誤，pass_or_fail 降為 0

組員分工

	SRAM	Checkboard	March	Report
111061642 王煒翔	O		O	O
111061622 薛仲勛		O		O