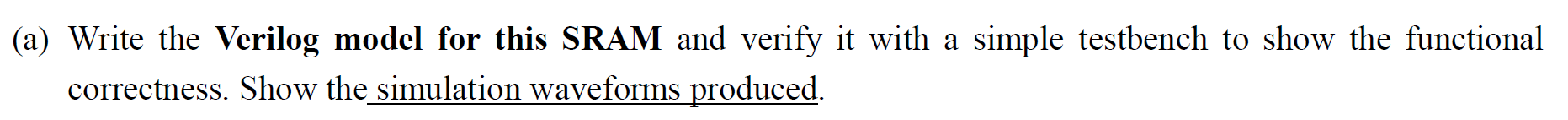
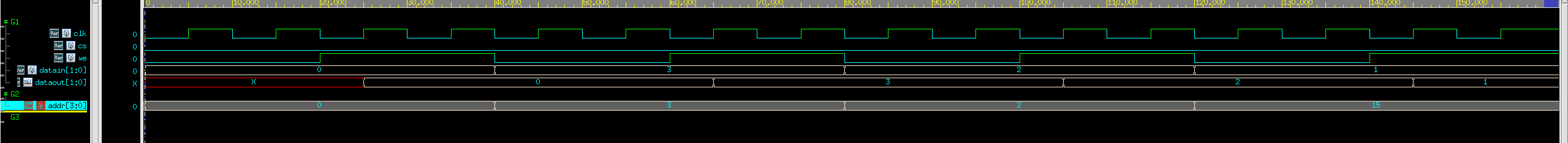
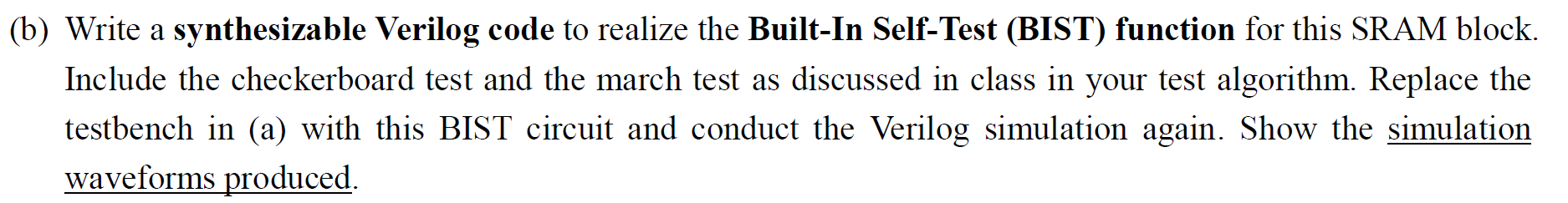


組員:王煒翔、薛仲勛



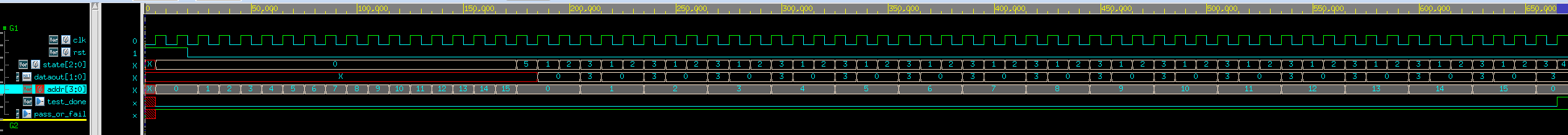


我使用的測資分別為addr=0、3、2、15，data=0、3、2、15，可由波型可看出正確的結果，不過值得一提的是當我們要read出資料時，會delay一個clock



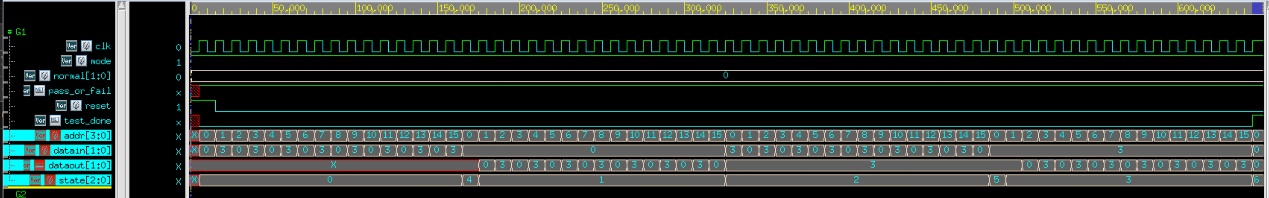
本次我跟我的組員分開做兩個測試算法，我做的是march，組員做的是checkboard

Match test



前面15個週期我用來寫0，其中state 5代表wait 一個clock再開始march，state1、2、3分別代表課本的R、W、R，不過由於(a)小題所說，read 出來必須delay 一個clock ，所以我在state3的時候就預先讓addr+1，提早讀出下一個0

Checkboard Test



流程

1. 在SRAM依序寫入0、1、0、1的data，直到SRAM被寫滿。

2. 依序讀取SRAM中的資料，並檢查是否有符合0、1、0、1的排序。

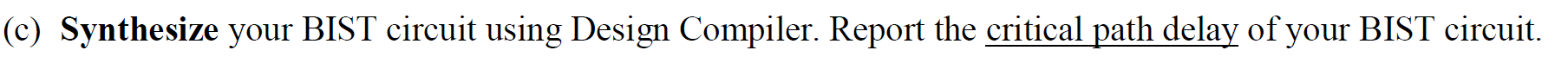
3. 在SRAM依序寫入1、0、1、0的data，直到SRAM被寫滿。

4. 依序讀取SRAM中的資料，並檢查是否有符合1、0、1、0的排序。

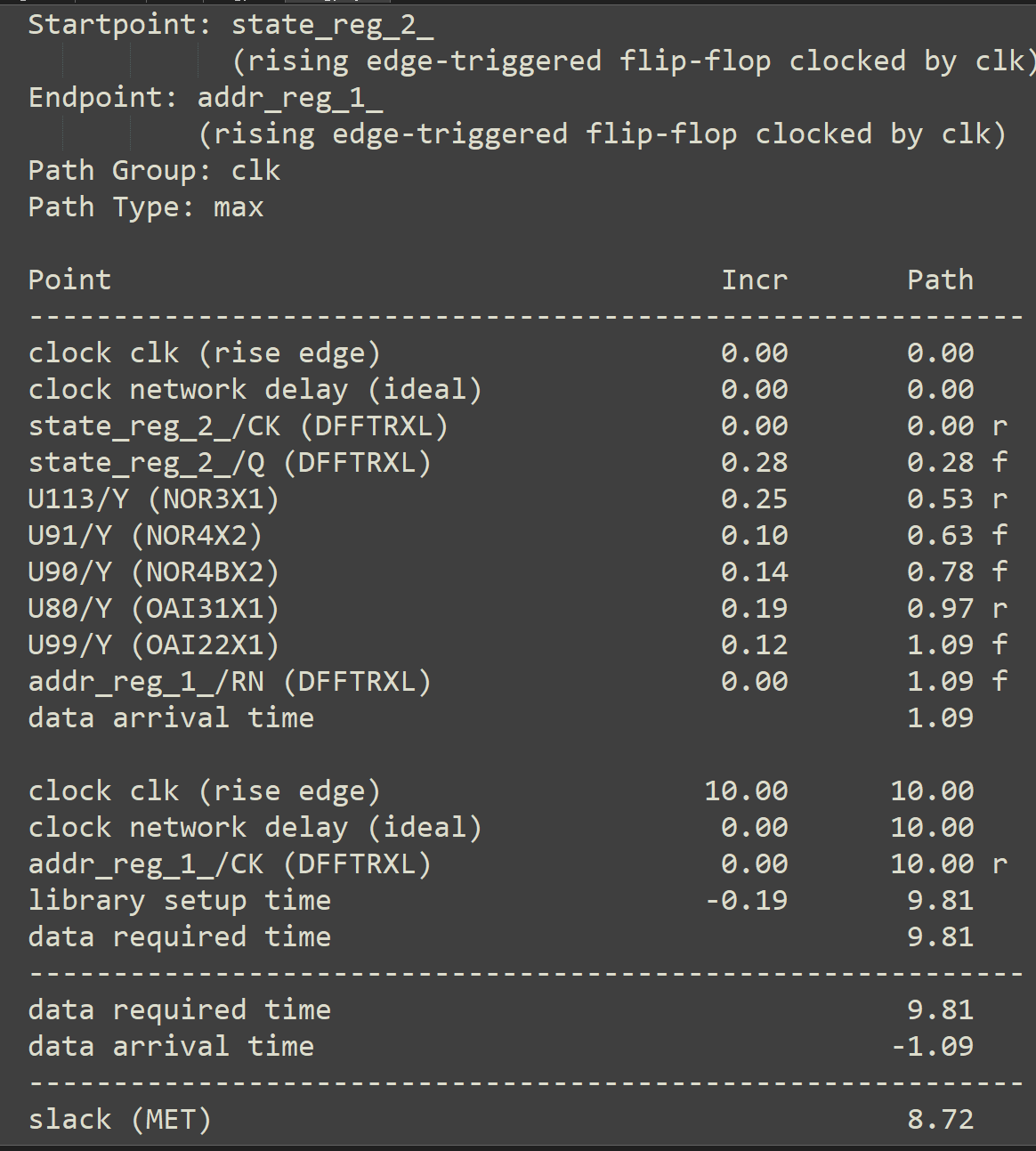
由於讀取資料時，dataout獲取的資料會比addr慢一個CLK，因此addr=1時，dataout所顯示的data是儲存在addr=0中的資料。

假如讀取資料錯誤，pass\_or\_fail會降為0。

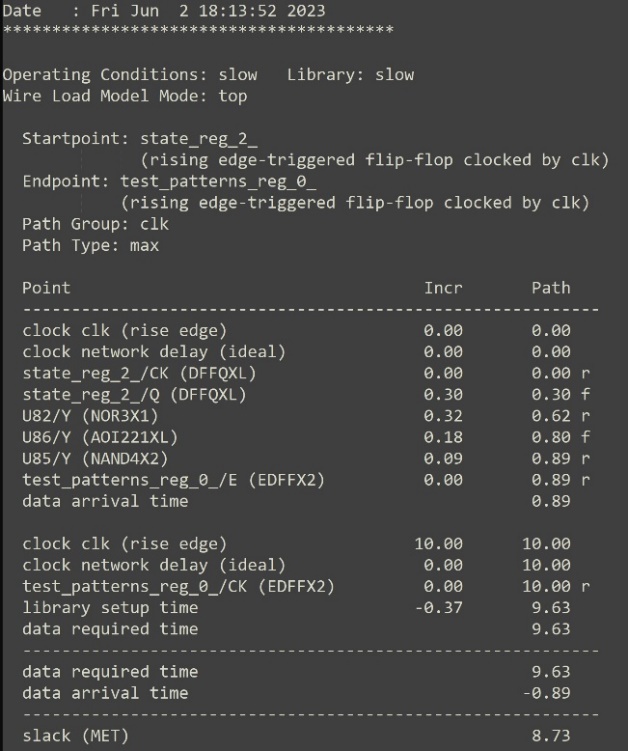
上述所提到的算法，都是bit0跟bit1同時測試的，所以可以看出資料為0或3

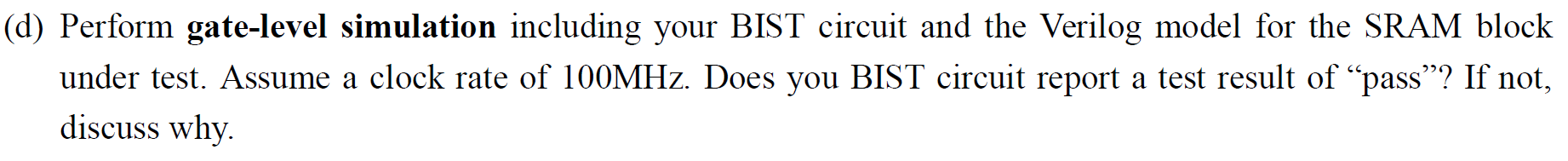


March test

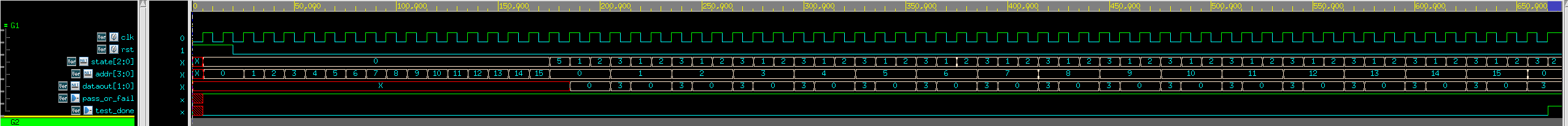


Checkboard test

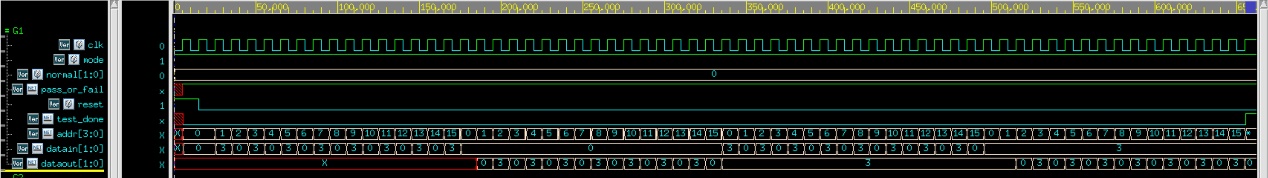
**



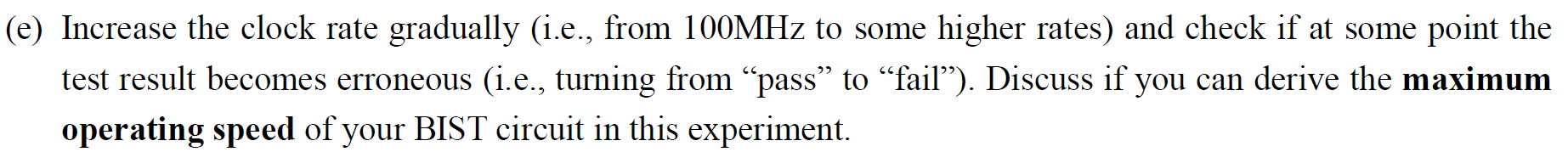
March test



Checkboard test

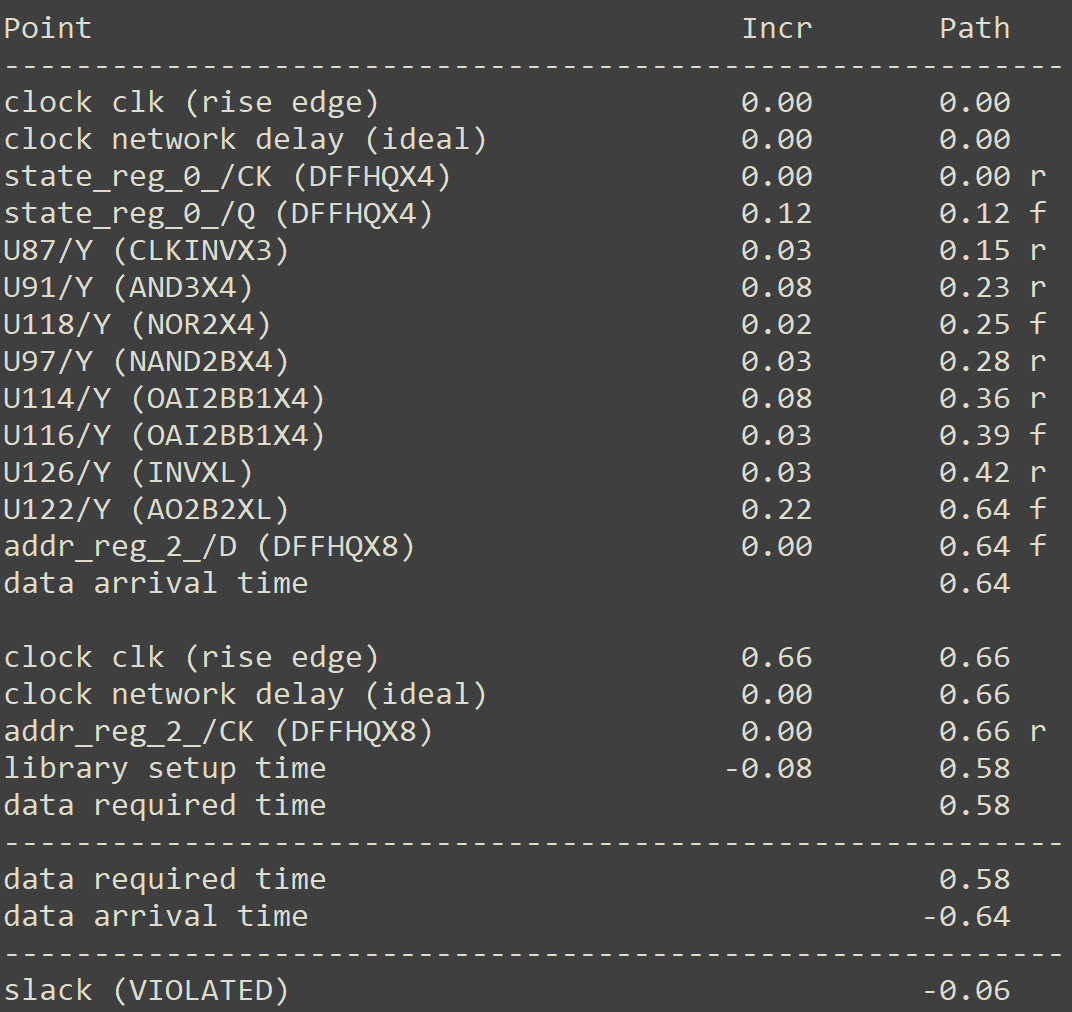
**

上述兩圖可看出pass\_or\_fail皆為1，代表沒有錯誤

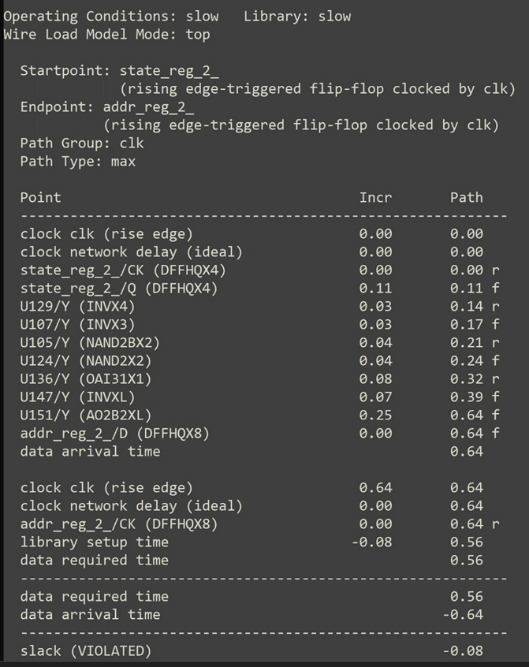


March test maximum operation speed=1000/0.67 MHz=1492 MHz

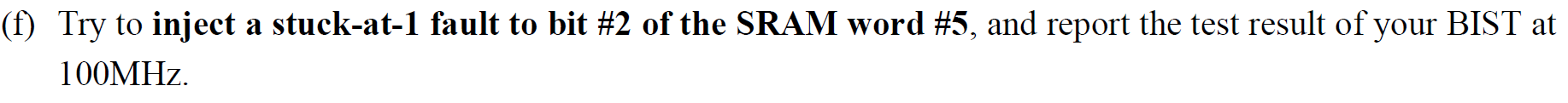
Checkboard test maximum operation speed=1000/0.65 MHz=1538 MHz



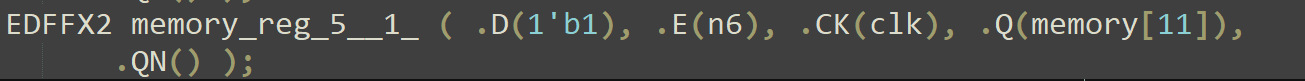
在0.66時 march 的slack <0



在0.64時 checkboard的slack<0

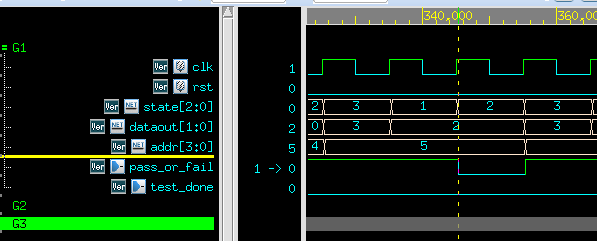


題目說要在word5的第二個bit SA1，由於在RTL很難直接這樣做，所以我在gatelevel合出來的syn.v檔中做SA1



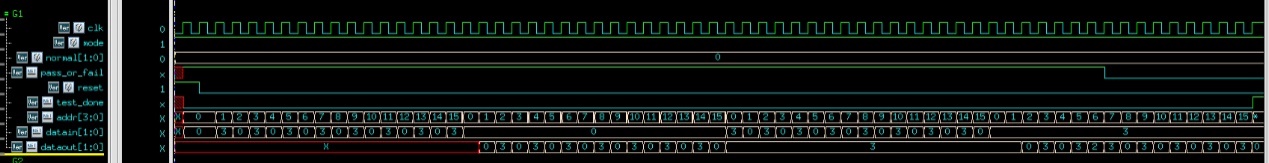
直接在D的位置強制設為1即可實現SA1

March test



由圖可得知，在state1的時候是要讀到0的，不過因為SA1的關係，有檢測到有錯誤存在，所以會在下個週期pass\_or\_fail為0，得知在addr=5要讀0的時候發生錯誤

Checkboard test

**

把Word5 sa1，但第一輪寫入0、1、0、1的測試中，由於Word5寫入的資料剛好是1，所以並無判斷出錯誤。

而在第二輪測試中，將寫入資料反向，Word5本該寫入0，但由於Word5 sa 1因此在後續的READ被檢查出錯誤，pass\_or\_fail降為0

組員分工

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
|  | SRAM | Checkboard | March | Report |
| 111061642王煒翔 | O |  | O | O |
| 111061622薛仲勛 |  | O |  | O |