

一种基于完全集成 Buck 型 DC-DC 转换器 开关桥选择的迅捷方法

刘喜梅 梁 逊

(青岛科技大学 青岛 266042)

摘要: 在选择特定 CMOS 工艺基础上,本文提出了同步 Buck 型转换器开关桥拓扑结构和器件最佳组合的选择方法。DC-DC 转换器是集成在有着相同负载的集成电路中,集成电路工作点已知且恒定。本文设计空间由多种共源共栅/非共源共栅开关桥拓扑结构和可用 MOS 开关器件构成,由本文方法选出的设计空间,满足使电源转换效率 η 最大化的设计要求。本文提出的方法缩小了设计空间,找到了最低功耗组合,并且避免了繁琐的比较仿真工作。在 45 nm 和 65 nm CMOS 工艺基础上,本文对具有核心器件、I/O 器件和高压器件的同步 3.3~1.65 V Buck 型转换器进行仿真。仿真结果与理论值(由本文方法计算所得)对比结果验证了本文提出方法的可行性。此外,通过对比得到的结论对于以后详细设计和相关拓扑结构优化提供有效参考。

关键词: Buck 型转换器;共源共栅;电路优化;CMOS;单片集成

中图分类号: TN702 **文献标识码:** A **国家标准学科分类代码:** 470.4031

Rapid method of switch bridge selection based on fully integrated DC-DC Buck converters

Liu Ximei Liang Xun

(Tsingtao University of Science & Technology, Qingdao 266042, China)

Abstract: This paper offers a way to find the best selection of synchronous buck converter switching bridge topology and equipment in the selection of CMOS technology. It is assumed that the DC-DC converter is on the same integrated circuit where the load has a constant operating point that is known. The design space consists of the variety of cascode/noncascode switch bridge topologies and available MOS switch devices. The goal of maximizing the power efficiency η is met with a very large design space. To avoid exhaustive simulations, the proposed technology-independent approximation method narrows down the design space and suggests the most power-efficient combination. Synchronous 3.3~1.65 V Buck converters simulations with core, I/O, and HV devices in 45 and 65-nm CMOS technologies confirmed that the method produces reliable comparative results. Furthermore, the outcome is a sharp focus for subsequent detailed dc-dc converter design and topology-dependent optimization.

Keywords: Buck converter; cascode; circuit optimization; CMOS; monolithic integration

1 引言

国际微电子技术的发展趋势是集成电路^[1]的特征尺寸继续缩小,集成电路将发展为系统芯片。系统芯片由外部电源供电。由电容电感(LC)构成的同步 Buck 型降频转换器是主要架构之一;同步 Buck 变换器因其具有效率高、体积小和结构简单^[2]等特点,在通信、IT、航天以及日常生活中得到了广泛的应用。该转换器开关频率(f_{sw})在几十或几百兆赫,与输出 LC 滤波器(如图 1 所示)无缝对接^[3]。然

而,在纳米级 CMOS 工艺中低核心器件击穿电压通常是为了防止由电源(V_{IN})供电的 CMOS 器件过度导通,例如 3.6~3.7 V 锂电池应用中保护电路的设计^[4]。本文提出了各种可用的共源共栅拓扑结构和高压(HV)器件^[5-6]。

在输入电压 V_{IN} 、输出电压 V_{OUT} 的值以及负载电流 I_L 范围确定的情况下,本文设计空间满足使电源转换效率 η 最大化的设计要求。在给定 CMOS 工艺中,设计空间由多种共源共栅/非共源共栅开关桥拓扑结构和可用 MOS 开关器件构成,其中可对设计工作和仿真进行耗时比较。预设计基

收稿日期:2015-05

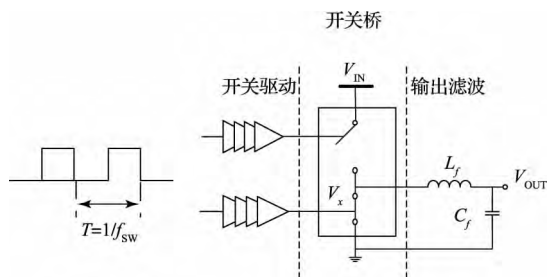


图 1 同步 Buck 型通用转换器简单示意图

准方法对于首次缩小设计空间是非常有效的。此外,本文结论对于以后 DC-DC 转换器详细设计提供了有效参考。

本文提出了一种用于选择 Buck 型转换器开关桥拓扑结构和器件组合的方法,该方法在选择特定 CMOS 工艺时可以使效率 η 最大化。与此同时,该方法主要是用于负载在同一芯片并且电源电压 V_{IN} 和电感电流 I_L 恒定的情况下。第二节主要讨论设计空间,并提出了一种用于快速比较可用拓扑结构/器件组合的方法。第三节通过仿真对本文方法进行印证,仿真对象是 3 个在 45 和 65nm CMOS 工艺中具有不同 MOS 器件^[7]的拓扑结构示例。第四节主要是结论部分。

2 系统拓扑结构/器件组合的选择

2.1 设计空间的注意事项

对于完全集成 Buck 型转换器,设计空间包括:1) m 个可用开关类型器件;2) n 个可能的开关桥拓扑结构。典型纳米级(22~90nm)CMOS 工艺支持供电电压在 0.9~1.2 V 的高性能核心晶体管器件,同时也支持许多变化的阈值电压(V_{th})。与此同时,还支持厚氧化层 I/O 器件(1.8/2.5/3.3 V),以及一些在 DC-DC 转换器应用方面特别热门的特定高压器件,这些器件的供电电压在 5 V 或 5 V 以上。所有类型器件的寄生特性彼此不同,这对于完全集成高频(f_{sw})转换器尤为重要。

对于可能的开关桥拓扑结构,预期电池电压 V_{IN} 是一个重要因子。具体来说,器件击穿电压 $V_{break,i}$ 发挥着最显著作用。

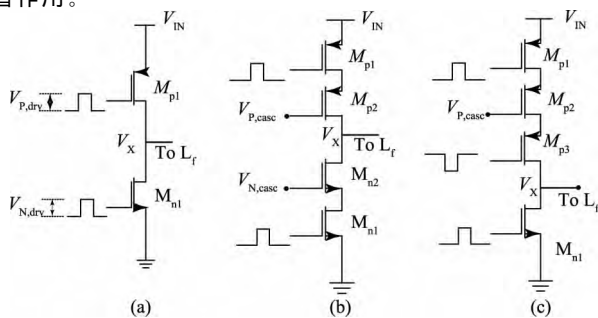


图 2 Buck 型转换器开关桥示例

(a)对称的 1×1 阶共源共栅结构 (b)对称的 2×2 阶共源共栅结构 (c)非对称的 3×1 阶共源共栅结构

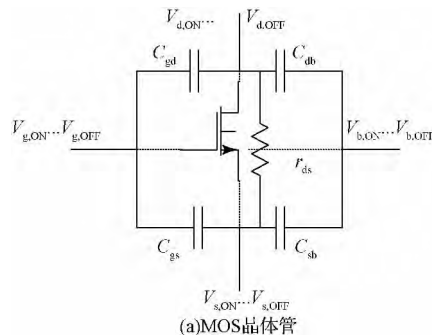
如图 2(a)所示,当 $V_{IN} \leq V_{break,i}$ 时基本的同步 Buck 型转换器拓扑结构与一个 NMOS 和一个 PMOS 器件是等价的。例如,1.8~0.9 V 转换器可以用一个 1.8 V I/O 器件或 5 V 高压器件代替。如图 2(b)和图 2(c)所示的共源共栅结构器件,可以提高 V_{IN} 的值其中 $V_{IN,max} = \min(p \cdot V_{break,p}, q \cdot V_{break,q})$ (p 和 q 分别是 PMOS 高压侧和 NMOS 低压侧开关器件的数量; $V_{break,p}$ 和 $V_{break,q}$ 是对应击穿电压)。例如,图 2(b)所示对称的 2×2 阶共源共栅结构,当 $V_{break,i} = 2.5$ V 时,可用于 3.6~1.8 V 转换器;然而对于图 2(c)所示非对称的 3×1 阶共源共栅结构,当 $V_{IN} = 2.8 \sim 4.2$ V 时,三个 1.8 V PMOS 器件仅能与一个 4.2 V 高压 NMOS 器件相连。

因此,设计空间理论上由 $m \cdot n$ 个开关器件和开关桥拓扑结构组合而成。可选择的组合数目非常大,并且没有任何一种组合能满足所有节能应用。例如,高压 CMOS 器件组合可以使开关桥器件数量最小化,但并不适用于所有情况。此外,在高速开关应用(如完全集成 DC-DC 转换器)中有些组合已经产生了显著的寄生损耗。共源共栅结构也呈现出类似问题。因此,一个具有更少 I/O 器件的 2×2 阶共源共栅结构可能比具有高速核心器件的 3×3 阶共源共栅结构更高效,即总损耗更小。本文提出的方法与在完整设计空间中广泛比较来寻求最优化组合的方法不同,本文方法可以直接找到与以后详细设计对应的最佳拓扑结构/器件组合。

2.2 建模

本文模型是基于近似的 Buck 型转换器组件建模。损耗模型代替了完全集成 DC-DC 转换器中各种变化的复杂因素,尤其是对于高频工作模式。在 $f_{sw} > 100$ MHz 时,输出功率(P_{out})为 mW 级且脉冲宽度调制和连续导通模式为主要工作模式。在注重绝对精度的状况下,本文采用的方法目标明确易实现、相对精度较高,且包含来自于完全集成 DC-DC 转换器^[8]的主要损耗源,稍后详述。尤其是输出功率 P_{out} 较低时,为减少电路中的运行损耗(例如传导泄漏、相关电平转换以及接地传导这些较小的损耗),用此方法可进一步提高其精确度。

首先,本文采用图 3(a)中简单的 MOS 晶体管模型。对于开关损耗,除了考虑沟道导电电阻 r_{ds} 外,还应考虑栅-



(a)MOS晶体管

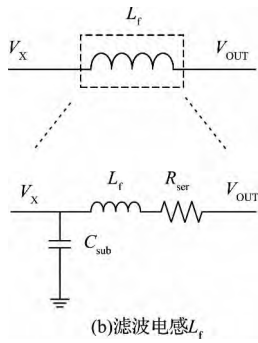


图 3 损耗分析组件模型

源极寄生电容 (C_{gs}), 栅-漏极寄生电容 (C_{gd}), 漏极与衬底间寄生电容 (C_{db}), 以及源极与衬底间寄生电容 (C_{sb})。当晶体管在开与关状态之间切换时, 它们的值表示的是平均电容。器件中导通损耗被定义为

$$P_{res,i} = \alpha \frac{r_{ds0}}{W_i V_{ov}} \left(I_L^2 + \frac{I_R^2}{3} \right) \quad (1)$$

式中: 对于 PMOS 器件 $\alpha = D$; 对于 NMOS 器件 $\alpha = 1 - D$; D 是开关占空比; 对于最小长度单位宽度开关, r_{ds0} 是电阻参数; W_i 是设计沟道宽度; V_{ov} 是所设计的栅极过载电压; I_L 和 I_R 分别是转换器的负载纹波电流和电感纹波电流。对于如图 3(a) 所示的模型, 开关损耗如下

$$P_{cap,i} = W_i f_{SW} \sum C_{jk0} ([V_{j,ON} - V_{k,ON}] - [V_{j,OFF} - V_{k,OFF}])^2 \quad (2)$$

式中: 对于单位宽度的器件, C_{jk0} 是端子 j 和 k 之间的寄生电容; $V_{j/k,ON}$ 和 $V_{j/k,OFF}$ 分别是器件导通和关断的端电压。相同类型、型号的器件, 动态损耗相当于开关驱动逆变器。对于一个具有 3:1 渐变系数的驱动器, 驱动损耗 $P_{drv,i}$ [10] 收敛至最后阶段损耗的 1.5 倍。

其次, 在集成电感 L_f 中寄生效应在总损耗中占有相当大的比重。正如基于特征参数退化的 DC-DC 转换器 [9] 中所提出的, 由于衬底电容的存在, 电感损耗 P_{ind} 可以近似为串联导通损耗和开关损耗总和。基于图 3(b) 的模型, 电感损耗如下所示

$$P_{ind} = R_{ind0} L_f \left(I_L^2 + \frac{I_R^2}{3} \right) + C_{ind0} L_f V_{IN}^2 f_{SW} \quad (3)$$

式中: $R_{ind0} = R_{ser}/L_f$, $C_{ind0} = C_{sub}/L_f$; 且 R_{ind0} 和 C_{ind0} 取值均在设计值允许范围内。

再次, 输出滤波元件 L_f 和 C_f 的值可由已知纹波电流 I_R 和纹波电压幅值 V_R 获得。最后, 总损耗为 $P_{tot} = (P_{out} - \eta P_{in})/\eta$ 。式中: P_{out} 和 P_{in} 分别为电源到负载的输出功率和负载消耗的电源功率, 即输入功率。对于选定的拓扑结构和开关器件组合, 总损耗 P_{tot} 由公式 (1)~(3) 可得

$$P_{tot} = \sum (P_{res,i} + P_{cap,i} + P_{drv,i}) + P_{ind} \quad (4)$$

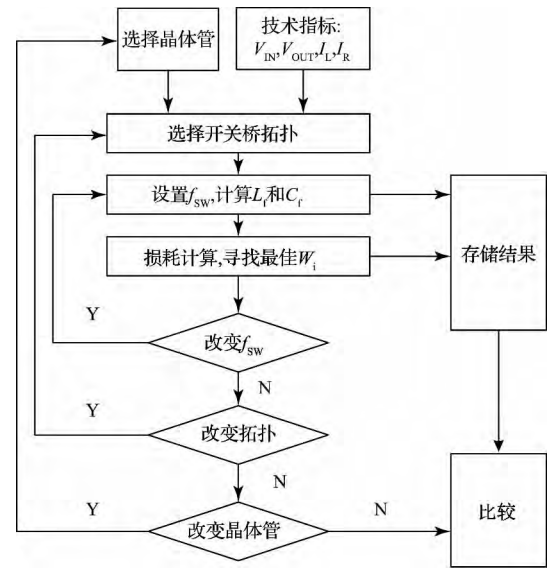


图 4 开关桥选择方法的设计流程

2.3 拓扑结构和器件组合的选择

通过对每个可能的拓扑结构/器件组合进行分析, 本文提出的方法在本质上可以找到最小总损耗 P_{tot} 。图 4 给出了本文方法的设计流程。在任意频率 f_{SW} 下, 对于任何已选定拓扑结构的器件都可以通过 $d(P_{res,i} + P_{cap,i} + P_{drv,i})/dW_i = 0$ 来求得最小总损耗 P_{tot} 。器件特性主要由参数 C_{jk0} 和 r_{ds0} 决定, 这对参数可以在一个简单的测试平台中计算得到。在损耗计算阶段, 由式 (1) 定义的导通损耗 $P_{res,i}$ 和式 (3) 定义的电感损耗 P_{ind} 与拓扑结构无关, 但是由式 (2) 定义的开关损耗 $P_{cap,i}$ 与拓扑结构有关联。因此, 对于每一个可能的拓扑结构必须分别对这些方程式进行推导。第 3 节提供了仿真实例。 I_R 和 V_R 始终是常量。

本文方法主要为了获得恒定 V_{IN} 和 I_L 。但是 V_{IN} 和 I_L 会产生轻微变化, 本文可以用两种替代方式对其作出合理解释。在这两种情况下, 首先计算总损耗 P_{tot} , 然后 P_{tot} 用于选择最佳整体组合及计算固定沟道宽度 W_i ; P_{tot} 值构成特定组合集, 对特定组合集进行比较。对于选定的最佳整体组合, 其非固定沟道宽度 W_i 可以通过脉冲宽度调制技术来控制 [11]。

3 仿真实例

本文对 45 nm 和 65 nm CMOS 工艺下的同步 Buck 型 DC-DC 转换器进行了设计 [12] 和仿真, 通过仿真结果与理论值 (由本文方法计算所得) 对比结果验证了本文提出方法的可行性。根据通用技术指标, 对一些主要参数取值如下:

$V_{IN} = 3.3 \text{ V}$, $V_{OUT} = 1.65 \text{ V}$, $I_L = I_R = 150 \text{ mA}$, $V_R = 80 \text{ mV}$ 。开关频率 f_{SW} 可以自由选择。

表 1 用于开关桥比较的 NMOS 和 PMOS 器件参数

| 参数/电路 | 1×1 (65nm) | 2×2 (65nm) | 2×2 (45nm) | 3×3 (45nm) |
|--|--------------|-------------|------------|------------|
| $V_{\text{break}}/\text{V}$ | 5 | 1.8 | 1.8 | 1.1 |
| $C_{\text{gs}0}/fF \cdot \mu\text{m}^{-1}$ | 0.45/0.42 | 0.56/0.55 | 0.46/0.55 | 0.30/0.34 |
| $C_{\text{gd}0}/fF \cdot \mu\text{m}^{-1}$ | 0.40/0.37 | 0.50/0.49 | 0.46/0.52 | 0.30/0.33 |
| $C_{\text{db}0}/fF \cdot \mu\text{m}^{-1}$ | 0.45/0.49 | 0.45/0.34 | 0.39/0.42 | 0.37/0.39 |
| $r_{\text{ds}0}/\Omega \cdot \mu\text{m} \cdot \text{V}$ | 5 807/12 780 | 1 513/3 876 | 787/2 222 | 250/714 |
| V_{th}/V | 0.6/-0.6 | 0.6/-0.6 | 0.55/-0.5 | 0.55/-0.55 |

这两种 CMOS 工艺都为核心器件和厚氧化层器件提供技术支持,此外,65 nm CMOS 工艺还为 5 V 高压器件提供了技术支持。鉴于 $V_{\text{IN}} = 3.3 \text{ V}$,对于 65 nm CMOS 工艺最简单的配置是:一个具有高压器件(一个驱动源)的 1×1 阶桥或者一个具有 1.8 V I/O 器件(双驱动源)的 2×2 阶共源共栅结构。对于 45 nm CMOS 工艺,基本配置为:一个具有 1.8 V I/O 器件(双驱动源)的 2×2 阶共源共栅结构和一个具有 1.1 V 核心器件(3 个驱动源)的 3×3 阶共源共栅结构^[8]。表 1 对相关部分的器件数据进行了总结。如图 2(a),(b)和图 5 所示的拓扑结构,其栅极驱动电压($V_{\text{N,drv}}$ 和 $V_{\text{P,drv}}$)大小分别被设置为 3.3 V、1.8 V 和 1.1 V。对于 2×2 阶共源共栅结构, $V_{\text{N,casc}} = 1.8 \text{ V}$, $V_{\text{P,casc}} = 1.5 \text{ V}$;对于 3×3 阶共源共栅结构 $V_{\text{N,casc}} = 1.1 \text{ V}$, $V_{\text{P,casc}} = 2.2 \text{ V}$ 。器件源极接衬底。

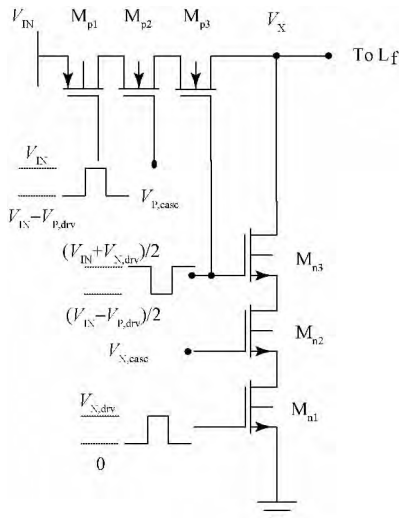


图 5 具有 3×3 阶共源共栅结构和三个栅极驱动源的同步 Buck 型转换器示意图

下面运用 2.3 中概述的方法进行分析计算。首先,对于所有拓扑结构中的每一个器件,导通损耗 $P_{\text{res},i}$ 都可以根据式(1)求得。其次,由于开关损耗 $P_{\text{cap},i}$ 与拓扑结构相互关联,因此对于 2×2 阶共源共栅结构,可由式(2)构成方程组来求解。对于图 5 所示的 3×3 阶共源共栅结构,可以通过表 1 中定义的区间端电压以及式(5)~(10)分别求出 $P_{\text{cap},i}$

$$P_{\text{cap},M_{p1}} \approx W_{p1} [C_{\text{gs},p1} (V_{\text{IN}} - V_{\text{P,drv}})^2 + C_{\text{gd},p1} (V_{\text{P,casc}} + V_{\text{P,drv}} - 2V_{\text{IN}} - V_{\text{th},P})^2 + C_{\text{db},p1} (V_{\text{P,casc}} - V_{\text{IN}} - V_{\text{th},P})^2] f_{\text{SW}} \quad (5)$$

$$P_{\text{cap},M_{p2}} \approx W_{p2} [C_{\text{gs},p2} (V_{\text{IN}} + V_{\text{th},P} - V_{\text{P,casc}})^2 + C_{\text{gd},p2} ((-V_{\text{IN}} - V_{\text{P,drv}})/2 - V_{\text{th},P})^2 + C_{\text{db},p2} ((V_{\text{IN}} - V_{\text{P,drv}})/2 - V_{\text{P,casc}})^2] f_{\text{SW}} \quad (6)$$

$$P_{\text{cap},M_{p3}} \approx W_{p3} [C_{\text{gs},p3} ((V_{\text{N,drv}} - V_{\text{IN}})/2 - V_{\text{th},P})^2 + C_{\text{gd},p3} ((V_{\text{N,drv}} + V_{\text{P,drv}})/2 - V_{\text{IN}})^2 + C_{\text{db},p3} ((V_{\text{IN}} - V_{\text{P,drv}})/2 + V_{\text{th},P})^2] f_{\text{SW}} \quad (7)$$

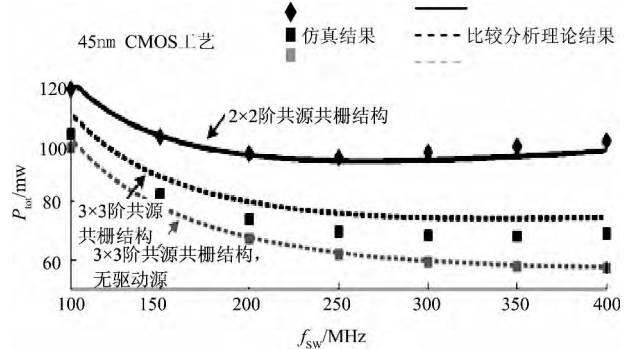
$$P_{\text{cap},M_{n1}} \approx W_{n1} [C_{\text{gs},n1} ((V_{\text{IN}} - V_{\text{P,drv}})/2 - V_{\text{th},N})^2 + C_{\text{gd},n1} ((V_{\text{N,drv}} + V_{\text{P,drv}})/2 - V_{\text{IN}})^2 + C_{\text{db},n1} ((V_{\text{IN}} - V_{\text{N,drv}})/2 + V_{\text{th},N})^2] f_{\text{SW}} \quad (8)$$

$$P_{\text{cap},M_{n2}} \approx W_{n2} [C_{\text{gs},n2} (V_{\text{N,casc}} - V_{\text{th},N})^2 + C_{\text{gd},n2} ((V_{\text{IN}} + V_{\text{N,drv}})/2 - V_{\text{th},N})^2 + C_{\text{db},n2} ((V_{\text{IN}} + V_{\text{N,drv}})/2 - V_{\text{N,casc}})^2] f_{\text{SW}} \quad (9)$$

$$P_{\text{cap},M_{n3}} \approx W_{n3} [C_{\text{gs},n3} V_{\text{N,drv}}^2 + C_{\text{gd},n3} (V_{\text{N,casc}} - V_{\text{th},N} + V_{\text{N,drv}})^2 + C_{\text{db},n3} (V_{\text{N,casc}} - V_{\text{th},N})^2] f_{\text{SW}} \quad (10)$$

对于任意频率 f_{SW} 下最佳栅极沟道宽度 W_i ,可以通过 $d(P_{\text{res},i} + P_{\text{cap},i} + P_{\text{drv},i})/dW_i = 0$ 分析求得。根据公式 4 可以求得最小总损耗 P_{tot} 。最后需要指出的是 $R_{\text{ind}0} = 0.1 \Omega/\text{nH}$, $C_{\text{ind}0} = 50 \text{ fF/nH}$ 。

图 6 中连续实线(虚线)绘制出了频率 $f_{\text{SW}} = 100 \sim 400 \text{ MHz}$ 时最小总损耗 P_{tot} ,该损耗为依据本文方法计算所得理论值。其中, L_i 和 C_i 被重新计算。对于任意频率 f_{SW} ,所有器件的栅极沟道宽度 W_i 分别被最优化。在 65 nm CMOS 工艺中,具有 1.8 V I/O 器件的 2×2 阶共源



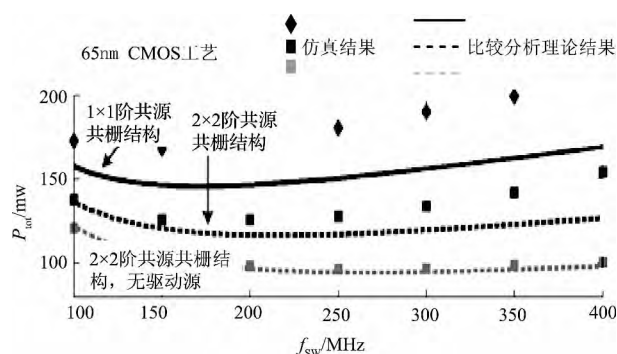


图 6 仿真与理论对比结果

共栅结构可能比具有高压器件的 1×1 阶桥更高效,即总损耗更小。鉴于 2×2 阶共源共栅结构具有更多器件,因此其更高效的结论是非直观的,但是该结论却突出了本文方法的有效性。同样的结论也适用于 45 nm CMOS 工艺, 3×3 阶共源共栅结构可能比 2×2 阶的更高效,即总损耗更小。但是,器件数量增多与减轻寄生效应、降低端电压波动在本质上是相悖的。随着负载纹波电流 I_L 逐渐提高,绝对损耗的不同变得更加重要,而本文方法对于获取理论上绝对损耗是格外有效的。

图 6 提供了与方案设计相对应的暂态仿真数值结果(菱形及方块所示)。仿真使用 BSIM4 软件,仿真对象为完整 MOS 器件模型,该模型包括已求解的最佳栅极沟道宽度 W_i 、四阶反向驱动器和图 3(b)模型中所示的 L_f ,从而保证了可靠性。 P_{tot} 为稳态时的仿真值。图 6 中仿真结果(菱形及方块所示)变化趋势与理论计算结果(实线及虚线所示)变化趋势非常吻合,验证了本文方法的可行性。在特定占空比 D 的条件下,对于仿真结果与理论计算之间各种差别特别是在高频下的差别,主要是由简单的开关模型和非开关模型电阻 r_{ds} 所共同引起。事实上,近似值不能完全取代详细设计。此外,与具有单个 I/O 器件或高压器件相比,共源共栅结构使设计变得复杂,因为共源共栅结构需要更多驱动源,但是由图 6 可知共源共栅结构可以显著提高电源转换效率。因此,效率优势必须权衡增加的驱动源。这是一个很宽泛的问题,超出了本文讨论范畴。然而,本文方法对于选择拓扑结构和器件组合提供了宝贵见解。当拓扑结构和器件组合的数目增加时,本文提供的结论将是极其有用的。

4 结 论

现代低电压纳米 CMOS 工艺支持各种各样具有不同特性 MOS 器件,因此对于完全集成 Buck 型转换器,设计空间是非常大的。该设计空间由可能的开关桥拓扑结构和器件组合而成。本文提出的方法可以缩小设计空间、找出最低功耗组合,从而避免了繁琐的仿真工作。在 45 nm 和 65 nm CMOS 工艺基础上,本文对具有核心器件、I/O 器件和高压器件的转换器进行仿真。仿真结果与理论值(由本文方法计算所得)对比结果验证了本文提出方法的可行性。本文结论对于以后 DC-DC 转换器详细设计提供了有效参考。

参考文献

- [1] 林毅. 一款 AC/DC 型白光 LED 驱动芯片设计[D]. 武汉:华中科技大学,2011:1-6.
- [2] 姚绪梁,于乐,罗耀华. 新型非最小电压应力无源无损 Buck 电路软开关的设计[J]. 仪器仪表学报,2011, 32(3):667-672.
- [3] CALVILLO-CORTES D, ACAR M, VAN DER HEIJDEN M P, et al. A 65 nm pulse-width-controlled driver with 8Vpp output voltage for switched-mode RF pas up to 3.6 GHz[C]//IEEE International Solid-State Circuits Conference 2011, ISSCC'11. 2011: 12-14.
- [4] 许英杰,孙郅佳,李帆,等. 电动自行车锂电池组保护电路设计[J]. 现代电子技术,2012,35(16):191-193.
- [5] VAN BREUSSEGEM T M, STEYAERT M S J. Monolithic capacitive DC-DC converter with single boundary-multiphase control and voltage domain stacking in 90 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2011, 46(7): 1715-1727.
- [6] BANDYOPADHYAY S, RAMADASS Y K, CHANDRAKASAN A P. 20uA to 100 mA DC-DC converter with 2.8 to 4.2 V battery supply for portable applications in 45 nm CMOS [J]. IEEE Journal of Solid-State Circuit, 2011, 46(12):2807-2820.
- [7] 梁华国,陶志勇,李扬. 一种缓解 NBTI 效应引起电路老化的门替换方法[J]. 电子测量与仪器学报,2013, 27(11):1012-1015.
- [8] ROJAS-GONZÁLEZ M A, TORRES J, SÁNCHEZ-SINENCIO E. Design of a fully-integrated buck voltage regulator using standard CMOS technology[C]//2012 IEEE Third Latin American Symposium on Circuits and Systems (LASCAS). IEEE, 2012: 1-4.
- [9] 吴祎,王友仁,姜媛媛,等. 基于特征参数退化的 DC/DC 变换器故障预测[J]. 仪器仪表学报,2013,34(6): 1380-1385.
- [10] 黄建刚. 基于自适应恒定导通时间的 Buck 变换器的研究与设计[D]. 成都:电子科技大学,2013:24-27.
- [11] 张艳艳. 单片降压型 DC-DC 变换器芯片电路分析与版图优化设计[D]. 西安:西安科技大学,2012:18-21.
- [12] 刘秉安. 基于 ZVS-PWM 功率变换器的设计与制作[J]. 国外电子测量技术,2013,32(1):46-48.

作者简介

刘喜梅,1961 年出生,教授,博士生导师。研究方向为智能控制、复杂系统的建模及优化控制、软测量技术。

Email:liuximeiqd@163.com

梁逊,1990 年出生,硕士研究生,研究方向为电力电子技术。

Email:545262552@qq.com