

基于FPGA的机载综合显示系统的设计与实现

李冰洋 贾银亮 张 峰

(南京航空航天大学自动化学院 南京 210016)

摘要: 为了满足机载综合显示系统在数据存储量、显示实时性、芯片处理速度等方面的高要求,设计并实现一种机载综合显示系统。系统以FPGA为主要开发平台,利用其丰富的设计资源配合CMOS摄像头实现视频的采集,视频进行插值处理后通过DDR2 SDRAM实现数据的高速缓存。在图像处理过程中同时生成当前所需叠加的仪表图形,最终将仪表图形叠加到视频中并送入显示器显示。经验证,系统可以在60帧/秒的视频上进行全姿态指示仪和全罗盘仪表图形的叠加,每个像素大小为16 bit,支持的最大分辨率可达 1920×1080 。

关键词: FPGA技术;机载综合显示系统;DDR2 SDRAM存储器;图形叠加

中图分类号: TP391.4 **文献标识码:** A **国家标准学科分类代码:** 590.30

Design and realization of airborne integrated display system based on FPGA

Li Bingyang Jia Yinliang Zhang Feng

(College of Automation Engineering, Nanjing University of Aeronautics and Astronautics, Nanjing 210016, China)

Abstract: Aiming at the high requirements of data storage capacity, real-time of display and chip's process speed in airborne display system, a type of airborne display system has been designed and implemented. FPGA is used as the main development platform in the system, using its rich design resources to achieve the video data by CMOS camera, after interpolation processing, the video's cache can be realized by SDRAM DDR2. The instrument graphics which needed to be superposed also generates in the process of image processing, final, superposing the instrument graphics to the video and transferring into the display. Through verification, the graphics of instrument, such as attitude direction indicator and the compass, can be superposed on the 60 frames per second video, each pixel size is 16 bit and the video's maximum resolution is 1920×1080 in this system.

Keywords: FPGA; airborne integrated display system; DDR2 SDRAM memory; graphics superimposition

1 引言

随着21世纪国内外航天事业的高速发展,机载电子系统的优劣对飞机性能的影响也越来越大。显示系统作为机载电子系统的重要组成部分,在飞行过程中,可以显示飞机四周的外景实况和当前飞行的参数,能使座舱的显示变得更加直观、方便和灵活^[1],但也因此对图像分辨率和仪表的清晰、实时的叠加显示提出了更高的要求。

当前比较成熟的系统多是采用FPGA作为协从处理器配合主处理器DSP进行数据的采集和运算,这样的组合会造成系统的结构变得复杂,不易于对系统进行升级和移植^[2]。而FPGA模块化^[3]的设计方法可以提高系统集成度和通用性,因此设计了一种基于FPGA的系统平台。系统充分利用FPGA的并行处理和模块化设计的优势,实现了对视频数据的采集、插值处理、图形叠加和实时显示。系统

可以对视频完成一定复杂度的算法处理,并在缓存后对其进行图形的叠加显示。系统结构简单,集成度高,因此具有较高的可移植性和实用价值。

2 当前研究现状

北京航空航天大学针对图像采集与处理的应用要求,提出了基于双核DSP搭配FPGA的构架设计^[4],DSP作为主处理器,通过其专用的PPI视频接口配合DMA控制器控制视频图像的采集、存储。FPGA作为协处理器,完成对图像的预处理,并为DSP提供部分寄存器扩展。该方案实现了视频图像的实时采集与处理,具有良好的实时性,但系统集成度不高,设计过程复杂。

北京中科院同样设计了一种基于DSP和FPGA的硬件平台^[5],平台采用DSP协同两片FPGA芯片同时工作的方式实现如视频采集模块、输入缓存模块、视频处理模块、

收稿日期:2015-06

视频输出缓存模块和图像链路传输模块的功能,并在这个平台上实现了一种彩色图像增强算法。缺点是系统复杂度较高,运算时间较长。

北京装备学院也设计了一种基于FPGA和DSP的系统平台来实现不同格式视频的采集和输出^[6],系统采用DSP来实现颜色空间转换、图像分辨率变更、改变帧频率变换等算法,同时以FPGA为核心对视频进行去隔行操作以及控制视频的编解码。但采集的视频分辨率低,使用器件较多不易移植。

3 总体设计方案

3.1 系统设计架构

根据系统的功能要求和当前研究现状,本系统以FPGA为设计核心平台,利用其强大和丰富的逻辑资源配合CMOS摄像头、DDR2 SDRAM等外载器件来实现系统的功能。核心芯片选择Xilinx Spartan6系列的FPGA芯片XC6SLX45,此芯片采用45 nm的金属布线双层氧化工艺技术,最大密度能达到15万个逻辑单元。适合于应用在视频显示和监视解析等方面。在本系统中负责配置视频解码芯片,处理视频数据,控制存储器的工作时序以及驱动VGA显示视频。

3.2 系统具体硬件模块设计

系统根据设计的流程设计了7个模块,其结构框图如图1所示。

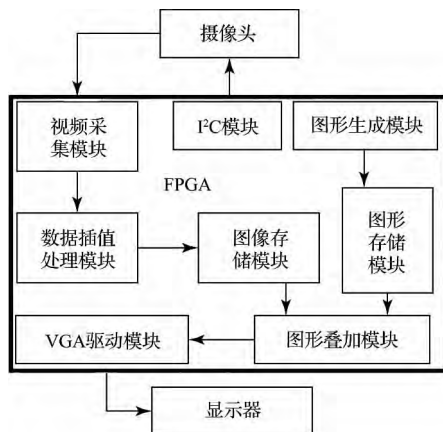


图1 系统框图

从图中可以看出设计流程,首先系统通过I²C总线对MT9P031配置,使其输出所需分辨率和帧速率的视频数据,视频采集模块接收并对数据进行行列计数,接着通过数据插值处理模块对数据进行插值处理,得到彩色视频数据,之后使用两片DDR2 SDRAM进行乒乓操作缓存2帧图像。图形生成和存储模块也采用乒乓操作在2片RAM中缓存两帧图形数据,每一帧图像数据和一帧图形数据看作一组,分两组同样做乒乓读写以便在叠加模块中进行视频的图形叠加混合,最终得到的数据经VGA驱动显示在显

示器上。

4 主要功能模块的设计

4.1 I²C控制模块的设计

I²C总线是两线式串行总线,是同步通信的一种特殊形式。本设计采用I²C总线对摄像头进行配置来输出相应的视频数据。

系统中采用的是CMOS型摄像头MT9P031,最大可支持500万像素分辨率。但考虑到FPGA的处理速度和最终显示结果的流畅性,因此系统选择输出30帧/秒,1920×1080分辨率的Bayer RGB视频数据。

4.2 数据插值处理模块的设计

MT9P031经过I²C总线配置后产生的是12位的Bayer RGB视频数据。这种格式的视频数据采用1红2绿1蓝的排列方式将灰度信息转换成彩色信息,每个像素点只产生一种颜色分量的响应值,因此需要对其进行颜色的恢复处理^[7]才能得倒全彩色的视频画面。因此,插值算法的优劣直接影响了彩色图像的质量^[8]。

B ₃₂	B ₂₁	B ₃₂	B ₂₃	B ₃₄	B ₂₅	B ₃₄
R ₁₂	G ₁₁	R ₁₂	G ₁₃	R ₁₄	G ₁₅	R ₁₄
B ₂₂	B ₂₁	B ₂₂	B ₂₃	B ₂₄	B ₂₅	B ₂₄
R ₃₂	G ₃₁	R ₃₂	G ₃₃	R ₃₄	G ₃₅	R ₃₄
B ₄₂	B ₄₁	B ₄₂	B ₄₃	B ₄₄	B ₄₅	B ₄₄
R ₅₂	G ₅₁	R ₅₂	G ₅₃	R ₅₄	G ₅₅	R ₅₄
B ₆₂	B ₆₁	B ₆₂	B ₆₃	B ₆₄	B ₆₅	B ₆₄

图2 Bayer阵列的镜像扩展

当前的彩色插值算法有很多,但根据插值算法的原理可以分为两类^[9]。一类是仅对单个颜色通道进行插值,另一类则同时考虑到了颜色通道间的相关性以及图像边缘的细节信息,提高了插值效果,因此本模块采用第二类的插值算法。综合考虑系统实时性和算法的硬件可实现性,选择了基于梯度向量的双线性插值算法^[10]来进行颜色的恢复处理,此算法在基于三角函数法的基础上进行简化改进,使其易于在硬件上实现,算法实现过程中每个像素的颜色恢复仅需要消耗1个时钟的时间,可以满足系统在实时性上的要求。

由于采用的插值算法需要取3×3的像素阵列进行计算,本模块采取使用3个移位存储器来实现3×3像素阵列的获取。由于直接使用双线性插值算法会导致以图像第一、二行和第一、二列为中心的3×3像素不能完整地获取,因此本模块对图像边界处的行和列像素进行缓存,完成边界处的镜像,具体方式如图2所示,从G11到G55的5×5 Bayer阵列图像经过镜像的扩展后最终可得到7×7的图像,图中虚线框内的数据即为镜像所得的行和列。此时将像素输出使能信号向后延迟6个单位,即把像素点B22和B44作为使用插值算法的起始和终止点,这样可以得到所需要的从G11到G55的彩色图像数据,同时在时序上也不会出错。

4.3 DDR2 SDRAM 存储器模块的设计

系统中所要处理的视频分辨率较大且需要对其进行叠加 2D 图形和帧速率变换处理,因此需要采用缓存机制。本系统选择两片 DDR2 SDRAM 芯片 MT47H64M16 作为数据缓冲区,其存储大小 128 MB(64 M×16 bit/8),最大读写速率为 400 MHz。系统支持的视频最大分辨率为 1920×1080,每个像素点至少占 2 个字节,故一帧图像约为 4 MB。而存储器的最高传输速率约为 200 帧/秒(400 MHz×16 bit/8/4 MB),远大于显示器 60 帧/秒的刷新频率。因此可以满足显示的实时性要求。

由于数据的采集处理、存储和显示的时钟不一致,加上 DDR2 SDRAM 无法同时将数据写入和读出。因此本模块中调用了 2 个 FPGA 内部的异步双端口 RAM 的 IP 核配合两片 DDR2 存储器进行乒乓读写来满足实验要求。

模块具体工作方式如图 3 所示,当双端口 RAM1 对 DDR2 SDRAM1 进行写操作时,此时控制双端口 RAM2 从 DDR2 SDRAM2 中读取数据;当双端口 RAM1 写完 1 帧数据后,将第二帧数据写入 DDR2 SDRAM2,同时控制双端口 RAM2 从 DDR2 SDRAM1 读数据,这样通过依次对存储器进行乒乓读写来实现对视频数据实时接收和显示。

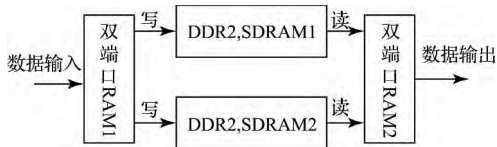


图 3 DDR2 SDRAM 存储器模块

由于摄像头输出分辨率越大,其帧速率也就越低。比如在本系统中当输出 1920×1080 分辨率的视频时,帧速率只有 31 帧/秒。为了提高帧速率,满足显示器 60 帧/秒的刷新率,可以采取对同一帧画面数据重复读取两次的方式来满足系统在显示实时性上的要求。

4.4 图形叠加模块的设计

本模块中采用的图像叠加算法为 α 混合算法^[11],具体公式如下:

$$I_{out} = I_a \times a + I_b \times (1 - a) \quad (1)$$

式中: I_{out} 为叠加后输出的颜色, I_a 为近景图形画面中像素点的颜色, I_b 为视频图像中像素点的颜色; a 为叠加的权重, $a \in [0, 1]$,通过 a 可以控制图形在图像上的叠加。

由于需要叠加的仪表图形画面中主要是无用的背景色,可以将其舍弃而直接输出视频图像像素点的颜色,即设定图形的背景处的 a 值为 0,其公式如(2)所示。

$$\begin{cases} I_{out} = I_b, & I_a = I_c \\ I_{out} = I_a \times a + I_b \times (1 - a), & I_a \neq I_c \end{cases} \quad (2)$$

式中: I_c 表示图形的背景色。

本节中的算法对每个像素进行叠加处理同样仅需 1 个时钟的时间即可得到处理结果。因此将叠加后得到的彩色视频经 VGA 控制输出到显示器上就可以实时地观测到系

统最终的结果。

5 系统的性能测试

在实际操作中,FPGA 芯片 XC6SLX45 选择 250 MHz 作为时钟频率对各个功能模块进行测试,最后可以在液晶显示器上看到如图 4 所示的视频图像。



图 4 叠加效果图

由于系统显示的刷新频率是 60 帧/秒,故一帧视频图像允许的最大生成时间为 16.7 ms。由第三章可知,一帧图像从采集到显示需要经过采集、插值处理、存储、叠加、显示这几个步骤。对于在图 4 中液晶屏显示的是叠加了全姿态指示仪和全罗盘仪表图形的彩色视频图像,在 60 帧/秒的显示器刷新频率下分辨率为 1920×1080。由于插值和叠加模块的工作频率为 250 MHz,故每个时钟周期的时间为 4 ns,由 4.2 和 4.4 小节可知,对一帧图像的每个像素进行插值处理和叠加处理都需要消耗一个时钟周期,而本系统中数据的采集和插值,图像的叠加和显示是实时进行的。因此在图像分辨率为 1920×1080 时,一帧图像的采集和插值处理时间约为 8.3 ms(1920×1080×4 ns),同理可知一帧图像的叠加和显示的时间也是 8.3 ms。由 4.3 节可知系统所选择的 DDR2 SDRAM 的传输速度为 800 MB/s(400 MHz×16 bit/8),当传输一帧像素位宽 16 bit,分辨率为 1920×1080 的图像时,需要消耗约 5 ms(1920×1080×16 bit/8/800 MB/s)。由于系统采用了 FPGA 作为开发平台,充分利用了其并行处理的优势,使得系统中各个模块的工作是同时进行的,因此一帧图像的生成和显示所需要的时间只需取最大值 8.3 ms,可以看出明显小于 16.7 ms,满足了系统在显示上的实时性。

显示系统最终主要消耗的资源如表 1 所示。

表 1 硬件资源消耗

资源名	寄存器数量	查找表	模块输入输出接口	全局缓冲器	内部存储器
已用	1,401	2,262	104	8	1,059
可用	54,576	27,288	316	16	6,408
利用率	2%	8%	32%	50%	16%

从表中可以看出系统消耗的资源较小,选择的芯片内的资源完全可以满足系统的要求。

经实际验证可以得出系统可以在分辨率为 1920×1080 , 像素位宽 16 bit, 60 帧/秒的视频上进行图形的叠加显示,还可以根据不同的应用来对图像数据进行更进一步的优化处理。

6 结 论

本文设计了一种以 FPGA 为处理核心的机载综合显示系统。介绍了主要功能模块的设计方法和调试结果。给出了在 FPGA 上对 Bayer 格式的图像进行颜色恢复、处理异步时钟冲突、DDR2 SDRAM 的乒乓读写和帧速率的提升等各个模块功能中一些问题的处理方法。经过仿真和实际操作,可以看出该系统在显示的实时性、稳定性、资源消耗等性能指标上的优越性,尤其是采用了 DDR2 SDRAM 存储器进行图像的缓存,充分利用了 DDR2 SDRAM 读写速度快,存储量大的优势,为更大帧速率和分辨率的机载综合显示系统的设计打下了基础。

参考文献

- [1] 尤力. 机载视频处理及图形生成系统硬件平台设计与实现[D].南京:南京航空航天大学,2011.
- [2] 王栋. 基于 FPGA 的飞机座舱综合显示系统关键技术研究[D].南京:南京航空航天大学,2014.
- [3] 张松,李筠. FPGA 的模块化设计方法[J]. 电子测量与仪器, 2014, 28(5): 560-565.
- [4] 李易难,牛燕雄,杨露. 基于 DSP+FPGA 视频图像采集处理系统的设计[J]. 电子测量技术, 2014, 37

(1): 58-61.

- [5] 尹传力,丁策. 机载彩色图像增强系统实现[J]. 电子科技, 2013, 34(12): 40-43.
- [6] 张廷华,樊桂花. 基于 DSP 和 FPGA 的视频格式转换[J]. 国外电子测量技术, 2013, 32(2): 57-59.
- [7] 郭彩霞,梅大成,杨永超. 基于 FPGA 的视频处理系统[J]. 信息技术, 2009, (3): 108-111.
- [8] 朱波,汶德胜,王飞. 改进的 Bayer 插值算法及其硬件实现[J]. 光电子·激光, 2013, 24(6): 1211-1218.
- [9] 王渊博,胡永辉,高伟,等. 基于 FPGA 的 Bayer 格式彩色图像恢复系统研究[J]. 微电子学与计算机, 2013, 30(10): 77-80.
- [10] 尹勇,胡磊. 一种改进的 Bayer 图像彩色恢复差值算法[J]. 计算机科学, 2010, 37(4): 278-280.
- [11] 王栋,刘文波. 基于变混合系数的自适应抗锯齿视频叠加算法[J]. 电子测量技术, 2013(12): 20-24.

作者简介

李冰洋,工学硕士,主要研究方向为基于 FPGA 的图像处理与识别、视频采集和处理技术等。

E-mail: fpd945945@163.com

贾银亮(通讯作者),1979 年出生,博士,副教授,研究领域为计算机图形学、计算机测试系统。

E-mail: flybearnuaa@163.com

张峰,1991 年出生,硕士研究生,研究领域为计算机图形学。

E-mail: 1402209399@qq.com

(上接第 71 页)

Institution of Engineering and Technology, 2010, 5(9): 1002-1009.

- [7] 李红岩,毛征,袁建建,等. 一种基于算法融合的运动目标跟踪算法[J]. 国外电子测量技术, 2013, 12: 36-40.
- [8] WANG Y, JIANG Y CH. A Novel Algorithm for Estimating the Rotation Angle in ISAR Imaging[J]. IEEE Geoscience and Remote Sensing Letters, 2008 5 (4): 608-609.
- [9] 杨磊,熊涛,张磊,等. 应用联合自聚焦实现低信噪比 ISAR 成像平动补偿[J]. 西安电子科技大学学报, 2012, 39(3): 63-71.
- [10] 肖玮,涂亚庆,刘良兵,等. 多段同频正弦信号频谱融合的 LFM CW 雷达测距算法[J]. 仪器仪表学报, 2013(1): 94-103.
- [11] 刘聪锋. 稳健自适应波束形成[M]. 电子科技大学出版社, 2012.

- [12] CHEN Q Q, XU G, LI Y CH, et al. Cross-range scaling for ISAR with short aperture data[J]. Dianzi Yu Xinxu Xuebao/Journal of Electronics and Information Technology, 2013, 35(8): 1854-1864.

- [13] DOGAN M C, MENDEL J M. Cumulant-based blind optimum beamforming[J]. IEEE Transactions on Aerospace and Electronic Systems, 1994, 30(3): 722-741.

- [14] LI Y, XING M, SU J, et al. A new algorithm of ISAR imaging for maneuvering targets with low SNR[J]. IEEE Transactions on Aerospace and Electronic Systems, 2013, 49(1): 543-557.

作者简介

冯晨熙,在读硕士,主要研究方向为雷达的目标成像。

E-mail: ssscxsfeng@163.com