

中国科学技术大学

University of Science and Technology of China

# 博士学位论文



论文题目 高精度 Sigma-Delta 调制器研究及  
ASIC 实现

作者姓名 曹桂平

学科专业 物理电子学

导师姓名 王砚方 教授 宋克柱 副教授

完成时间 二〇一二年五月

# 中国科学技术大学

# 博士学位论文



## 高精度 Sigma-Delta 调制器研究及 ASIC 实现

作者姓名： 曹桂平

学科专业： 物理电子学

导师姓名： 王砚方 教授 宋克柱 副教授

完成时间： 二〇一二年五月五日

University of Science and Technology of China  
A dissertation for doctor's degree



**Study and ASIC  
Implementation of  
High-Resolution Sigma-Delta  
Modulator**

Author's Name: Guiping Cao  
speciality: Physical Electronics  
Supervisor: Prof.Yanfang Wang Prof.Kezhu Song  
Finished time: May 5<sup>th</sup>, 2012

## 中国科学技术大学学位论文原创性声明

本人声明所呈交的学位论文，是本人在导师指导下进行研究工作所取得的成果。除已特别加以标注和致谢的地方外，论文中不包含任何他人已经发表或撰写过的研究成果。与我一同工作的同志对本研究所做的贡献均已在论文中作了明确的说明。

作者签名：曹桂平

签字日期：2012.06.06

## 中国科学技术大学学位论文授权使用声明

作为申请学位的条件之一，学位论文著作权拥有者授权中国科学技术大学拥有学位论文的部分使用权，即：学校有权按有关规定向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅和借阅，可以将学位论文编入《中国学位论文全文数据库》等有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。本人提交的电子文档的内容和纸质论文的内容相一致。

保密的学位论文在解密后也遵守此规定。

公开 保密（  ）年

作者签名：曹桂平

导师签名：王祝方

签字日期：2012.06.06

签字日期：2012-6-6

## 摘要

过采样求和-增量 (Sigma-Delta or  $\Sigma\Delta$ ) A/D 转换器 (ADC) 是目前高精度 ADC 领域中最为流行的一种结构。集成电路制造工艺的飞速发展使得  $\Sigma\Delta$  ADC 以速度换精度的想法得以很好的实现。在音频, 数字电视以及无线通信和石油勘探领域,  $\Sigma\Delta$  ADC 都有着广泛的应用。 $\Sigma\Delta$  ADC 结构在上世纪 60 年代早期被提出, 限于当时集成电路工艺水平的限制, 在开始提出后, 并不被重视, 直到 70 年代后期, 随着集成电路工艺水平的进步, 其速度换取精度的想法才逐渐被重视, 整个 80 年代  $\Sigma\Delta$  ADC 经历了飞速发展, 出现了很多的理论模型和研究论文。从原理上讲,  $\Sigma\Delta$  ADC 前端模拟调制器的阶数越高, 其噪声调制性能就越好, 然而高阶调制器具有一个严重问题, 即稳定性差, 信号输入范围小。通常在设计中, 都是通过仿真来确定高阶调制器的稳定输入范围。虽然自结构提出以来,  $\Sigma\Delta$  ADC 结构模型和研究论文层出不穷, 但直到目前, 尚未提出一套理论体系来指导如何设计出宽输入动态范围, 稳定性高的高阶调制器。如何设计高精度, 高阶稳定的  $\Sigma\Delta$  ADC 依然是研究的热点和难点。

$\Sigma\Delta$  ADC 总体结构上可分为两个部分: 前端模拟调制器和后端数字滤波器。对于数字滤波器, 无论是结构模型, 还是实现技术都较为成熟, 且只涉及到数字电路设计, 相对前端模拟调制电路较为简单。在  $\Sigma\Delta$  ADC 中, 后端数字滤波器通常分为两级, 第一级滤波器主要实现数字抽取, 降低采样率, 通常使用较多的通过移位链实现的梳状 (Comb) 滤波器; 第二级通常为有限冲击响应 (FIR) 滤波器, 在完成降频的同时用以防混叠。对  $\Sigma - \Delta$  ADC 精度起着决定影响是前端模拟调制器部分, 这是  $\Sigma\Delta$  ADC 的主要研究内容和方向。模拟调制器完成噪声调制作用, 本质上是一个模拟滤波网络, 通过多级级联结构, 将基带噪声挤压到高频处, 而后通过后端数字滤波器将这些被挤压到高频处的噪声滤除, 从而实现高精度的 AD 变换。模拟调制器单环结构中的级联级数也被称为阶数, 阶数越高, 噪声调制性能越好, 然而稳定性越差, 稳定输入信号范围越小。目前采用较多的是单环 4 阶调制结构。1 阶, 2 阶调制器是绝对稳定的, 于是产生了使用 1 阶或 2 阶单环结构叠加的调制器, 这被称为 MASH 结构, MASH 结构从根本上解决了稳定性问题, 但是其自身的问题是要求各单环结构之间匹配性精确, 这对实际的电路制造工艺提出了极高的要求, 以目前的制造工艺而言, MASH 结构的噪声调制性能仍然无法匹敌单环高阶结构。研究单环高阶高稳定性的  $\Sigma\Delta$  模拟调制器依然是目前较为流行的一个方向。本文研究内容也集中在前端模拟调制器, 主要包括如下几个方面: 一是采用根轨迹图的方法分析模拟调制器稳定性问题,

采用此方法，只要给出调制器噪声传递函数，即可给出调制器的稳定输入信号范围。二是在前人研究的基础上，分析提出设计高阶模拟调制器的统一方法。利用此方法可快速完成一个基本满足设计指标的调制器的噪声传递函数。三是对当前比较流行的模拟调制器结构进行了分析，在此基础上，结合具体实例，给出了如何根据设计所需的噪声性能选择结构完成具体设计。四是在所选择结构的基础上，给出了一个单环 4 阶  $\Sigma\Delta$  模拟调制器的 ASIC 电路具体设计和实现过程。

本文结构安排如下：

第一章为论文绪论部分，介绍了论文研究背景， $\Sigma\Delta$  ADC 发展历史，论文研究内容，创新点等。

第二章着重分析  $\Sigma\Delta$  调制器的主要常见结构，提出结构模型，利用根轨迹图方法对高阶调制器稳定性进行了详细的分析。本章最后对部分 MASH 结构也进行了介绍。

第三章在前文分析的基础上，完成了一个单环 4 阶  $\Sigma\Delta$  调制器原理图设计，并对构成调制器各模块的非线性，非理想性因素进行了讨论和模型提取，使用 Matlab 进行了模型仿真，对原理图设计的正确性进行了验证。

第四章在第三章设计得到的原理图的基础上详细的讨论了晶体管级电路实现，给出了前仿真结果，进一步验证原理图设计的正确性。

第五章则给出了  $\Sigma\Delta$  调制器主要模块的版图设计以及各模块的后仿真结果，最后给出了整个  $\Sigma\Delta$  调制器版图设计后的后仿真结果，对整个调制器设计的正确性进行最后的确认和验证。

第六章构建测试平台对流片芯片进行了实际测试和功能验证，给出了基本测试结果。

第七章为本论文的总结和展望，给出了调制器设计中可以进行改进的方面，并提出了下一步的研究方向。

关键词： $\Sigma\Delta$  模拟调制器 稳定性 开关电容电路 电路非理想性 模型仿真 ASIC

## ABSTRACT

The oversampling  $\Sigma\Delta$  (sigma-Delta) analog to digital convertors (ADCs) are currently one of the most prevailing architectures for high-resolution ADCs. The fast development of integrated circuit's manufacture process makes the thought of exchanging resolution with speed nicely implementable.  $\Sigma\Delta$  ADCs have now widely applied to audio, digital TV, wireless communication and oil exploration. The fundamental structure of  $\Sigma\Delta$  ADC was firstly proposed at the beginning of 60s of last century, however, with the restriction of the manufacture process of integrated circuit, it was not paid much attention to. Until in later 70s, with the fast improvement of the manufacture process, the idea of exchanging resolution with speed was gradually recognized. Many theory models and papers turned up in 80s and  $\Sigma\Delta$  ADC experienced a fast developing period. Principally speaking, as the order of analog modulator in  $\Sigma\Delta$  ADC increases, the noise performance of  $\Sigma\Delta$  ADC would be better and the structure stability would be worse. Normally, the stability characteristic is confirmed by post-simulation of modulator circuit and there is no theory system that could direct to design a high-order stability-free  $\Sigma\Delta$  ADC. How to design a high-resolution, high-stability  $\Sigma\Delta$  ADC is still a research hot spot and a difficult issue.

$\Sigma\Delta$  ADC is divided into two parts structurally: a front-end analog modulator and a back-end digital filter. Digital filter, whether from structure or from implementation, is mature, and as it only covers digital circuit process, it is relatively simple compared with analog modulator. The digital filter in  $\Sigma\Delta$  ADC is usually comprised of two stages: the first stage mainly functions as a decimator to reduce the sampling rate. Comb filter is a prevailing structure in this stage, which is usually implemented by cascaded carry chains. The second stage is normally a FIR filter, which functions mainly as an anti-aliasing filter and at the same time also a decimator against the first stage. The performance of front-end analog modulator plays a decisive influence on the whole  $\Sigma\Delta$  ADCs, so most of the researchs on  $\Sigma\Delta$  ADCs mainly concentrate on the front-end analog modulator. In essence, the analog modulator is also a filter, which propels the noise of base-band to high-frequency area. These high-frequency noises will eventually be removed by back-end digital filters to achieve high-resolution then. As said above, the higher order of analog modulator, the better will be the performance, however, the worse stability of modulator. Currently, single-loop

fourth-order modulator is used often. One-order and two-order modulator is unconditionally stable, thus a structure named MASH is created, which constitutes several one-order or two-order single-loops. However, MASH structure proposes a high standard for circuit matching, which under current manufacture process, is hard to achieve. Single-loop modulators are still a mainstream of researches nowadays. This dissertation thus concentrates on studies of high-order modulators and mainly includes the following issues, firstly, analyzing the stability of high-order modulators using root locus plot. With this plot, the stable signal input range will be given as long as the noise transfer function (NTF) is provided. Secondly, based on the previous researchs, the dissertation advances a standard method of designing high-order analog modulators. Based on this method, the NTF can be quickly calculated according to the required noise performance. Thirdly, a comparative analysis is made on currently prevailing modulator structures and with a concrete example; the design process is given on how to choose modulator structure based on the calculated NTF. Fourthly, based on the chosen modulator structure, the concrete ASIC circuit implementation of a single-loop fourth-order analog modulator is provided.

The structure of this dissertation is as follows:

The first chapter is the introduction of the dissertation. In this chapter, the research background is firstly given. After that, it introduces the development roadmap of  $\Sigma\Delta$  ADCs. Then, it presents the content and the purpose of this dissertation.

The second chapter concentrates on the structure of  $\Sigma\Delta$  modulators. It firstly proposes a structure model for  $\Sigma\Delta$  modulators, and based on it, it then gives a deep analysis on the stability of the structures using root locus plot. At last, an introduction to the MASH structure is also presented.

The third chapter designs a single-loop fourth-order  $\Sigma\Delta$  modulator based on the methods presented in chapter 2. Non-idealities of the designed  $\Sigma\Delta$  modulator are analyzed and simulated using Matlab.

The fourth chapter discusses the circuit implementation of the designed  $\Sigma\Delta$  modulator. The pre-simulation results are given for each sub-module and the whole modulator.

The fifth chapter describes the layout design of each sub-module in the modulator, and simulation results are also presented. At last, the whole modulator is simulated after evaluating the parasitic parameters. Non-idealities such as voltage

variation are also simulated. The simulated resultes verify that the implemented modulator is functional and achieves the required SNR.

The sixth chapter gives the test scheme and test bench for the modulator chip. Test results are obtained.

The seventh chapter summarizes the main ideas and the innovations of this dissertation, and then points out the direction of future work.

**Key Words:**  $\Sigma\Delta$  modulator, stability, switched-capacitor circuits, non-idealities, model simulation, ASIC

## 目 录

第 1 章 绪论.....	1
1.1 论文研究背景 .....	1
1.2 $\Sigma\Delta$ ADC 发展历史, 现状, 方向.....	2
1.3 论文研究内容及创新点 .....	3
1.4 论文结构 .....	4
1.5 参考文献 .....	5
第 2 章 $\Sigma\Delta$ 调制结构及其稳定性分析 .....	7
2.1 $\Sigma\Delta$ 调制结构模型 .....	8
2.2 低阶 $\Sigma\Delta$ 调制器 .....	10
2.2.1 1 阶 $\Sigma\Delta$ 调制器.....	10
2.2.2 2 阶 $\Sigma\Delta$ 调制器.....	14
2.3 高阶 $\Sigma\Delta$ 调制单环结构 .....	22
2.3.1 Butterworth 高通滤波器 .....	23
2.3.2 Inverse-Chebyshev 高通滤波器.....	24
2.3.3 单环高阶 $\Sigma\Delta$ 调制结构及滤波器类型 .....	24
2.4 高阶 $\Sigma\Delta$ 调制 MASH 结构 .....	56
2.5 参考文献 .....	60
第 3 章 电路原理图, 非线性, 模型提取及仿真 .....	63
3.1 行为级原理图获取 .....	64
3.2 电路非线性, 非理想性分析和仿真 .....	69
3.2.1 采样时钟抖动.....	70
3.2.2 采样电容热噪声和运放噪声 .....	70
3.2.3 运放非理想性和非线性 .....	73
3.2.4 不匹配 .....	78
3.2.5 模型提取和仿真 .....	78
3.3 噪声系数和等效噪声温度 .....	81
3.4 小结 .....	82

3.5 参考文献.....	84
<b>第 4 章 晶体管级电路实现和前仿真 .....</b>	<b>85</b>
4.1 开关实现.....	85
4.2 电容, 电阻实现.....	88
4.3 带隙基准电路实现.....	89
4.4 运算放大器实现 .....	92
4.4.1 设计指标.....	93
4.4.2 结构选择.....	93
4.4.3 电路实现分析.....	96
4.5 比较器和锁存器实现.....	113
4.6 时钟产生电路.....	115
4.7 SDM 前仿真结果 .....	118
4.8 本章小结 .....	121
4.9 参考文献.....	123
<b>第 5 章 版图实现及后仿真 .....</b>	<b>127</b>
5.1 开关版图实现与后仿真 .....	127
5.2 运放版图实现与后仿真 .....	129
5.3 比较器版图实现与后仿真 .....	131
5.4 时钟产生电路版图实现与后仿真 .....	132
5.5 带隙基准版图实现与后仿真 .....	133
5.6 Sigma-Delta 调制器总体版图实现与后仿真 .....	134
5.7 本章小结 .....	144
5.8 参考文献.....	147
<b>第 6 章 测试平台与测试结果 .....</b>	<b>149</b>
6.1 版图布局 .....	149
6.2 器件封装 .....	151
6.3 测试方案 .....	152
6.4 测试结果 .....	157
6.5 调制器性能比较 .....	163
6.6 参考文献.....	164

第 7 章 总结与展望 .....	167
致 谢 .....	169
在读期间发表的学术论文与取得的其他研究成果 .....	170

## 图 目 录

图 2- 1 1-bit 量化器通用 $\Sigma\Delta$ 调制模型 .....	8
图 2- 2 单环反馈调制结构 .....	9
图 2- 3 单阶 $\Sigma\Delta$ 调制器 .....	11
图 2- 4 单阶 $\Sigma\Delta$ 调制器噪声传递函数 .....	11
图 2- 5 S 或 Z 域区域划分 .....	12
图 2- 6 单阶 $\Sigma\Delta$ 调制器根轨迹图 .....	12
图 2- 7 噪声与直流输入的关系 ( $f_B = 3.5\text{kHz}$ , $F_s = 64\text{kHz}$ ) .....	13
图 2- 8 2 阶 $\Sigma\Delta$ 调制器原理框图 .....	14
图 2- 9 2 阶 $\Sigma\Delta$ 调制器噪声传递函数 .....	15
图 2- 10 2 阶 $\Sigma\Delta$ 调制器根轨迹图 .....	15
图 2- 11 2 阶 $\Sigma\Delta$ 调制器改进结构 .....	16
图 2- 12 一种 3 阶 $\Sigma\Delta$ 调制结构 .....	17
图 2- 13 多阶调制器噪声调制结果比较 .....	18
图 2- 14 3 阶 $\Sigma\Delta$ 调制器根轨迹图 .....	19
图 2- 15 4 阶 $\Sigma\Delta$ 调制器根轨迹图 .....	20
图 2- 16 5 阶 $\Sigma\Delta$ 调制器根轨迹图 .....	20
图 2- 17 2 阶 $\Sigma\Delta$ 调制器通用结构框架 .....	22
图 2- 18 Butterworth 型滤波器和纯差分结构滤波器性能比较 .....	23
图 2- 19 Butterworth 型和 inverse-chebyshev 型滤波器性能比较 .....	24
图 2- 20 CIFB $\Sigma\Delta$ 调制器结构 .....	25
图 2- 21 CIFF $\Sigma\Delta$ 调制器结构 .....	27
图 2- 22 CRFB $\Sigma\Delta$ 调制器结构 .....	29
图 2- 23 CRFF $\Sigma\Delta$ 调制器结构 .....	31
图 2- 24 FFFB $\Sigma\Delta$ 调制器结构 .....	34
图 2- 25 最大可获取 SNR 与过采样率对应关系 .....	36
图 2- 26 N 阶 1-bit 量化器调制器结构 SQNR 经验值 .....	37
图 2- 27 NTF 波特图 .....	41
图 2- 28 SQNR 仿真曲线 .....	42
图 2- 29 Filter-Zero, Filter-Pole-Butterworth 根轨迹图 .....	42
图 2- 30 -3dB 正弦波输入下的 SQNR 曲线 .....	44
图 2- 31 SQNR 与信号输入幅度的关系 .....	45
图 2- 32 4 阶 CIFB $\Sigma-\Delta$ 调制器简化结构 .....	48
图 2- 33 图 2-32 所示结构 NTF 和 STF 特性曲线 .....	49
图 2- 34 表 2-3 中参数对应得到的 SQNR .....	50
图 2- 35 参数优化后 NTF 和 STF 特性曲线 .....	51
图 2- 36 优化后参数对应的 SQNR .....	51
图 2- 37 调制前参数对应的各级积分器输出峰值 .....	53
图 2- 38 调制后参数对应的各级积分器输出峰值 .....	53
图 2- 39 非稳定情况下各级积分器输出值 .....	54

图 2- 40 CIFF 结构 STF 传递特性 ( $b_4 = 0$ ).....	55
图 2- 41 CIFF 结构 STF 传递特性 ( $b_4 = 1$ ).....	55
图 2- 42 2-1 级联 $\Sigma - \Delta$ 调制器框图 .....	56
图 2- 43 由三个 1 阶单环结构构成的 3 阶调制器结构框图.....	56
图 2- 44 2-1-1 级联 $\Sigma - \Delta$ 调制器结构框图 .....	58
图 2- 45 2-2 级联 $\Sigma - \Delta$ 调制器结构框图 .....	58
图 2- 46 3-1 级联 $\Sigma - \Delta$ 调制器结构框图 .....	58
 图 3- 1 CIFB 结构框图 .....	63
图 3- 2 典型积分器结构框图 .....	64
图 3- 3 典型积分器等效框图 .....	64
图 3- 4 单环 4 阶 (SDM) CIFB 结构行为级原理图 .....	65
图 3- 5 SDM(Sigma-Delta Modulator)调制后结构框图 .....	67
图 3- 6 SDM 调整后 SNR 仿真曲线 .....	67
图 3- 7 各级积分器输出幅度: (a)x1, (b)x2, (c)x3, (d)x4, (e)y .....	68
图 3- 8 SDM 调整后行为级原理图 .....	69
图 3- 9 随机采样抖动模型 .....	70
图 3- 10 kT/C 噪声模型 .....	71
图 3- 11 Op-Amp 噪声模型 .....	73
图 3- 12 积分器非理想下模型 .....	74
图 3- 13 积分器非理想(a)和理想(b)模型 .....	75
图 3- 14 放大器直流通增益与输出幅度的关系曲线.....	76
图 3- 15 $\Sigma - \Delta$ 调制器 simulink 仿真模型 .....	79
图 3- 16 包含噪声和时钟抖动和不包含下的 SNR 仿真结果.....	79
图 3- 17 SNR 与放大器增益之间的关系.....	80
 图 4- 1 由 PMOS 和 NMOS 并联组成的开关导通电阻与输入信号幅度的关系 .....	86
图 4- 2 单个 PMOS 或 NMOS 构成的开关导通电阻与输入信号幅度的关系 .....	86
图 4- 3 时钟倍增实现电路 .....	87
图 4- 4 时钟倍增电路仿真结果 .....	87
图 4- 5 开关性能仿真结果 .....	88
图 4- 6 带息基准电路 .....	91
图 4- 7 带息基准电路仿真结果: (a)电压曲线; (b)温度曲线; (c)PSRR 曲线.....	92
图 4- 8 $\Sigma - \Delta$ 调制器中使用的运放电路.....	94
图 4- 9 两级级联折叠式共源共栅放大器电路.....	95
图 4- 10 输出共模电平变化: (a)文献[2]; (b) 文献[39].	96
图 4- 11 文献[39]中运放频响曲线 .....	96
图 4- 12 极点计算所用模型 .....	98
图 4- 13 确定非极点与单位增益带宽关系的 S 平面 .....	100
图 4- 14 运放第一级摆率 .....	102
图 4- 15 Vod 与 id/(w/l)关系曲线 .....	106
图 4- 16 Vod 与 gm/id 关系曲线.....	106

图 4- 17 运放偏置电路 .....	112
图 4- 18 运放频响曲线 .....	112
图 4- 19 比较器和锁存器电路 .....	113
图 4- 20 快比较器对慢变化信号的响应: (a)无迟滞; (b)迟滞后.....	114
图 4- 21 改进后比较器和锁存器电路 .....	114
图 4- 22 比较器对快信号和慢信号的响应; (a)1KHz;(b)0.1KHz .....	115
图 4- 23 $\Sigma-\Delta$ 调制器时钟相位关系 .....	116
图 4- 24 $\Sigma-\Delta$ 调制器时钟产生电路-1.....	117
图 4- 25 $\Sigma-\Delta$ 调制器时钟产生电路-2.....	117
图 4- 26 时钟产生电路仿真结果; (a)s2,s2d 下降沿;(b)s1,s1d 下降沿 .....	118
图 4- 27 单环 4 阶 $\Sigma-\Delta$ 调制器前仿真结果.....	118
图 4- 28 调整晶体管尺寸前后运放等效输入噪声性能曲线; (a) 调整前: (b)调整后 .....	119
图 4- 29 500Hz, -6dB 正弦波输入信号调制时域图.....	120
图 4- 30 500Hz, -6dB 正弦波输入信号调制频谱图 .....	120
图 4- 31 500Hz, -6dB 正弦波输入信号调制频谱图 (局部放大) .....	121
图 5- 1 调制器中单个开关实现原理图.....	128
图 5- 2 开关版图实现 .....	128
图 5- 3 开关性能后仿真结果; (a)全局图; (b)局部放大图.....	129
图 5- 4 运放版图实现 .....	130
图 5- 5 运放版图实现提取参数后仿真频响曲线.....	130
图 5- 6 运放共模电平变化曲线 .....	131
图 5- 7 比较器版图实现 .....	132
图 5- 8 比较器前仿真与后仿真结果比较.....	132
图 5- 9 时钟产生电路版图实现 .....	133
图 5- 10 时钟产生电路后仿真结果 .....	133
图 5- 11 带息基准版图实现.....	134
图 5- 12 带息基准仿真结果 .....	134
图 5- 13 $\Sigma-\Delta$ 调制器总体版图实现 .....	135
图 5- 14 反馈电路调整 .....	135
图 5- 15 调整后 $\Sigma-\Delta$ 调制器原理图 .....	136
图 5- 16 $\Sigma-\Delta$ 调制器前仿真, 后仿真结果对比.....	137
图 5- 17 供电电压变化对噪声调制性能的影响.....	138
图 5- 18 参考电压波动对噪声调制性能的影响.....	139
图 5- 19 工艺角后仿真结果 (全局图) .....	140
图 5- 20 工艺角后仿真结果 (局部图) .....	140
图 5- 21 500Hz, -7.5dB 正弦波测试输入信号调制时域图 .....	141
图 5- 22 500Hz, -7.5dB 正弦波测试输入信号调制频谱图 .....	142
图 5- 23 供电电源电压变化时信号调制效果时域图 .....	143
图 5- 24 供电电源电压变化时信号调制效果频谱图 .....	143
图 5- 25 参考电压变化时信号调制效果时域图 .....	144
图 5- 26 参考电压变化时信号调制效果频谱图 .....	145
图 6- 1 调制器芯片图 (没有进行切割, 图中虚线以上部分为其他电路) .....	150

## 目 录

---

图 6- 2 调制器版图布局图 .....	150
图 6- 3 流片后芯片 .....	151
图 6- 4 引脚排列图 .....	152
图 6- 5 $\Sigma - \Delta$ 调制器测试平台 .....	152
图 6- 6 芯片测试系统配置图 .....	153
图 6- 7 测试板实物图 .....	154
图 6- 8 FFT 分析建立过程 .....	154
图 6- 9 12-bit 理想 ADC 的 FFT 输出结果 .....	155
图 6- 10 SFDR 不同表示方式的区别 .....	156
图 6- 11 芯片测试环境 .....	157
图 6- 12 SDM 芯片实际输出波形 .....	158
图 6- 13 设计芯片与工业界成熟芯片输出噪声调制结果比较 .....	159
图 6- 14 正弦波输入调制结果比较 .....	161
图 6- 15 ADC 输出比较 .....	162
图 6- 16 SNR 随输入正弦波幅度关系曲线 .....	163

## 表 目 录

表 1- 1 国内近年来 $\Sigma\Delta$ 调制器研究情况.....	1
表 2- 1 N 阶 $\Sigma\Delta$ 调制器优化后零点位置.....	38
表 2- 2 不同零点, 极点组合下的性能特性.....	43
表 2- 3 CIFB 结构归一化参数.....	49
表 2- 4 CIFB 优化后参数 .....	50
表 2- 5 CIFB 结构调整后参数.....	52
表 3- 1 CIFB 结构调整后参数.....	63
表 3- 2 SDM 中电容系数.....	66
表 3- 3 SDM 中电容值.....	66
表 3- 4 运放实现指标要求 (3.3V 供电) .....	80
表 4- 1 带隙基准仿真结果总结 .....	92
表 4- 2 运放仿真结果 .....	113
表 6- 1 $\Sigma-\Delta$ 调制器管脚分布 .....	151
表 6- 2 设计芯片与工业界成熟芯片各项指标对比.....	163
表 6- 3 SDM 芯片各项指标随输入正弦波频率变化关系 .....	164
表 6- 4 $\Sigma\Delta$ 调制器性能比较.....	165

# 第1章 绪论

## 1.1 论文研究背景

目前， $\Sigma\Delta$  ADC 的研究应该是 ADC 领域最为活跃的一个分支，这主要归功于集成电路工艺技术的飞速发展，使得速度换精度的策略可以很好的应用，另一方面也是应无线通信，雷达应用以及数字音视频等领域的需求。 $\Sigma\Delta$  ADC 由于其高精度被广泛应用于以上各种领域中，尤其在石油，天然气资源勘探领域。油气勘探领域由于勘探方法的限制，主要感兴趣信号范围集中在低频区域，而 $\Sigma\Delta$  ADC 由于其卓越的低频噪声调制性能被广泛应用。目前基本所有的油气勘探仪器均采用 $\Sigma\Delta$  ADC 作为其模数变换器。本人所在实验室从事油气勘探仪器研制已有十余年，设计了一套成熟的勘探仪器，并被成功应用于海上油气资源的探测中。作为仪器中最基本的采集单元-采集板，其中的模数变换器采用了国外公司的一套采集套片，由于其采用早期集成电路工艺制造，采集电路面积大，功耗高，而且价格昂贵。为了降低仪器成本，降低功耗，并发展具有完全自主知识产权的勘探仪器设备，决定设计研制自己的 $\Sigma\Delta$  ADC 芯片。目前国外 $\Sigma\Delta$  ADC 的研究已经达到 31-bit 高精度，调制阶数通常为 4 阶或更高的 5 阶结构，产品基本被 Cirrus Logic, ADI, TI 等公司垄断，他们在研发和芯片制造方面积累了多年的经验，掌握了 ADC, DAC 设计和实现的最为先进的技术。国内从事 $\Sigma\Delta$  ADC 的研究也有许多年，并取得了很大的进展，但是基本处于模仿阶段，并大多采用 2 阶或 3 阶调制结构，少数采用 4 阶或 5 阶调制结构或者 MASH 结构，但精度通常在 16-bit 以下，与国外还存在较大的差距。表 1-1 所示为近年来国内一些科研机构 $\Sigma\Delta$  调制器的研究现状。

表 1-1 国内近年来 $\Sigma\Delta$  调制器研究情况

作者	单位	工艺( $\mu\text{m}$ )	电压	实测有效位	功耗	完成时间
冯军[1]	电子科技大学	0.18	3.3V	16-bit	35mW	2006
陈雷[2]	西北工业大学	0.5	3.3V	12-bit	-	2006
陈建球[3]	复旦大学	0.18	1.8V	12-bit	16.7mW	2007
曹楹[4]	复旦大学	0.18	1.8V	14-bit	15.5mW	2007
马绍宇[5]	浙江大学	0.18	3.3V	15-bit	16.3mW	2008
袁小龙[6]	浙江大学	0.25	3.3V	10-bit	-	2009
张洲洋[7]	北京大学	0.18	1.8V	10-bit	32mW	2010
李迪[8]	电子科技大学	0.18	1.8V	13-bit	39mW	2010
刘志明[9]	中国科技大学	0.18	1.8V	12-bit	-	2010
袁俊[10]	电子科技大学	0.13	1.2V	10-bit	22mW	2011
李冉[11]	复旦大学	0.13	1.2V	10-bit	18mW	2012

作者以国家863科研项目和现有成熟的勘探仪器研究工作为背景,研究高精度高阶 $\Sigma\Delta$ ADC,以期实现有效位高于16-bit的高阶 $\Sigma\Delta$ ADC。

## 1.2 $\Sigma\Delta$ ADC发展历史,现状,方向

$\Sigma-\Delta$ 调制概念1962年由H.Inoise<sup>[12]</sup>提出。H.Inoise描述了一个使用连续时间积分器作为环形滤波器,Schmitt触发器作为量化器的噪声调制结构,并获得了将近40dB的SNR,由此正式提出了 $\Sigma-\Delta$ 调制的概念。1974年,G.R.Richie提出了使用高阶环形滤波器的想法[13],1986年,R.W.Adams给出了一个18-bit采用 $\Sigma-\Delta$ 调制的ADC,该 $\Sigma-\Delta$ 调制器使用三阶连续时间环形滤波器,4-bit量化器以及由电阻网络构成的反馈DAC。J.C.Candy和其Bell实验室的同事从理论上提出了分析和设计 $\Sigma\Delta$ ADC的方法[14]-[19]。J.C.Candy和A.Huynh提出了被用于 $\Sigma\Delta$ DAC中的多级(MASH: Multi-stAge noise SHaping)级联概念[20],MASH结构在1986首次被T.Hayashi等人用于设计 $\Sigma\Delta$ ADC[21]。1988年,L.E.Larson等人使用数字线性校正技术设计了一个内含多位量化器的 $\Sigma\Delta$ ADC[22],之前 $\Sigma\Delta$ ADC的设计都采用1-bit量化器。由于无线通信的潜在需求,带通 $\Sigma\Delta$ 调制器在1980年代后期出现[23]-[25]。现在 $\Sigma\Delta$ ADC的设计趋势是在不降低SNR的情况下尽量扩展信号带宽,这在数字视频,无线通信和雷达应用领域具有广阔的空间。对于高速ADC的设计可以通过使用高精度多位内部量化器以及使用MASH结构获取,对于 $\Sigma\Delta$ ADC内部多位DAC的非线性以及不匹配造成的噪声泄露问题,已经提出数字校正算法应对此类问题[26]。

由于集成电路工艺技术的飞速发展, $\Sigma\Delta$ ADC利用速度换取精度的思想获得了很大的成功,目前已经出现31-bit高精度的 $\Sigma\Delta$ ADC,这是其他类型的ADC无法比拟的。在 $\Sigma\Delta$ ADC中,前端模拟部分调制阶数越高,原则上可以获取越高的噪声调制效应,从而获得更大精度的输出。然而随着调制阶数的增大,其稳定性范围越来越窄,输入信号动态范围也越来越小,目前比较常见的调制器阶数为4阶及以下,如何增大调制阶数的同时保证稳定性是目前的一个研究方向,T.C.Caldwell[27]等人于2009年提出了一个8阶,过采用率为3的 $\Sigma\Delta$ 调制器,是这方面研究的一个范例。由于早期集成电路工艺的问题造成的不匹配使得多级级联(MASH) $\Sigma\Delta$ ADC的研制非常困难。MASH结构 $\Sigma\Delta$ ADC原理上将一个单环高阶的调制结构分解为多环低阶的结构,想借以解决高阶结构下的稳定性问题。然而限于早期工艺的影响,多环结构由于各级之间的不匹配使得其精度很难提高。随着集成电路工艺的提高以及高阶结构下难以解决的稳定性问题,更多人将

研究方向定为 MASH 结构, J.Silva[28]等人给出了克服工艺不匹配问题的低谐波失真的多种 MASH 结构。J.S.Chiang[29]等人则设计了一个 2.5V 供电, 14-bit 精度的 MASH 结构类型的  $\Sigma\Delta$  ADC。L. Yao[30]等人则给出了 130nm 纳米工艺下设计的  $\Sigma\Delta$  ADC, 其供电电压只有 1.0V, 精度为 15-bit, 功耗仅为 7.4mW。 $\Sigma\Delta$  ADC 的另一个研究方向是提高模拟调制结构中的量化器位数, 量化器位数越高, 得到的噪声调制效果越高, 目前比较常见的有 1-bit, 4-bit 量化器, 更高位数的量化器由于其非线性造成的负面影响将抵消其获得的噪声性能, 故很少使用。如何在提高量化器位数的情况下保证非线性也是一个研究方向。

$\Sigma\Delta$  ADC 改进上主要在于前端模拟调制器噪声调制性能, 这一方面可以通过提高调制器的阶数达到, 另一方面可以通过提高量化器的位数达到。提高调制器阶数将大大降低系统稳定性, 故产生了 MASH 结构调制器, 然而由于制造工艺的限制, MASH 结构中多级之间的不匹配将造成噪声性能的降低; 提高量化器位数则将同时提高调制器结构的非线性, 也会大大降低噪声调制性能。故  $\Sigma\Delta$  ADC 进一步的研究方向一方面是如何设计出稳定性高的高阶调制器结构, 其次是如何在保证一定非线性的条件下增加量化器位数, 其次是研究出对匹配不敏感的 MASH 结构调制器结构。从目前研究来看, 随着调制器阶数的增加, 稳定性越差, 故高阶结构调制器只用于低动态范围的环境下, 更多的是在现有的低阶结构下调整调制器的反馈结构增加噪声调制性能, 其次则是对 MASH 结构的研究, 由于集成电路工艺的发展, 对于 MASH 结构的研究逐渐流行。

### 1.3 论文研究内容及创新点

作为完全设计人, 基于 Chartered 0.35 $\mu$ m CMOS 工艺, 成功完成一款有效位近 18-bit 单环 4 阶 1 位 CIFB 型  $\Sigma\Delta$  模拟调制器的设计工作, 芯片已成功流片, 并已完成主要测试工作, 各项指标基本达到了设计要求。论文针对单环高阶  $\Sigma\Delta$  调制器的设计, 实现进行了广泛的讨论和分析。所做的主要研究工作和创新点概述如下:

1. 对各种单环高阶调制结构进行了对比分析, 并总结了各种调制器结构的噪声函数, 按照设计指标, 重点考虑功耗, 面积等因素, 合理选取了一个单环 4 阶 1 位 CIFB 调制器结构, 结合滤波器的设计方法, 总结出了详细的调制器设计流程。
2. 对调制器各构成单元: 运算放大器, 比较器, 时钟产生电路, 带隙基准电路等设计给出了详细的设计流程, 并对各构成单元非线性因素及其对整个调制器性能的影响进行了分析, 以此指导后期的调制

- 器整体结构的设计和实现。
3. 设计建立了考虑各种运放电路非线性和开关非理想因素的调制器的数学模型并对此进行了系统级仿真，得出指导系统设计的关键点。
  4. 在原有的基础上，完善了基于  $gm_{id}$  和  $v_{od}$  特性曲线的模拟电路设计方法。相比较与电流平方定律设计方法，这种方法不受具体工艺水平的限制，且具有很高的精确性，在完成初步计算后，只需对个别晶体管参数进行很小的参数调整后即可达到设计要求，完成电路设计。
  5. 高阶  $\Sigma\Delta$  模拟调制器的稳定性一直是一个问题，暂没有系统的理论基础和设计方法保证高阶调制器的稳定性，通常都是通过后期仿真获得稳定输入范围。论文基于根轨迹图给出了高阶调制器稳定性的一种分析方法，可在设计过程中对稳定性进行预测。
  6. 独立完成整个  $\Sigma\Delta$  调制器前期研究工作，原理图设计，前仿真，版图设计，后仿真，成功完成流片；并完成芯片的后期测试方案和测试评估板设计，搭建测试平台，对芯片性能进行了验证。测试结果表明设计芯片达到了设计要求，其调制性能达到甚至超过了工业界成熟调制芯片。由于测试源精度的限制，目前测试所得调制器有效位达到近 18-bit。

## 1.4 论文结构

论文共分为 7 章。第一章为绪论部分，介绍了论文研究背景， $\Sigma\Delta$  ADC 发展历史，论文研究内容，创新点等；第二章着重分析  $\Sigma\Delta$  调制器的主要常见结构，提出结构模型，对其稳定性进行了详细的分析；第三章完成了单环 4 阶  $\Sigma\Delta$  调制器原理图设计，对构成调制器各模块的非线性，非理想性因素进行了讨论，并进行了模型提取，使用 Matlab 进行了模型仿真，对原理图设计的正确性进行了验证；第四章在第三章设计得到的原理图的基础上详细的讨论了晶体管级电路实现，给出了前仿真结果，进一步验证了原理图设计的正确性；第五章则给出了  $\Sigma\Delta$  调制器主要模块的版图设计以及各模块的后仿真结果，最后给出了整个  $\Sigma\Delta$  调制器版图设计后的后仿真结果，对整个调制器设计的正确性进行了最后的确认和验证；第六章构建测试平台对流片芯片进行了实际测试和功能验证，给出了基本测试结果；第七章为本论文的总结和展望，给出了调制器设计中可以进行改进的方面，并提出了下一步工作的方向。

## 1.5 参考文献

- [1] 冯军, "一种 16 位  $\Sigma\Delta$  音频 ADC 中调制器的设计与实现", 硕士论文, 电子科技大学(成都), 2006。
- [2] 陈雷, "高精度  $\Sigma\Delta$  ADC 的研究", 博士论文, 西北工业大学, 2006。
- [3] 陈建球等, "一个用于 GSM 的 80dB 动态范围  $\Sigma\Delta$  调制器", 半导体学报, vol.28, no.2, pp.294-301, Feb. 2007.
- [4] 曹楹等, "A 16bit 96kHz Chopper-Stabilized Sigma-Delta ADC", Chinese Journal of Semiconductor, vol.28, no.8, pp.1204-1210, Aug. 2007.
- [5] 马绍宇, "高性能, 低功耗  $\Sigma\Delta$  模数转换器的研究与实现", 博士论文, 浙江大学, 2008.
- [6] 袁小龙, "高性能  $\Sigma\Delta$  调制器, 模数转换器的研究", 博士论文, 浙江大学, 2009.
- [7] 张洲洋等, "一种高速连续时间 Sigma-Delta ADC 设计", 现代电子技术, vol.20, 2010.
- [8] 李迪等, "Improved low-distortion sigma-delta ADC with DWA for WLAN standards", Journal of Semiconductors, vol.31, no.2, Feb. 2010.
- [9] 刘志明, "16 比特低功耗音频应用 Sigma-Delta ADC 研究", 硕士论文, 中国科技大学, 2010.
- [10] 袁俊等, "Continuous time sigma delta ADC design and non-idealities analysis", Journal of Semiconductors, vol.32, no.12, Dec. 2011.
- [11] 李冉等, "A 18-mW,20-MHz bandwidth,12-bit continuous-time  $\Sigma\Delta$  modulator using a power-efficient multi-stage amplifier", Journal of Semiconductors, vol.33, no.1, Jan. 2012.
- [12] H.Inose, Y.Yasuda and J.Murakami, "A telemetering system by code modulation -  $\Delta\Sigma$  modulation," IRE Trans. Space Electron. Telemetry, vol.8, pp.204-209, Sep. 1962.
- [13] G.R.Ritchie, J.C.Candy and W.H.Ninke, "Interpolative digital to analog converters," IEEE Transactions on Communications, vol.22, pp.1797-1806, Nov. 1974.
- [14] S.R.Norsworthy, R.Schreier and G.C.Temes, "Delta-Sigma Data Converters: Theory, Design and Implementation," IEEE Press, 1997.
- [15] J.C.Candy, "A use of limit cycle oscillations to obtain robust analog-to-digital converters," IEEE Transactions on Communications, vol.22, no.3, pp.298-305, Mar. 1974.
- [16] J.C.Candy, B.A.Wooley and O.J.Benjamin, "A voiceband codec with digital filtering," IEEE Transactions on Communications, vol.29, no.6, pp.815-830, Jun. 1981.
- [17] J.C.Candy and O.J.Benjamin, "The structure of quantization noise from sigma-delta modulation," IEEE Transactions on Communications, vol.29, no.9, pp.1316-1323, Sep. 1981.
- [18] J.C.Candy, "A use of double integration in sigma-delta modulations," IEEE Transactions on Communications, vol.33, no.3, pp.249-258, Mar. 1985.
- [19] J.C.Candy, "Decimation for sigma-delta modulations," IEEE Transactions on Communications, vol.34, no.1, pp.72-76, Jan. 1986.
- [20] J.C.Candy and A.Huynh, "Double Interpolation for digital-to-analog conversion," IEEE Transactions on Communications, vol.34, no.1, pp.77-81, Jan. 1986.
- [21] T.Hayashi, Y.Inabe, K.Uchimura and A.Iwata, "A multistage delta-sigma modulator without double integration loop," ISSCC Digest of Technical Papers, pp. 182-183, Feb. 1986.
- [22] L.E.Larson, T.Cataltepe and G.C.Temes, "Multi-bit over-sampled  $\Sigma\Delta$  A/D converter with digital error correction," Electronics Letters, vol.24, pp.1051-1052, Aug. 1988.

- [23] T.H.Pearce and A.C.Baker, "Analogue to digital conversion requirements for HF radio receivers," Proceedings of the IEE Colloquium on system aspects and applications of ADCs for radar, sonar and communications, London, Nov. 1987, Digest No1987/92.
- [24] P.H.Gailus, W.J.Turney and F.R.Yester, "Method and arrangement for a sigma delta converter for bandpass signals," US Patent number 4857928, Aug. 1989.
- [25] R.Schreier and W.M.Snelgrove, "Bandpass sigma-delta modulation," Electronics Letters, vol.25, no.23, pp.1560-1561, Nov. 1989.
- [26] X.Wang, U.Moon, M.Liu and G.C.Temes, "Digital correlation technique for the estimation and correction of DAC errors in multibit MASH  $\Sigma\Delta$  ADCs," 2002 IEEE International Symposium on Circuits and Systems, vol.4, pp.691-694, May. 2002.
- [27] T.C.Caldwell and D.A.Johns, "An 8-th order MASH delta-sigma with an OSR of 3," ESSCIRC, pp.476-479, Sep. 2009.
- [28] J.Silva, U.K.Moon and G.C.Temes, "Low-distortion delta-sigma topologies for MASH architectures," International Symposium on Proceedings of the Circuits and Systems, vol.1, pp.I-1144-1147, May. 2004.
- [29] J.S.Chiang, H.L.Chen and P.C.Chou, "A 2.5-V 14-bit MASH Sigma-Delta Modulator for ADSL," IEEE Asia-Pacific Conference on Advanced System Integrated Circuits, pp.24-27, Aug. 2004.
- [30] Libin Yao, Michiel Steyaert and Willy Sansen, "Low-Power Low-Voltage Sigma-Delta Modulators in Nanometer CMOS," Published by Springer, Netherlands, 2006.

## 第2章 $\Sigma\Delta$ 调制结构及其稳定性分析

$\Sigma-\Delta$  调制概念于 1962 年由 H.Inoise<sup>[1]</sup>提出。H.Inoise 描述了一个使用连续时间积分器作为环形滤波器, Schmitt 触发器作为量化器, 并获得了将近 40dB SNR 的 ADC 设计方法, 由此正式提出了  $\Sigma-\Delta$  调制的概念。由于集成电路工艺的飞速发展,  $\Sigma-\Delta$  ADC 在上个世纪 80 年代获得了长足的进步, 出现了大量研究论文, 对  $\Sigma-\Delta$  ADC 的各个方面展开了论述, 90 年代  $\Sigma-\Delta$  ADC 技术逐渐成熟, 一些新的研究论文着重于新的调制结构或者低功耗方面的讨论。目前国际上已经研制出有效位达到 31-bit 的  $\Sigma-\Delta$  ADC。 $\Sigma-\Delta$  调制结构的本质包括两个方面: 1) 过采样; 2) 噪声成形。过采样率由 OSR (Over-Sampling-Rate) 参数表示:  $OSR = f_s / f_{Nyquist} = f_s / 2f_B$ ; 噪声成形则由调制结构采用的噪声传递函数 NTF (Noise Transfer Function) 表示。 $\Sigma-\Delta$  调制结构由三大模块构成: 1) 环形滤波器, 决定 NTF; 2) 量化器, 基于反馈用 DAC 非线性对系统整体性能的影响, 通常使用 1-bit 量化器(即比较器), 多位量化器的使用可以大大增加噪声性能(每增加 1-bit, 量化噪声下降 6dB) [3]; 3) 反馈用 DAC, 由于 DAC 的非线性会对整个调制后的结果产生很大的影响, 故通常使用 1-bit DAC, 此时量化器也是 1-bit, 1-bit DAC 完全消除了非线性问题, 使用多位 DAC 时, 一般需要通过数字校正算法改善线性度。

基于环形滤波器中积分器的工作模式,  $\Sigma-\Delta$  调制结构分为两大类型: 1) 连续时间 (CT: Continuous-Time)  $\Sigma\Delta$  调制; 2) 开关电容 (SC: Switched-Capacitor)  $\Sigma\Delta$  调制。与 SC  $\Sigma\Delta$  调制相比, CT  $\Sigma\Delta$  调制具有更高的带宽, 这在无线通信领域具有很大的优势; 其次功耗较低且内部自带反混叠滤波电路, 增加了电源寿命, 也减小了电路复杂度。但是 CT  $\Sigma\Delta$  调制结构很难达到高精度, 其对时钟抖动以及反馈延迟更加敏感, 由工艺引起的电阻和电容参数值波动造成的影响更加严重, 所以 CT  $\Sigma\Delta$  结构很难达到高精度与高带宽的同时提高 (如 BW>1MHz, DR>14-bit) [16][17]。相对而言, SC  $\Sigma\Delta$  调制结构带宽有限 (<1MHz), 但是其对参数波动敏感性小, 设计方法和工艺都较为成熟, 故使用在大量高精度 ADC 的设计中。随着 CMOS 工艺水平的发展, 现在  $\Sigma\Delta$  ADC 也逐渐向低电压, 低功耗方面发展[18]。[3]中对于 CT  $\Sigma\Delta$  调制以及 SC  $\Sigma\Delta$  调制的优缺点有比较详细的分析。本论文主要研究 SC  $\Sigma\Delta$  调制器的设计。

$\Sigma\Delta$  调制器中量化器可以采用多位, 多位量化器增强了系统稳定性, 且对噪声具有更好的压制[3], 但是反馈用的多位 DAC 的固有非线性将对整个系统的性能造成很大的负面影响, 故使用多位量化器的  $\Sigma\Delta$  调制器通常都需使用数字校正电路, 但是随着 OSR 的提高 (>16), 数字校正电路也很难改善多位 DAC 非线

性造成的负面影响[3]，故高精度 $\Sigma\Delta$  ADC 设计中通常采用 1-bit 量化器，此时反馈 DAC 只有两个电平，是完全线性的，从根本上消除非线性造成的干扰。论文所示 $\Sigma\Delta$  调制器结构中除特别交代外，默认都使用 1-bit 量化器。

## 2.1 $\Sigma\Delta$ 调制结构模型

为便于下文分析，我们首先引入一个 $\Sigma\Delta$  调制结构模型，如图 2-1 所示 1-bit 量化器通用 $\Sigma\Delta$  调制模型[3]。

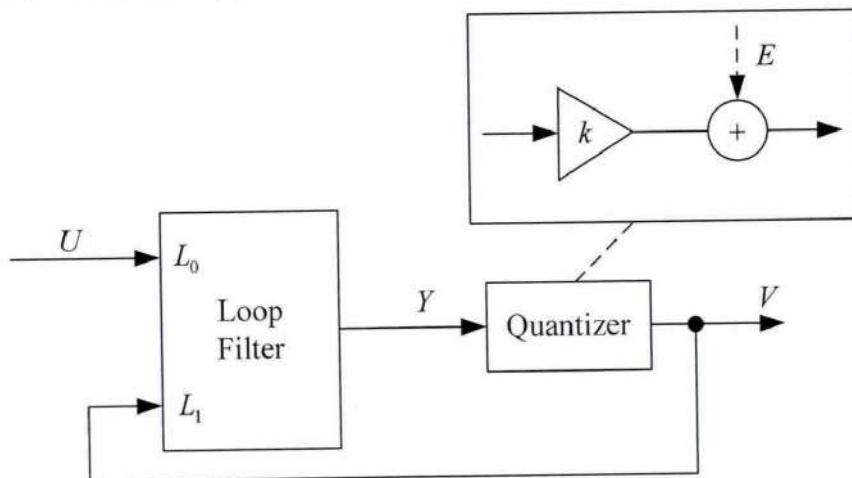


图 2-1 1-bit 量化器通用 $\Sigma\Delta$  调制模型

由图 2-1 可得一级近似（令量化器增益  $k=1$ ）：

$$Y(z) = V(z)L_1(z) + U(z)L_0(z) \quad (1.1)$$

$$V(z) = Y(z) + E(z) \quad (1.2)$$

对于 $\Sigma\Delta$  调制，输出  $V(z)$  可表示为  $V(z) = STF(z)U(z) + NTF(z)E(z)$ ，由此可得：

$$NTF(z) = \frac{1}{1 - L_1(z)} \quad (1.3.1)$$

$$STF(z) = \frac{L_0(z)}{1 - L_1(z)} \quad (1.3.2)$$

类似的，通过反变换，可以得到如下等式：

$$L_0(z) = \frac{STF(z)}{NTF(z)} \quad (1.4.1)$$

$$L_1(z) = 1 - \frac{1}{NTF(z)} \quad (1.4.2)$$

对于实际中使用的单环 (single-loop)  $\Sigma\Delta$  调制器结构 (图 2-2 所示), 有  $L_0 = L, L_1 = -L$ 。

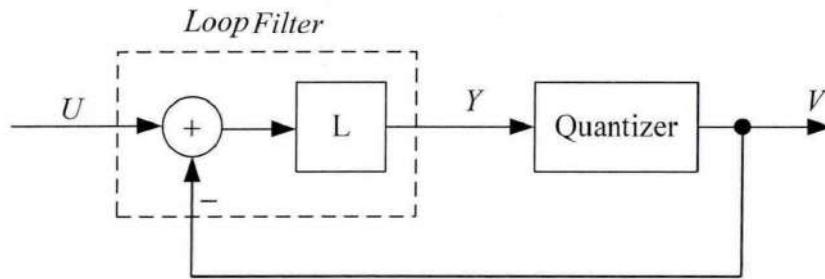


图 2-2 单环反馈调制结构

以上讨论中, 假设  $k=1$ , 即量化器增益恒定不变。实际上,  $k$  随着输入电平的变化而变化, 这由  $k$  的定义直接得出。量化器增益  $k$  定义为量化器输出与输入的比值:  $k = v/y$ 。通常量化器输出固定, 本文中我们将其归一化为 1V。对于 1-bit 量化器而言, 其本质上是一个比较器, 但输入  $y$  大于 0 时, 其输出 +1V, 当输入  $y$  小于 0 时, 其输出 -1V。由此可见,  $k$  随着输入  $y$  的变化而改变, 即 1-bit 量化器是一个非线性单元。考虑量化器增益  $k$  的变化时, (2) 式改写为  $V(z) = kY(z) + E(z)$ , 与 (1) 联立, 可得:

$$V(z) = \frac{kL_0(z)}{1 - kL_1(z)}U(z) + \frac{1}{1 - kL_1(z)}E(z) \quad (1.5)$$

由此可得:

$$NTF_k(z) = \frac{1}{1 - kL_1(z)} \quad (1.6.1)$$

$$STF_k(z) = \frac{kL_0(z)}{1 - kL_1(z)} \quad (1.6.2)$$

将 (4.2) 代入 (6.1) 可得:

$$NTF_k(z) = \frac{1}{1 - k(1 - \frac{1}{NTF_{k=1}(z)})} = \frac{NTF_{k=1}(z)}{k + (1 - k)NTF_{k=1}(z)} \quad (1.7)$$

其中  $NTF_{k=1}(z)$  为  $k=1$  时噪声传递函数。(1.7) 式的意义在于: 通常进行  $\Sigma\Delta$

调制器设计时，首先设计  $NTF_{k=1}(z)$ ，即不考虑量化器非线性情况下的噪声成形性能，以达到系统设计要求，如设计一个 16-bit 精度的  $\Sigma\Delta$  ADC，则需要 SNR 大于 96dB。设计中考虑到电子学噪声，要求 SQNR (Signal to Quantization Noise Ratio) 有一定的余度，如设计时设定 SQNR 为 110dB，此时根据 OSR 选择调制阶数，在此基础上完成  $NTF_{k=1}(z)$  的设计。在  $NTF_{k=1}(z)$  达到所要求 SQNR 的基础上，进行结构稳定性分析，得到稳定输入范围。

稳定性分析即考虑量化器非线性条件下系统正常工作的条件，通常而言，高阶（三阶及以上） $\Sigma\Delta$  调制器都是条件稳定的，即输入必须限制在一定的范围内才不至于对量化器造成过载（overload）。量化器过载会使系统进入不稳定状态，有可能形成低频振荡，这种振荡即便在输入重新变为正常后，也不会消除。高阶  $\Sigma\Delta$  调制器要求的稳定输入范围通常由  $k$  表示，即存在一个  $k_{min}$ ，当输入满足  $k > k_{min}$  时，系统是稳定的。 $k_{min}$  的计算将由 (1.7) 式给出的根轨迹图 (root locus) 完成。另外由  $k = v/y$  可知，当  $k > 1$  时，有  $y < v$ ，此时将不存在量化器过载问题，即系统将是稳定的，只有  $k < 1$  时，才会发生量化器过载，引起系统稳定性问题，故稳定性分析中只需对  $0 < k < 1$  区域进行考虑即可。

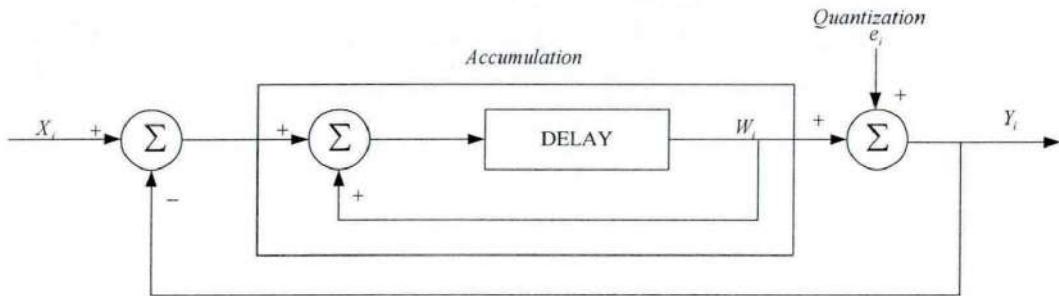
事实上，将 (1.4.2) 代入 (1.6.1) 中，我们可以得到分析根轨迹时所需的更一般的表达式，然后直接对  $NTF_k(z)$  进行根轨迹图分析，得到系统稳定范围[28]，但是这种方式增加了额外的计算，通过 (1.7) 式将直接对  $NTF_{k=1}(z)$  进行分析。

## 2.2 低阶 $\Sigma\Delta$ 调制器

低阶  $\Sigma\Delta$  调制器指 1 阶，2 阶  $\Sigma\Delta$  调制器。低阶  $\Sigma\Delta$  调制器不存在稳定性问题，1 阶，2 阶  $\Sigma\Delta$  调制器都是绝对稳定的，即无论输入如何变化，1 阶，2 阶  $\Sigma\Delta$  调制器都不会有稳定性问题。下面分别介绍 1 阶，2 阶  $\Sigma\Delta$  调制器结构并由此引入 Idle Tones 以及 Dead Zone 的概念。

### 2.2.1 1 阶 $\Sigma\Delta$ 调制器

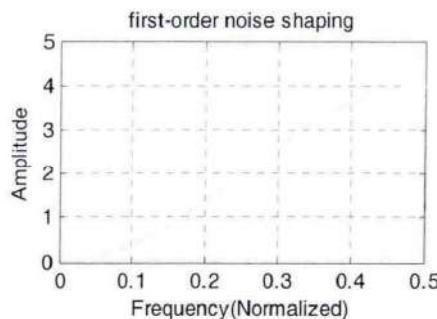
1 阶  $\Sigma\Delta$  调制器由于其内在的固有缺点且噪声压制能力较差，在实际中很少使用。由于 1 阶  $\Sigma\Delta$  调制器结构简单，可以据此澄清一些基本原理和概念。1 阶  $\Sigma\Delta$  调制器基本结构原理图如图 2-3 所示。

图 2-3 单阶  $\Sigma\Delta$  调制器

由图 2-3 可得  $Y(z) = z^{-1}X(z) + (1 - z^{-1})E(z)$ ，即  $NTF_{k=1}(z) = (1 - z^{-1})$ 。1 阶  $\Sigma\Delta$  调制对信号仅仅延迟了一个单位，即 1 阶  $\Sigma\Delta$  调制器压制了基带内的量化噪声，而不对输入信号造成影响。

#### 2.2.1.1 噪声调制

1 阶  $\Sigma\Delta$  调制器噪声传递函数为  $NTF_{k=1}(z) = (1 - z^{-1})$ ，其归一化频谱图如图 2-4 所示。

图 2-4 单阶  $\Sigma\Delta$  调制器噪声传递函数

将  $z = e^{jwTs}$  代入  $NTF_{k=1}(z) = (1 - z^{-1})$ ，并对信号频带积分，可得 1 阶  $\Sigma\Delta$  调制器  $SQNR = 6.02K + 1.76 + 10 \log(3/\pi^2) + 30 \log(OSR)$ <sup>1</sup>，对于 1-bit 量化器，式中

<sup>1</sup> 计算过程如下（多阶类似，下文不再给出计算过程）：

$$E(f) = e_{RMS} \sqrt{1/(f_s/2)}$$

$$N(f) = E(f) |(1 - z^{-jwTs})| = 2e_{RMS} \sqrt{2Ts} \sin(\frac{\pi wTs}{2})$$

$$\frac{wTs}{2} = \frac{2\pi f}{2Fs} = \frac{\pi}{2OSR} \ll 1 \Rightarrow \sin(\frac{\pi wTs}{2}) \approx \frac{\pi wTs}{2}$$

$$n_0^2 = \int_0^{f_B} |N(f)|^2 df = e_{RMS}^2 \frac{\pi^2}{3} (2f_B Ts)^3 = e_{RMS}^2 \frac{\pi^2}{3OSR^3}$$

$K=1$ , 由此得到  $SQNR = 2.163 + 30 \log(OSR)$ 。如  $OSR=64$  时,  $SQNR = 56.34dB$ . 即只考虑量化噪声下, 简单差分型结构 1 阶调制器可达到的有效位约为 9bits。

### 2.2.1.2 稳定性分析

由 (1.7) 式  $NTF_k(z) = NTF_{k=1}(z)/[k + (1-k)NTF_{k=1}(z)]$ , 可以对 1 阶  $\Sigma\Delta$  调制器稳定性进行分析。在分析过程中, 根轨迹图 (Root Locus) 是一个直观有效的方式。根轨迹图即在 S 平面或者 Z 平面上画出极点位置对增益变化的轨迹图, 根据轨迹判断系统稳定性的一种方法。我们根据极点位置不同, 将 S 或 Z 平面分为三个区域, 如图 2-5 所示。1 阶  $\Sigma\Delta$  调制器根轨迹图如图 2-6 所示。

Region	S-Domain		Z-Domain	
<b>Stable Region</b>	Left-Hand S Plane	$\sigma < 0$	Inside the Unit Circle	$ z  < 1$
<b>Marginally Stable Region</b>	The vertical axis	$\sigma = 0$	The Unit Circle	$ z  = 1$
<b>Unstable Region</b>	Right-Hand S Plane	$\sigma > 0$	Outside the Unit Circle,	$ z  > 1$

图 2-5 S 或 Z 域区域划分

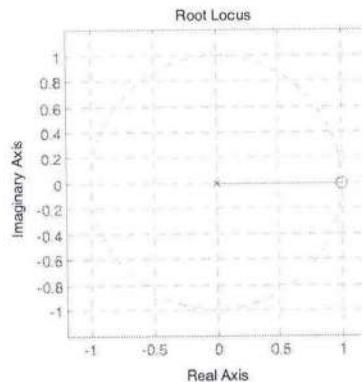


图 2-6 单阶  $\Sigma\Delta$  调制器根轨迹图

由图 2-5 可知, 稳定系统必须满足  $|z| < 1$ , 从图 2-6 所示的根轨迹图可见, 当量化器增益  $k$ ; 变化时, 极点始终位于单位圆的内部, 即 1 阶  $\Sigma\Delta$  调制器是绝对稳定的。

注意: 诚如前文所述, 在使用式 (1.7) 进行稳定性分析中, 我们只考虑了  $0 < k < 1$  的情况。当然  $k$  也可以大于 1, 然而稳定性问题的造成是由量化器过载造成的, 而  $k > 1$  时, 不存在量化器过载的问题, 所以无需对  $k > 1$  的区域进行考虑。

1 阶  $\Sigma\Delta$  调制器的稳定性分析也可以通过 Bode Plot 进行分析, 从 Bode Plot

可以看到，1阶 $\Sigma\Delta$ 最大相移只有-90Degree，而要达到振荡条件，相移必须达到-180Degree，故1阶 $\Sigma\Delta$ 是绝对稳定的。

### 2.2.1.3 Idle Tones

考虑一个直流输入电平 $u = (m/n)V_{ref}$ 。归一化处理后有 $u = m/n$ 。对此输入考虑1阶 $\Sigma\Delta$ 调制器输出。令量化器输入端电平 $y > 0$ 时，量化器输出1， $y < 0$ 时，量化器输出0。由于 $\Sigma\Delta$ 调制的输出是对输入的平均（或逼近），故经过n个周期后，输出序列将重复，即此时 $\Sigma\Delta$ 调制器的输出是一个周期为n的周期序列。令过采样时间间隔为 $T_s$ ，则周期序列的周期为 $nT_s$ ，这将在频带中引入 $F_s/n$ 频谱分量及其谐波 $kF_s/n$ （ $k=2, 3, \dots$ ）分量。如果这些频谱位于信号基带内将引入较大的基带噪声。将这种由输入直流分量引入的基带噪声称为Idle Tone或Limit Cycles或Pattern Noise。图2-7给出了Idle Tone与输入直流电平之间的关系[19]。

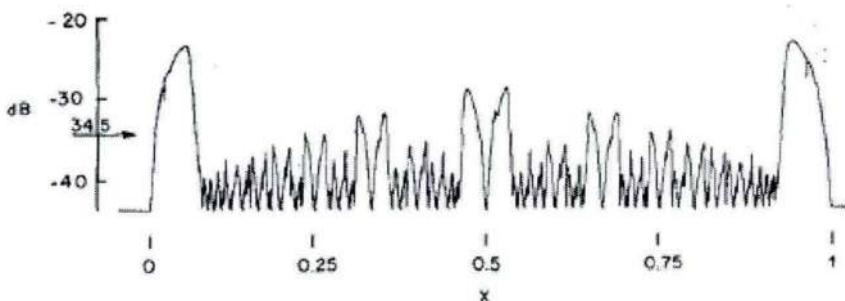


图2-7 噪声与直流输入的关系( $f_B = 3.5kHz, F_s = 64kHz$ )

在数字音频应用领域，Idle Tones是不可容忍的，因此Idle Tones的消除技术在 $\Sigma\Delta$ 调制器设计中是一个重要的方面。通常通过提高调制器的阶数或者输入端加伪随机小信号（即抖动技术：Dither）来消除Idle Tones[27][3]。Idle Tones特别容易发生在低阶 $\Sigma\Delta$ 调制器中，对于高阶（三阶及以上） $\Sigma\Delta$ 调制器，Idle Tones将大大削弱，故对于高阶 $\Sigma\Delta$ 调制器而言，可以不采用特别措施来处理Idle Tones问题。

### 2.2.1.4 Dead Zone

Dead Zone即输入信号在某一个小范围内发生变化时，输出却不对应的发生变化。造成Dead Zone问题的根本原因是构成积分器的运算放大器增益有限，造成了信号泄露。当运算放大器增益为A时，噪声传输函数变为 $NTF_{k=1}(z) = 1 - pz^{-1}$ [3]，其中 $p = 1 - 1/A$ 。由此可以推导出，要使输出信号发生

变化时, 最小输入电平为  $u > 1/(2A)$ 。当  $A = 1000$  (60dB) 时, 输入电平小于 0.5mV 时, 输出不会做出响应。这种由运算放大器有限增益造成的信号泄露引起的有输入无输出的区域称为 Dead Zone, 即输入电平被放大器泄露了, 无法传递给输出。从  $A=60\text{dB}$ ,  $\text{Dead Zone}=0.5\text{mV}$  来看, 这是一个比较严重的问题。

放大器有限增益造成的 Dead Zone 同时加剧了 Idle Tones 问题。从上文可见, Idle Tones 与输入直流电平有关, 当输入直流电平不断变化时, 所引起的 Idle Tones 趋向于各自不相关, 即输出的 Pattern Noise 是不断变化的, 由于 Dead Zone 的存在, 输入端直流电平的微小变化被直接泄露了, 无法传递给输出, 故输出的 Pattern Noise 是一个相对稳定的频谱, 这将对噪声性能造成很大的负面效应。

### 2.2.2 2 阶 $\Sigma\Delta$ 调制器

二阶  $\Sigma\Delta$  调制器结构如图 2-8 所示。

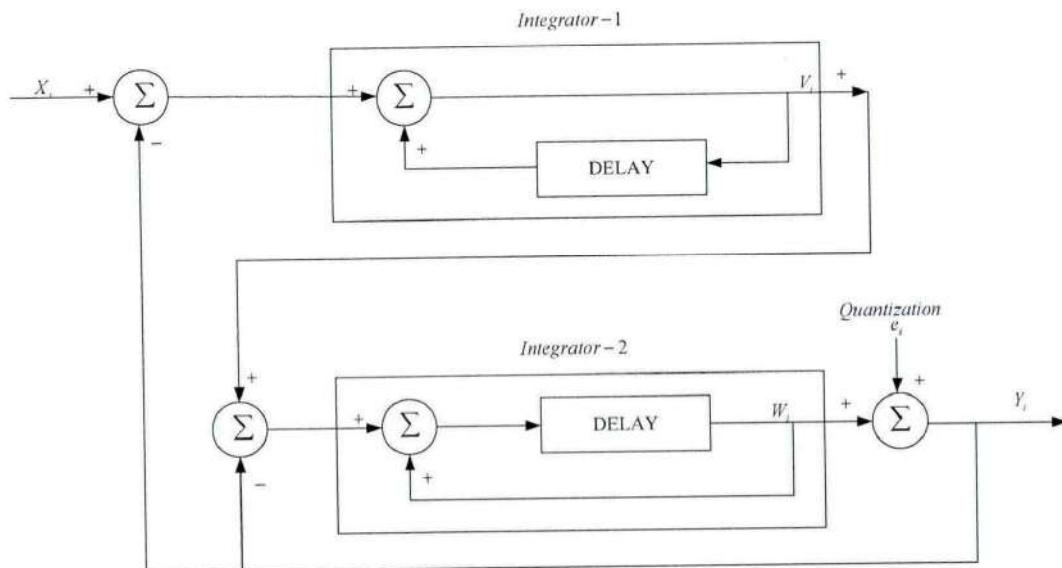
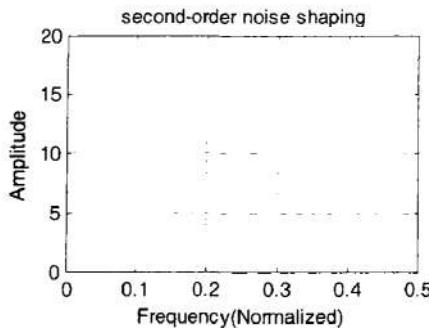


图 2-8 2 阶  $\Sigma\Delta$  调制器原理框图

由图 2-8 可得  $Y(z) = z^{-1}X(z) + (1 - z^{-1})^2 E(z)$ , 即  $NTF_{k=1}(z) = (1 - z^{-1})^2$ 。

#### 2.2.2.1 噪声调制

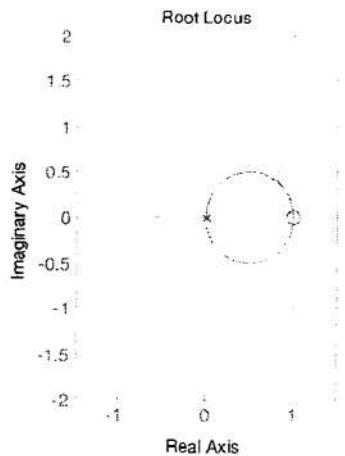
由上文可知, 2 阶  $\Sigma\Delta$  调制器噪声传递函数为  $NTF_{k=1}(z) = (1 - z^{-1})^2$ , 其归一化频谱图如图 2-9 所示。

图 2-9 2 阶  $\Sigma\Delta$  调制器噪声传递函数

将  $z = e^{j\omega T_s}$  代入  $NTF_{k=1}(z) = (1 - z^{-1})^2$ , 并对信号频带积分, 可得 2 阶  $\Sigma\Delta$  调制器  $SQNR = 6.02K + 1.76 + 10 \log(5/\pi^4) + 50 \log(OSR)$ , 对于 1-bit 量化器, 式中  $K=1$ , 由此得到  $SQNR = -5.116 + 50 \log(OSR)$ 。如  $OSR=64$  时,  $SQNR = 85.20dB$ 。即只考虑量化噪声的情况下, 简单差分型结构 2 阶调制器可达到的有效位约为 14bits。

### 2.2.2.2 稳定性分析

由 (1.7) 式  $NTF_k(z) = NTF_{k=1}(z)/[k + (1-k)NTF_{k=1}(z)]$ , 且  $NTF_{k=1}(z) = (1 - z^{-1})^2$  得到 2 阶  $\Sigma\Delta$  调制器根轨迹图如图 2-10 所示。由图可见, 2 阶  $\Sigma\Delta$  调制结构也是稳定的。

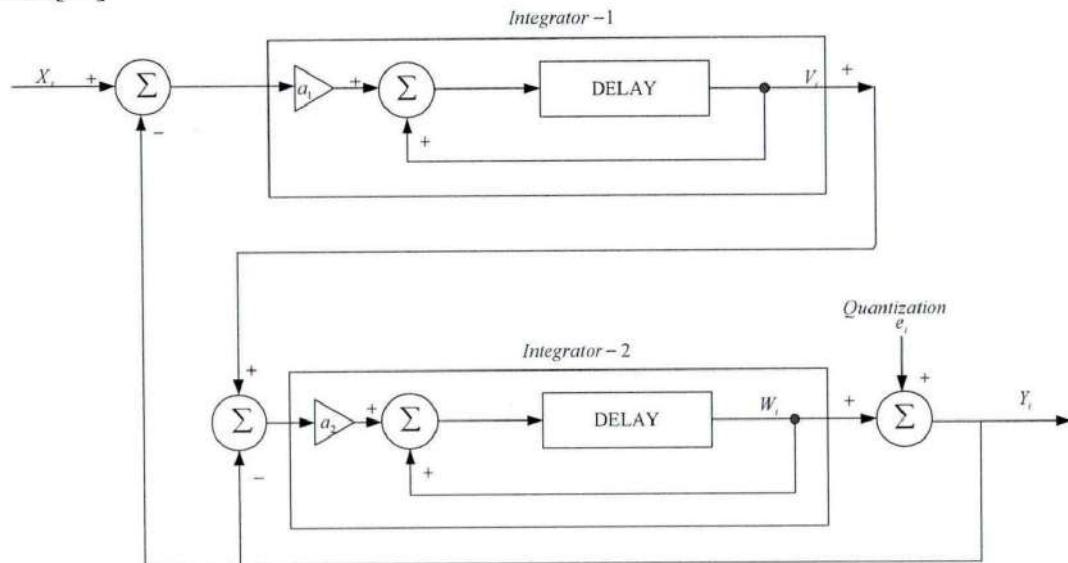
图 2-10 2 阶  $\Sigma\Delta$  调制器根轨迹图

虽然从根轨迹图来看, 2 阶  $\Sigma\Delta$  调制器也是无条件稳定的, 但是实际应用中, 2 阶  $\Sigma\Delta$  调制器相比 1 阶而言增加了限制条件, 即要求信号输入满足一定的条件, 通常为满幅度的 80%~90%[3]。

### 2.2.2.3 结构改进

由[20]知, 图 2-8 所示的 2 阶  $\Sigma\Delta$  调制结构中积分器输出的电平幅度很大, 是

量化器幅度的几倍。虽然2阶 $\Sigma\Delta$ 调制器对于大的量化器输入不存在稳定性问题，但是对基于CMOS工艺的电路提出了很大的挑战。由于放大器输出摆幅范围有限，大的输出电平将对电路工作速度造成影响，故[20]中提出了一个改进的2阶 $\Sigma\Delta$ 调制器结构，如图2-11所示。此时两个积分器将使用相同的结构以简化电路设计，其积分增益不再是1，分别设计为 $a_1(0.5), a_2(0.5)$ 以减小积分器输出电平幅度。改进后的结构积分器输出端电平幅度将略微大于量化器的满幅度输入，此时将会引起基带内噪声的增长，不过在合理的输入电平范围内，这种损失是可以忽略的[20]。

图 2-11 2 阶  $\Sigma\Delta$  调制器改进结构

除了图2-11给出的2阶 $\Sigma\Delta$ 调制器结构，还存在其他一些结构，如Silva-Steensgaard结构[21][22]。实际上随着阶数的提高， $\Sigma\Delta$ 调制器结构的实现方式可以有很多种，论文后面部分将对主要的高阶 $\Sigma\Delta$ 调制器结构进行说明。

#### 2.2.2.4 Idle Tones, Dead Zone

2阶 $\Sigma\Delta$ 调制结构中，Idle Tones和Dead Zone的问题大大减小。由[3]可知，虽然Idle Tones依然存在，但是其幅度相比1阶 $\Sigma\Delta$ 调制器而言减小了很多。由于2阶 $\Sigma\Delta$ 调制器中两个运算放大器的级联效应，Dead Zone区域也大大缩小。事实上，随着阶数的增加，这两种效应的影响可以不计。

#### 2.2.2.5 相同结构类型高阶延伸

从对1阶，2阶 $\Sigma\Delta$ 调制结构的分析中，我们可以归纳推出类似结构，如图2-12所示的3阶 $\Sigma\Delta$ 调制结构。可以得到该类型结构的N阶 $\Sigma-\Delta$ 调制输入输出关

系为  $Y(z) = z^{-1}X(z) + (1 - z^{-1})^N E(z)$ 。

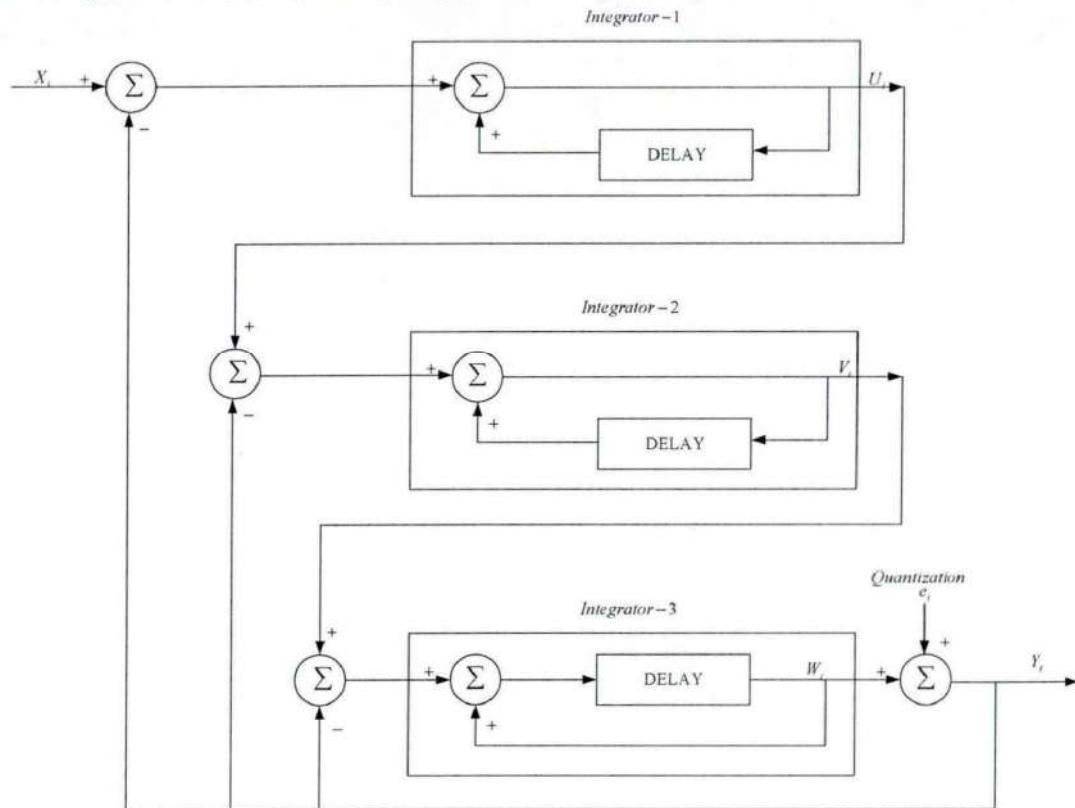
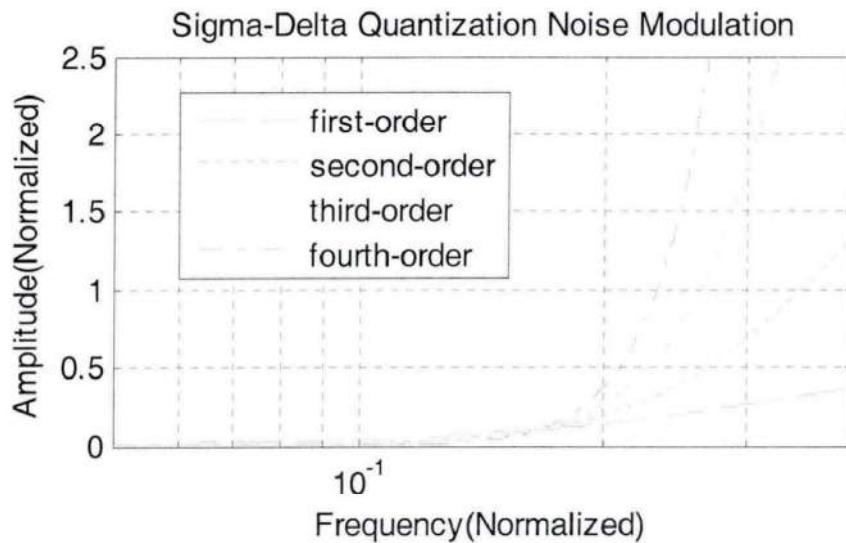


图 2-12 一种 3 阶  $\Sigma\Delta$  调制结构

### 1. 噪声调制

对于类似图 2-12 所示的  $\Sigma\Delta$  调制结构， $N$  阶噪声传递函数为  $NTF_{k=1}(z) = (1 - z^{-1})^N$ 。随着阶数  $N$  的增加，信号基带内噪声压制越大，如图 2-13 所示为 1 阶，2 阶，3 阶，4 阶  $\Sigma\Delta$  调制结构的  $NTF_{k=1}(z)$  频谱图（按比例缩小）。



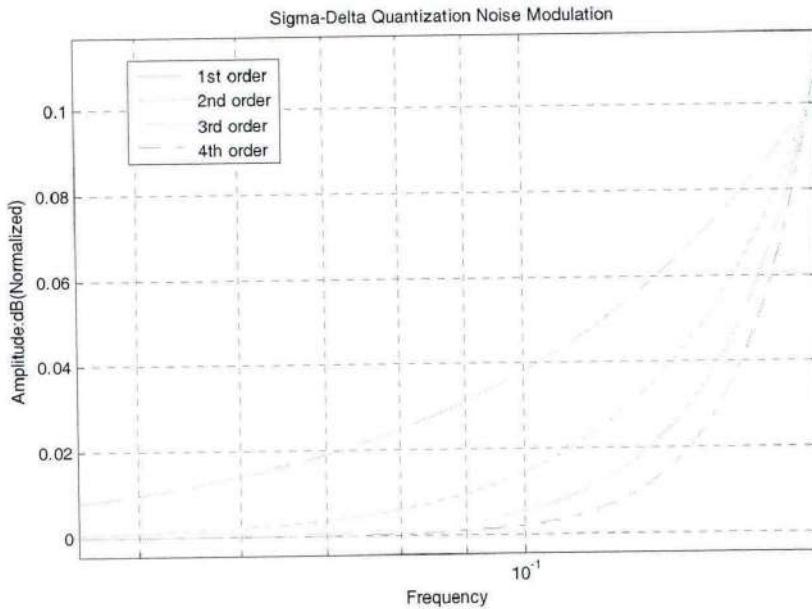


图 2-13 多阶调制器噪声调制结果比较

可计算得到 N 阶  $\Sigma\Delta$  调制器信号量化噪声比 (SQNR) 为<sup>2</sup>:

$$\begin{aligned}
 SQNR &= -20 \log \frac{N_{RMS}}{S_{RMS}} = -20 \log 2\sqrt{2} + 20K \log 2 + 10 \log(2 - 20N \log \pi + 10 \log 2N + 1) + 20(N + \frac{1}{2}) \log \left( \frac{F_s}{2F_0} \right) \\
 &= 6.02K + 1.76 + 10 \log(2N + 1) + 20N \log \left( \frac{F_s}{2\pi F_0} \right) + 10 \log \left( \frac{F_s}{2F_0} \right) \\
 &= 6.02K + 1.76 + 10 \log \frac{2N + 1}{\pi^{2N}} + (20N + 10) \log(OSR)
 \end{aligned}$$

由此可见，SQNR 随着调制阶数 N 的增加而增大。另外过采样比例 OSR 也大大增加了 SQNR，OSR 每增加一倍，SQNR 增加  $(6N+3)$ ，即有效位增加  $(N+0.5)$ -bit。对于高精度  $\Sigma\Delta$  ADC， $N \geq 3$ 。如  $N=3$ ， $OSR=64$ ,  $SQNR=117.8dB$ ,  $ENOB \approx 19bits$ 。不过事实上，随着阶数的增加，稳定性变得越差，此时输入信号存在一个稳定输入范围，不再是满幅度，故 SQNR 无法达到以上所示的理想最大值，加上工艺和电路带来的噪声和偏差，通常实际测量得到的有效位大大小于以上理想情况下计算得到的值。

## 2. 稳定性

从上文可知，如果不存在稳定性问题，3 阶  $\Sigma\Delta$  调制就可以达到很高的转换

<sup>2</sup> 注意：此处计算得到的 N 阶  $\Sigma\Delta$  调制器 SQNR 公式只适用于图 2-12 所示的结构或噪声传递函数形如  $NTF_{k=1}(z) = (1 - z^{-1})^N$  的调制器，不适用于 Butterworth 或 Inverse-Chebyshev 滤波器类型的调制器。

精度，但是高阶  $\Sigma\Delta$  调制器的一个重要缺点即存在稳定性问题，为使电路正常工作，必须对输入范围进行限定，我们将此称为稳定输入范围。通常阶数越高，输入范围越小，SNR 越小。由于实际中，高阶结构很难达到或很少使用 6 阶[23]([40]给出了一个 8 阶 MASH 结构  $\Sigma\Delta$  调制器，OSR=3，PSNR=60dB)，下面我们对 3 阶，4 阶，5 阶传输函数形为  $NTF_{k=1}(z) = (1 - z^{-1})^N$  的  $\Sigma\Delta$  调制结构稳定进行分析。

### A. 3 阶 $\Sigma\Delta$ 调制稳定性

形如图 2-12 所示的 3 阶  $\Sigma\Delta$  调制结构噪声传递函数为  $NTF_{k=1}(z) = (1 - z^{-1})^3$ ，代入 (1.7) 式画出根轨迹图如图 2-14 所示。

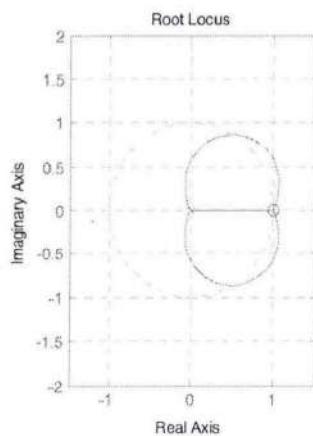


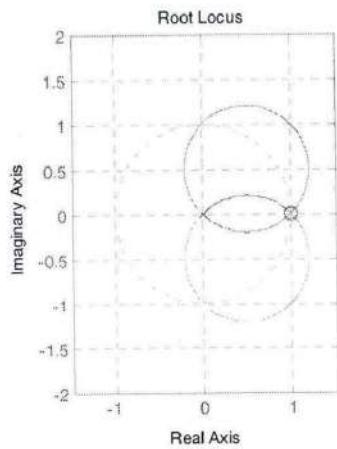
图 2-14 3 阶  $\Sigma\Delta$  调制器根轨迹图

由图 2-14 可知，3 阶  $\Sigma\Delta$  调制器是条件稳定，存在一个  $k_{\min} = 0.5$ ，要使调制器工作在稳定状态下，则  $k > k_{\min}$ ，即量化器输入信号  $y$  必须满足  $y < v/k_{\min} = 1/k_{\min}$ ，我们称之为稳定输入范围。

注意：对于不同的调制结构类型，得到的  $k_{\min}$  的值不同，对于形如图 2-12 所示，传递函数形为  $NTF_{k=1}(z) = (1 - z^{-1})^3$  3 阶结构， $k_{\min}$  仅为 0.5。实际上 3 阶调制结构存在更好的结构。

### B. 4 阶 $\Sigma\Delta$ 调制稳定性

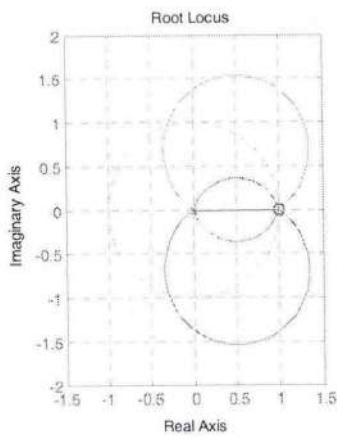
形如图 2-12 所示的 4 阶  $\Sigma\Delta$  调制结构噪声传递函数为  $NTF_{k=1}(z) = (1 - z^{-1})^4$ ，代入 (1.7) 式画出根轨迹图如图 2-15 所示。

图 2-15 4 阶  $\Sigma\Delta$  调制器根轨迹图

由图 2-15 可见, 对于 4 阶  $\Sigma\Delta$  调制,  $k_{\min} = 0.8$ , 即量化器输入端电平幅度  $y_{\max} = 1/k_{\min}$ 。

#### C. 5 阶 $\Sigma\Delta$ 调制稳定性

形如图 2-12 所示的 5 阶  $\Sigma\Delta$  调制结构噪声传递函数为  $NTF_{k=1}(z) = (1 - z^{-1})^5$ , 代入 (1.7) 式画出根轨迹图如图 2-16 所示。

图 2-16 5 阶  $\Sigma\Delta$  调制器根轨迹图

由图 2-16 可见, 对于 5 阶  $\Sigma\Delta$  调制,  $k_{\min} = 0.9$ .

#### D. $k$ 值的意义

由以上对 3 阶, 4 阶, 5 阶  $\Sigma\Delta$  调制结构的稳定性分析可知, 随着调制阶数的增大,  $k_{\min}$  逐渐增加, 即量化器输入端允许的最大电平值越小, 也即系统稳定输

入范围越窄。从前文分析中可知，参数  $k$  定义为量化器增益，即  $k = v/y = 1/|y|$ ，其中  $y$  为量化器输入端电平，量化器输出电平为  $\pm 1$ 。由此， $|y|=1/k \Rightarrow |y|_{\max}=1/k_{\min}$ ，即量化器输入端稳定输入电平范围为  $[-1/k_{\min}, 1/k_{\min}]$ 。

注意此处我们只给出了量化器的稳定输入范围，而非系统的信号输入端的稳定输入范围，二者之间需要经过一个转换，这在下文设计的一个 4 阶  $\Sigma\Delta$  调制器中会给出。

## 2. 结构缺点

对于形如图 2-12 所示的  $\Sigma\Delta$  调制结构，一方面诚如 2.2.3 节所述，积分器输出端要求的电平幅度很大，对 CMOS 电路的实际工作造成影响，且随着阶数的增加，稳定性要求积分器输出电平不可过高，这就大大限制了信号输入端的电平输入范围；其次，从图 2-4, 2-9, 2-13 可知，传递函数在高频部分幅度过高。如 1 阶带外归一化高频幅度即达到 4。噪声传递函数带外高频部分高幅度是导致系统不稳定的一个重要因素。对于 1-bit 量化器  $\Sigma\Delta$  调制结构，有一个广泛使用的设计判据，称为 Lee 判据 (Lee Criterion) [24]，其表述如下：

“一个二进制 (1-bit Quantizer)  $\Sigma\Delta$  调制系统，噪声传递函数  $NTF=H(z)$  在满足如下条件时可以是稳定的，即  $\max_w |H(e^{jw})| < 1.5$ 。”

注意，Lee 判据既不是必要条件也不是充分条件，而仅仅是一个经验公式。当满足  $\max_w |H(e^{jw})| < 1.5$  条件时，Lee 判据指出设计出的系统可以是稳定的，然而为使系统稳定，还必须对输入信号范围进行限定。对于 3 阶或者 4 阶系统，Lee 判据中上限取值可能稍微大一些，对于 5 阶及其以上系统，取值需要进一步减小[3]，如取 1.4。

对于传递函数  $NTF = H(z)$ ，还必须满足另外一个条件[3]，方能保证其物理可实现性，即  $|H(\infty)| = 1$ （因输入输出必须有一个延时，故有冲击响应  $h(0) = 1$ ，也即  $|H(\infty)| = 1$ ）。

事实上， $\Sigma\Delta$  调制器的设计最终归结于噪声传递函数  $NTF = H(z)$  的设计，图 2-3 所示结构类推得出的  $NTF = (1 - z^{-1})^N$ ，性能不够优化，系统稳定性不够，所以在实际设计中，很少采用。1 阶调制器由于其固有内在问题 (Idle Tones, Dead Zone) 在现实中很少使用，2 阶调制器比较常见，实际设计中通常采用如下的结构 (图 2-17) [20][25][26]。

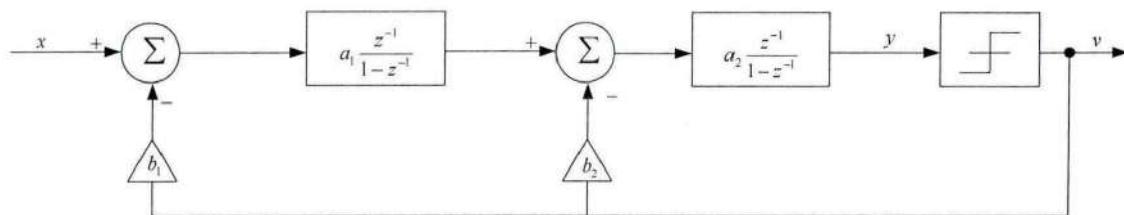


图 2-17 2 阶  $\Sigma\Delta$  调制器通用结构框架

图 2-17 所示的 2 阶结构具有很大的灵活性, 如设定  $b_1 = b_2 = 1$ , 则得到图 2-11 所示的结构, 即 Boser-Wooley 结构。Boser-Wooley 结构称为反馈 (Feedback) 结构, [21][22] 中给出的 Sliva-Steensgaard 则称为前馈 (Feedforward) 结构。前馈, 反馈, 谐振 (Resonator) 结构在高阶  $\Sigma\Delta$  调制结构中非常常见。

### 2.3 高阶 $\Sigma\Delta$ 调制单环结构

前文中我们对噪声传递函数形如  $NTF = (1 - z^{-1})^N$  的  $\Sigma\Delta$  调制结构进行了分析, 并分析了此种结构下的系统稳定性, 给出了这种结构的缺点, 最后指出了  $\Sigma\Delta$  调制器的设计本质上是设计系统的噪声传递函数  $NTF = H(z)$ 。为了保证  $NTF$  的可实现性以及系统的稳定性,  $NTF = H(z)$  需满足如下两个条件: 1) 高频部分幅度应尽量进行压制, 应遵循 Lee 判据, 以提高稳定性; 2)  $|H(\infty)|=1$  以确保系统是物理可实现的。从滤波的角度来看,  $NTF$  本质上是一个高通滤波器, 所以可以使用设计高通滤波器的方式设计  $NTF$ , 此时  $NTF$  可以写成如下形式:

$$\begin{aligned} NTF(z) &= N(z)/D(z) = \sum_{i=0}^m a_i z^i / \sum_{i=0}^n b_i z^i \\ &= (a_m z^m + a_{m-1} z^{m-1} + \dots + a_1 z + a_0) / (b_n z^n + b_{n-1} z^{n-1} + \dots + b_1 z + b_0) \end{aligned}$$

其中  $N(z), D(z)$  均为  $z$  的多项式。 $|H(\infty)|=1$  要求  $n = m, a_m = a_n = b_n$ 。从  $NTF(z)$  表达式来看, 噪声传递函数实际上就是一个 IIR 型高通滤波器, 所以通过改变  $NTF(z)$  零点和极点的位置可以设计出理想的噪声传递函数。

形如  $NTF = (1 - z^{-1})^N = (z - 1)^N / z^N$  的传递函数, 其极点全部集中在  $z = 0$  处, 故高频部分具有很大的幅度, 通过将极点从  $z = 0$  处转移到其他地方, 可以设计出带外最大平坦的滤波器, 该类滤波器最常见的就是 Butterworth 滤波器, 可以获得较高的稳定性。通过将极点向靠近零点的位置移动, 可以减小带外增益, 从而改善系统的稳定性能[3]。虽然 Butterworth 滤波器可以在高频部分获得最大平坦度, 但是其在基带边缘处有很大的噪声幅度, 这主要是由于其零点全部集中在  $z = 1$  处造成的, 通过将零点转移至基带内, 可以获得很大的噪声性能提高 [3][33], Butterworth 滤波器进行零点向基带内转移操作后得到的滤波器称为 Inverse-Chebyshev 型滤波器。Butterworth 和 Inverse-Chebyshev 滤波器比形如  $NTF = (1 - z^{-1})^N$  的滤波器在  $\Sigma\Delta$  调制器的实际设计中更常使用或者说设计  $\Sigma\Delta$  调制器就是设计一个性能符合要求的 Butterworth 或 inverse-chebyshev 型高通滤波器。故在具体介绍高阶  $\Sigma\Delta$  调制结构之前, 将首先对 Butterworth 和

Inverse-Chebyshev 滤波器特点进行简单介绍。

### 2.3.1 Butterworth 高通滤波器

Butterworth 高通滤波器是全极型滤波器，其零点全部集中在  $z=1$ ，故其传递函数可写为  $NTF = (z-1)^N / D(z)$ 。Butterworth 高通滤波器的特点是带外幅度可以很平坦，我们可以设计出遵循 Lee 判据的 Butterworth 高通滤波器，从而使得  $\Sigma\Delta$  调制结构具有较好的稳定性能。商业上 Butterworth 滤波器使用较多，原因在于 Butterworth 滤波器极点具有低 Q 值，即便输入信号具有与极点相同的频率，也很难引起振荡。通过选择合适的截止频率点（Cutoff Frequency），可以设计出满足 Lee 判据（即高频增益为  $3.5\text{dB} = 20 * \log_{10}(1.5)$ ）的 Butterworth 高通滤波器。图 2-18 所示为 Butterworth 高通滤波器与  $NTF = (1-z^{-1})^N$  型滤波器的比较。图中 Butterworth 滤波器高频增益符合 Lee 判据，即为  $3.5\text{dB}$ ，从图中可以看出 Butterworth 高频部分具有很高的平坦度，且增益符合 Lee 判据，由此滤波器设计得到的  $\Sigma\Delta$  调制结构将具有较好的稳定性能，但是不难看出，相比  $NTF = (1-z^{-1})^N$  型滤波器，其基带边缘处噪声幅度较大，故将对 SNQR 指标造成负面影响，原因在于 Butterworth 滤波器所有零点都集中在  $z=1$  处。为了进一步降低基带内及边缘处噪声幅度，需要优化 Butterworth 滤波器的零点位置，这便是 inverse-chebyshev 滤波器。

Butterworth 滤波器的最大优点是对参数失配的敏感度较低[24]。Butterworth 滤波器的缺点是对应的信号传输函数在高频处出现峰值，使用时需要在 ADC 之前加防混叠滤波器。

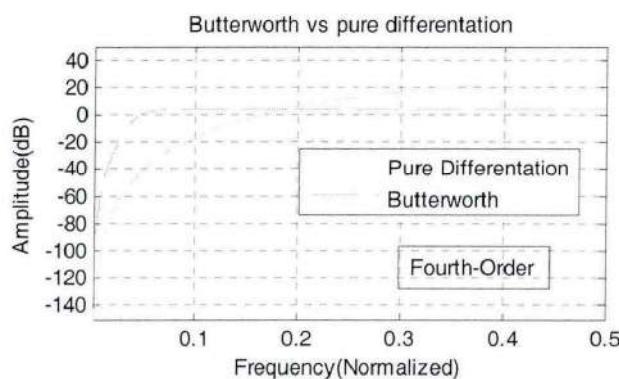


图 2-18 Butterworth 型滤波器和纯差分结构滤波器性能比较

### 2.3.2 Inverse-Chebyshev 高通滤波器

相比较 Butterworth 滤波器而言，其极点位置与其相同，但是其零点分散在基带内，并不全部集中在  $z=1$  处。将零点分散在基带内，可以有效的降低基带噪声功率，如图 2-19 所示。图中 Inverse-Chebyshev 滤波器与 Butterworth 滤波器具有相同的极点，但是 Inverse-Chebyshev 滤波器将零点从  $z=1$  移动到了基带内，此时 Inverse-Chebyshev 滤波器基带噪声 RMS 值比 Butterworth 改善了 12dB。

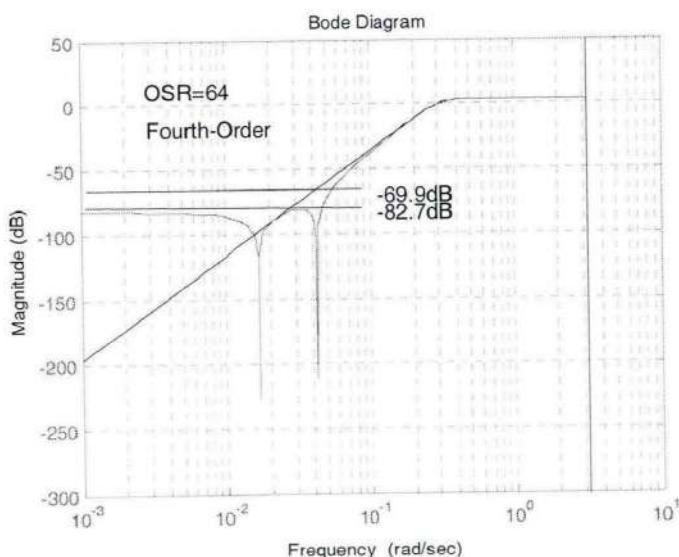


图 2-19 Butterworth 型和 inverse-Chebyshev 型滤波器性能比较

### 2.3.3 单环高阶 $\Sigma\Delta$ 调制结构及滤波器类型

随着对高精度 ADC 的需求的不断增长以及 CMOS 工艺的逐渐成熟，以速度换精度的  $\Sigma\Delta$  调制结构使用越来越广泛。由此出现了很多的结构类型，这些类型的发明从两个方面进行了考虑：1) 稳定性及可实现性；2) 基带噪声压制。稳定性要求带外噪声增益不可过大，应遵循 Lee 判据，可实现性要求结构对应的噪声传递函数满足  $|H(\infty)|=1$ 。基带噪声压制则要求基带内增益尽量小，从前文可知，这可以通过将 NTF 零点设计为分布在基带范围内，而非集中在一点实现。

不同的高阶  $\Sigma\Delta$  调制结构就是不断优化的 Butterworth 或 Inverse-Chebyshev 高通滤波器。需要注意的是，以下列举的调制结构并不能包含所有的类型，从下文内容可以看到，从这些已有的结构中可以变换出很多其他的类型。一个优良的滤波器函数（稳定性好，基带内噪声低）可以说是  $\Sigma\Delta$  ADC 设计的精髓。

### 2.3.3.1 CIFB 调制结构

CIFB (Cascade-of-Integrators, FeedBack) 调制结构是多个积分器的级联，其间使用输入前馈 (Input Feedforward)，输出反馈 (Feedback)，以及积分器输出之间反馈，其结构图如图 2-20 所示。

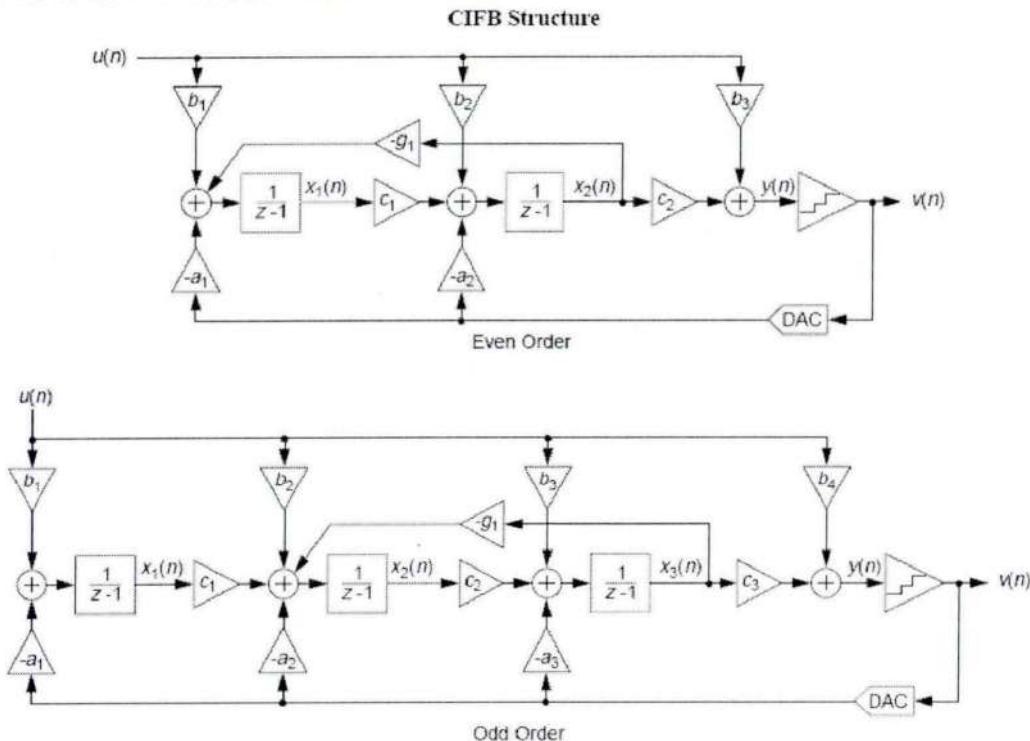


图 2-20 CIFB  $\Sigma\Delta$  调制器结构

#### 2.3.3.1.1 传递函数

对于 2 阶 CIFB 结构有：

$$x_1 = (b_1 u - a_1 v - g_1 x_2) H$$

$$x_2 = (c_1 x_1 + b_2 u - a_2 v) H$$

$$y = c_2 x_2 + b_3 u$$

$$v = y + e$$

联立以上四式，可得：

$$STF_{k=1}^{CIFB-2}(z) = \frac{(b_1 c_1 c_2 + b_3 c_1 g_1)H + b_2 c_2 + \frac{b_3}{H}}{(a_1 c_1 c_2 + c_1 g_1)H + a_2 c_2 + \frac{1}{H}} \quad (3.1)$$

$$NTF_{k=1}^{CIFB-2}(z) = \frac{c_1 g_1 H + \frac{1}{H}}{(a_1 c_1 c_2 + c_1 g_1)H + a_2 c_2 + \frac{1}{H}} \quad (3.2)$$

将  $H = \frac{1}{z-1}$  代入(3.2)中得:

$$NTF_{k=1}^{CIFB-2}(z) = \frac{(z-1)^2 + c_1 g_1}{(z-1)^2 + a_2 c_2(z-1) + (c_1 g_1 + a_1 c_1 c_2)} \quad (3.3)$$

对于 3 阶 CIFB 结构类似 2 阶推导过程可得:

$$STF_{k=1}^{CIFB-3}(z) = \frac{b_1 c_1 c_2 c_3 H^2 + (b_2 c_2 c_3 + b_4 c_2 g_1)H + b_1 c_3 + \frac{b_4}{H}}{a_1 c_1 c_2 c_3 H^2 + (c_2 g_1 + a_2 c_2 c_3)H + a_3 c_3 + \frac{1}{H}} \quad (3.4)$$

$$NTK_{k=1}^{CIFB-3}(z) = \frac{c_2 g_1 H + \frac{1}{H}}{a_1 c_1 c_2 c_3 H^2 + (c_2 g_1 + a_2 c_2 c_3)H + a_3 c_3 + \frac{1}{H}} \quad (3.5)$$

将  $H = \frac{1}{z-1}$  代入 (3.5) 得:

$$NTK_{k=1}^{CIFB-3}(z) = \frac{(z-1)^3 + c_2 g_1(z-1)}{(z-1)^3 + a_3 c_3(z-1)^2 + (c_2 g_1 + a_2 c_2 c_3)(z-1) + a_1 c_1 c_2 c_3} \quad (3.6)$$

对于 4 阶, 5 阶 CIFB 结构类似 2 阶结构中的计算过程可以得到其对应的  $NTF_{k=1}(z), STF_{k=1}(z)$ 。实际设计中, 根据需要可计算出对应阶数的表达式。

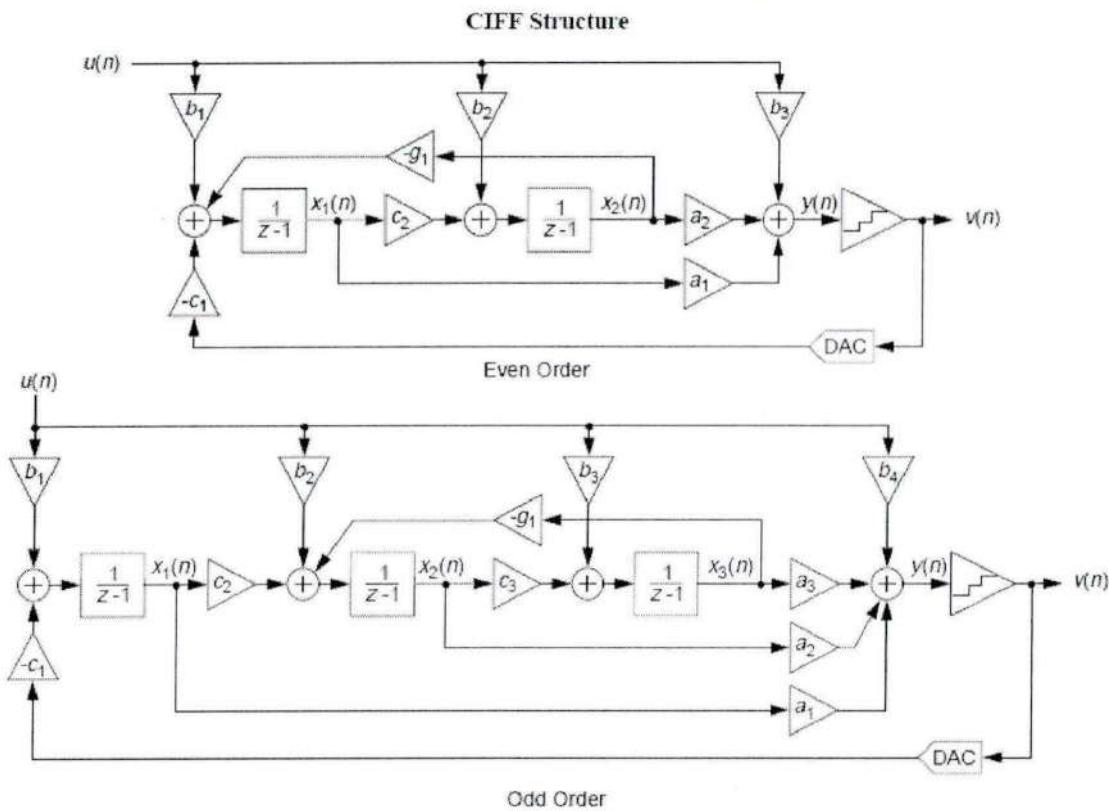
### 2.3.3.1.2 可实现滤波器类型

从 2 阶, 3 阶结构计算得到的  $NTK_{k=1}(z)$  函数表达式来看, CIFB  $\Sigma\Delta$  调制结构可实现为 Inverse-Chebyshev 型高通滤波器。此时反馈系数  $g$  用于调整零点位置, 优化基带内噪声, 反馈系数  $a$  调整极点位置, 使得带外增益满足 Lee 判据, 提高系统稳定性。积分增益系数  $c$  使积分电路输出电平处于合理范围, 属于保证系统稳定性的一个步骤。值得注意的是输入前馈系数  $b$  仅对信号传输函数  $STF_{k=1}(z)$  造成影响, 或者说其既不影响系统稳定性, 也不影响基带内噪声性能,  $b$  的作用保证基带内信号具有较好的平坦度以及合理的增益范围。

CIFB  $\Sigma\Delta$  调制结构也可实现为 Butterworth 型高通滤波器, 此时反馈系数  $g = 0$ , 所有的零点集中在  $z = 1$  点处。反馈系数  $a$ , 积分增益系数  $c$  以及输入前馈系数  $b$  的作用同前文所述。

### 2.3.3.2 CIFF 调制结构

CIFF (Cascade-of-Integrators, FeedForward) 调制结构与 CIFB 结构基本单元相同，是多个积分器的级联，其也使用输入前馈（Input Feedforward）和积分器输出之间反馈，但是没有 CIFB 中的大量输出反馈，相反量化器输入不是最后一级积分器输出，而是所有积分器输出的加权和，其结构图如图 2-21 所示。

图 2-21 CIFF  $\Sigma\Delta$  调制器结构

#### 2.3.3.2.1 传递函数

对 2 阶 CIFF 结构有：

$$x_1 = (b_1 u - c_1 v - g_1 x_2) H$$

$$x_2 = (c_2 x_1 + b_2 u) H$$

$$y = b_3 u + a_2 x_2 + a_1 x_1$$

$$v = y + e$$

联立以上四式，可得 2 阶 CIFF 调制结构信号及噪声传递函数：

$$STF_{k=1}^{CIFF-2}(z) = \frac{(b_3c_2g_1 + a_2b_1c_2 - a_1b_2g_1)H + (a_1b_1 + a_2b_2) + \frac{b_3}{H}}{(a_2c_1c_2 + c_2g_1)H + a_1c_1 + \frac{1}{H}} \quad (3.7)$$

$$NTF_{k=1}^{CIFF-2}(z) = \frac{c_2g_1H + \frac{1}{H}}{(a_2c_1c_2 + c_2g_1)H + a_1c_1 + \frac{1}{H}} \quad (3.8)$$

将  $H = \frac{1}{z-1}$  代入 (3.8) 中得:

$$NTF_{k=1}^{CIFF-2}(z) = \frac{(z-1)^2 + c_2g_1}{(z-1)^2 + a_1c_1(z-1) + (a_2c_1c_2 + c_2g_1)} \quad (3.9)$$

对于 3 阶 CIFF 结构, 类似 2 阶推导过程, 可得:

$$STF_{k=1}^{CIFF-3}(z) = \frac{(a_1b_1c_3g_1 + a_3b_1c_2c_3)H^2 + (b_4c_3g_1 + a_3b_2c_3 + a_2b_1c_2 - a_2b_3g_1)H + (\sum_{i=1,2,3} a_i b_i) + \frac{b_4}{H}}{(a_1c_1c_3g_1 + a_3c_1c_2c_3)H^2 + (a_2c_1c_2 + a_3g_1)H + a_1c_1 + \frac{1}{H}} \quad (3.10)$$

$$NTF_{k=1}^{CIFF-3}(z) = \frac{c_3g_1H + \frac{1}{H}}{(a_1c_1c_3g_1 + a_3c_1c_2c_3)H^2 + (a_2c_1c_2 + a_3g_1)H + a_1c_1 + \frac{1}{H}} \quad (3.11)$$

将  $H = \frac{1}{z-1}$  代入 (3.11) 中得:

$$NTF_{k=1}^{CIFF-3}(z) = \frac{(z-1)^3 + c_3g_1(z-1)}{(z-1)^3 + a_1c_1(z-1)^2 + (a_2c_1c_2 + a_3g_1)(z-1) + (a_1c_1c_3g_1 + a_3c_1c_2c_3)} \quad (3.12)$$

同样, 对于 4 阶, 5 阶 CIFF 调制结构, 使用相同的推导方法, 可得其各自的信号, 噪声传递函数。

### 2.3.3.2.2 可实现滤波器类型

从 CIFF 结构 2 阶, 3 阶  $NTF_{k=1}^{CIFF-2,3}$  函数表达式来看, 其同时可实现为 Butterworth 和 Inverse-Chebyshev 型高通滤波器。当  $g_1 \neq 0$  时, 为 Inverse-Chebyshev 滤波器, 此时参数  $g$  用以调整零点位置, 提供系统稳定性, 参数  $a$  用以调整极点位置, 参数  $c$  用以调整积分增益, 保证系统稳定工作范围。当  $g_1 = 0$  时, CIFF 结构则实现为 Butterworth 滤波器。

比较 CIFF 和 CIFB 两种结构下得到的 2 阶, 3 阶表达式, 可以看出虽然二者

结构差别较大：CIFF 从总体上看是一个前馈结构，CIFB 则是一个反馈结构，但是最终计算得到的传递函数却基本完全一致，通过调整各个参数值，相同结构可以设计出表达式完全一样的传递函数！

由此可以得出如下的结论：实质上， $\Sigma\Delta$  调制器设计的根本在于传递函数本身，在确定传递函数表达式之后，实现的结构可以有很多种；而具体选用何种结构，则根据实际设计需要以及对应工艺水平下实现的难易程度进行决定。另外一点需要注意的是，系统的稳定性与所选用结构依然无关！稳定性以及噪声性能完全由传递函数本身决定，由此可见，传递函数表达式的设计是 $\Sigma\Delta$  调制器设计的核心。

### 2.3.3.3 CRFB 调制结构

CRFB(Cascade-of-Resonators, FeedBack)调制结构与 CIFB 结构十分相似，二者唯一的不同在于积分电路单元的差别，对于 CIFB 结构，所有的积分单元都是相同的，CRFB 则不同，谐振单元采用了不同的积分电路。CRFB 调制结构如图 2-22 所示。

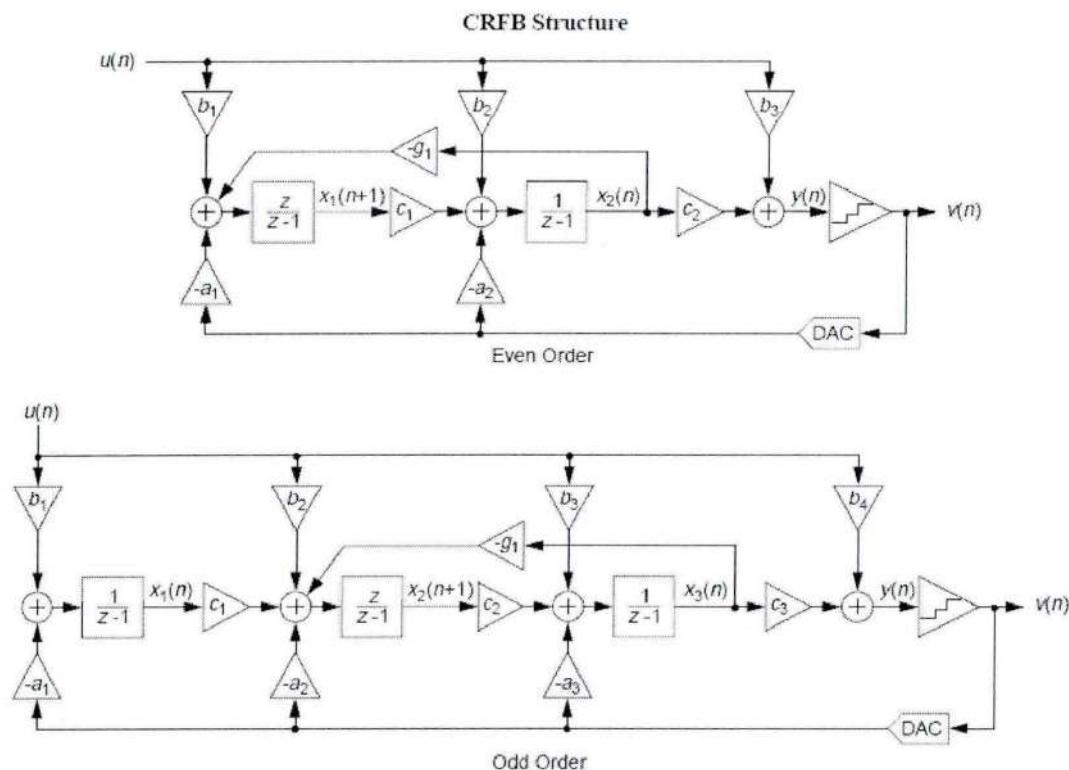


图 2-22 CRFB  $\Sigma\Delta$  调制器结构

#### 2.3.3.1 传递函数

对2阶CRFB结构，有：

$$x_1 = (b_1 u - a_1 v - g_1 x_2) H_1$$

$$x_2 = (c_1 x_1 + b_2 u - a_2 v) H_2$$

$$y = b_3 u + c_2 x_2$$

$$v = y + e$$

由以上四式，可得：

$$STF_{k=1}^{CRFB-2}(z) = \frac{(b_1 c_1 c_2 + b_3 c_1 g_1) H_1 + b_2 c_2 + \frac{b_3}{H_2}}{(a_1 c_1 c_2 + c_1 g_1) H_1 + a_2 c_2 + \frac{1}{H_2}} \quad (3.13)$$

$$NTF_{k=1}^{CRFB-2}(z) = \frac{c_1 g_1 H_1 + \frac{1}{H_2}}{a_1 c_1 c_2 H_1 H_2 + c_1 g_1 H_1 + a_2 c_2 H_2 + \frac{1}{H_2}} \quad (3.14)$$

将  $H_1 = \frac{z}{z-1}$ ,  $H_2 = \frac{1}{z-1}$  代入 (3.14) 得：

$$NTF_{k=1}^{CRFB-2}(z) = \frac{(z-1)^2 + c_1 g_1 z}{(z-1)^2 + a_2 c_2 (z-1) + (a_1 c_1 c_2 + c_1 g_1) z} \quad (3.15)$$

对于3阶CRFB结构，采用如上类似的推导过程，可得：

$$STF_{k=1}^{CRFB-3}(z) = \frac{b_1 c_1 c_2 c_3 H_1 H_2 + (b_2 c_2 c_3 + b_4 c_3 g_1) H_1 + b_3 c_3 + \frac{b_4}{H_2}}{a_1 c_1 c_2 c_3 H_1 H_2 + (a_2 c_2 c_3 + c_3 g_1) H_1 + a_3 c_3 + \frac{1}{H_2}} \quad (3.16)$$

$$NTF_{k=1}^{CRFB-3}(z) = \frac{c_3 g_1 H_1 + \frac{1}{H_2}}{a_1 c_1 c_2 c_3 H_1 H_2 + (a_2 c_2 c_3 + c_3 g_1) H_1 + a_3 c_3 + \frac{1}{H_2}} \quad (3.17)$$

将  $H_1 = \frac{z}{z-1}$ ,  $H_2 = \frac{1}{z-1}$  代入 (3.17) 得：

$$NTF_{k=1}^{CRFB-3}(z) = \frac{(z-1)^3 + c_3 g_1 z(z-1)}{(z-1)^3 + a_3 c_3 (z-1)^2 + (a_2 c_2 c_3 + c_3 g_1) z(z-1) + a_3 c_1 c_2 c_3 z} \quad (3.18)$$

### 2.3.3.3.2 可实现滤波器类型

由  $NTF_{k=1}^{CRFB-2,3}(z)$  表达式可见，CRFB 结构可以实现 Butterworth 和 Inverse-Chebyshev 型高通滤波器。参数  $g$  决定滤波器类型，此处当  $g_1 = 0$  时为 Butterworth 型滤波器， $g_1 \neq 0$  时，则为 Inverse-Chebyshev 型滤波器， $g_1$  用以调整零点位置。参数  $a$  调整极点位置，参数  $c$  保证系统稳定工作范围。

### 2.3.3.4 CRFF 调制结构

CRFF(Cascade-of-Resonators, FeedForward)调制结构与 CIFF 结构类似，二者不同之处在于 CRFF 结构谐振单元采用不同的积分电路，这一点与 CRFB 相同。CRFF 结构如图 2-23 所示。

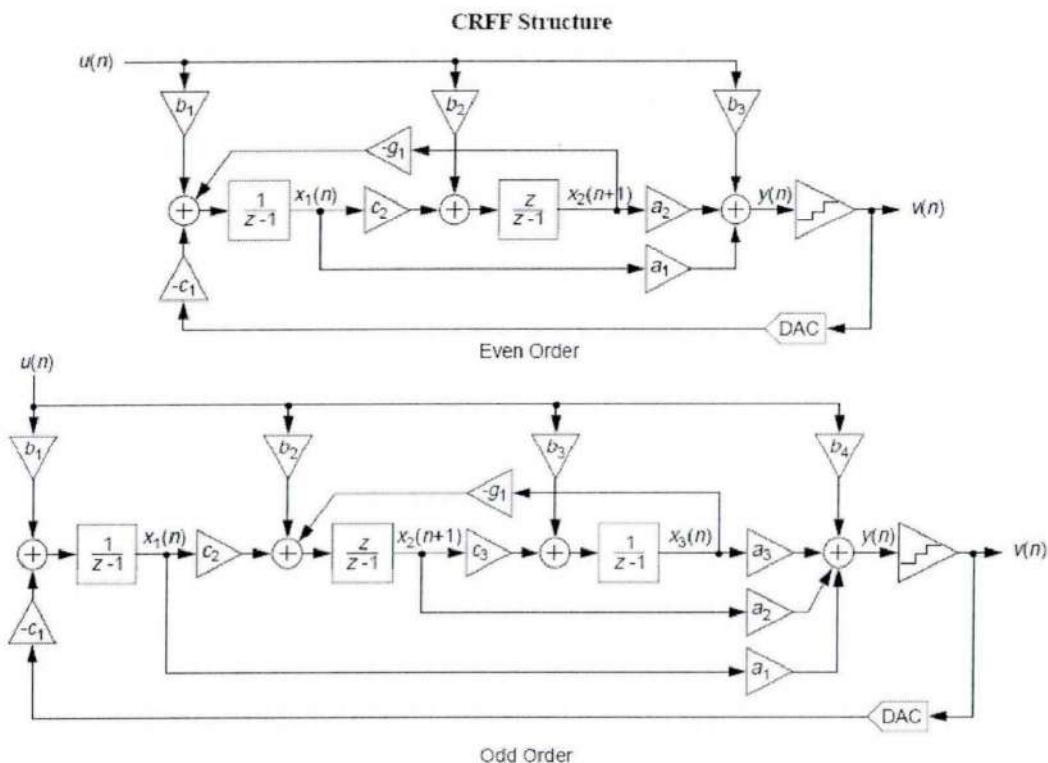


图 2-23 CRFF  $\Sigma\Delta$  调制器结构

#### 2.3.3.4.1 传递函数

对 2 阶 CRFF 结构，有：

$$x_1 = (b_1 u - c_1 v - g_1 x_2) H_1$$

$$x_2 = (b_2 u + c_2 x_1) H_2$$

$$y = b_3 u + a_2 x_2 + a_1 x_1$$

$$v = y + e$$

联立以上四式，可得：

$$STF_{k=1}^{CRFF-2}(z) = \frac{(a_2b_1c_2 + b_3c_2g_1 - a_1b_2g_1)H_1 + a_1b_1 \frac{H_1}{H_2} + \frac{b_3}{H_2}}{(a_2c_1c_2 + c_2g_1)H_1 + a_1c_1 \frac{H_1}{H_2} + \frac{1}{H_2}} \quad (3.19)$$

$$NTF_{k=1}^{CRFF-2}(z) = \frac{c_2g_1H_1 + \frac{1}{H_2}}{(a_2c_1c_2 + c_2g_1)H_1 + a_1c_1 \frac{H_1}{H_2} + \frac{1}{H_2}} \quad (3.20)$$

将  $H_1 = \frac{1}{z-1}$ ,  $H_2 = \frac{z}{z-1}$  代入 (3.20) 得：

$$NTF_{k=1}^{CRFF-2}(z) = \frac{(z-1)^2 + c_2g_1z}{(z-1)^2 + a_1c_1(z-1) + (a_2c_1c_2 + c_2g_1)z} \quad (3.21)$$

对于 3 阶 CRFF 结构，采用如上类似的推导过程，可得：

$$STF_{k=1}^{CRFF-3}(z) = \frac{(a_1b_1c_3g_1 + a_3b_1c_2c_3)H_1H_2 + (b_2c_3g_1 + a_3b_2c_3 + a_2b_1c_2 - a_2b_3g_1)H_2 + a_1b_1 + a_2b_2 \frac{H_2}{H_1} + \frac{b_2}{H_1}}{(a_1c_1c_3g_1 + a_3c_1c_2c_3)H_1H_2 + (a_2c_1c_2 + c_3g_1)H_2 + a_1c_1 + \frac{1}{H_1}} \quad (3.22)$$

$$NTF_{k=1}^{CRFF-3}(z) = \frac{c_3g_1H_2 + \frac{1}{H_1}}{(a_1c_1c_3g_1 + a_3c_1c_2c_3)H_1H_2 + (a_2c_1c_2 + c_3g_1)H_2 + a_1c_1 + \frac{1}{H_1}} \quad (3.23)$$

将  $H_1 = \frac{1}{z-1}$ ,  $H_2 = \frac{z}{z-1}$  代入 (3.23) 得：

$$NTF_{k=1}^{CRFF-3}(z) = \frac{(z-1)^3 + c_3g_1z(z-1)}{(z-1)^3 + (a_2c_1c_2 + c_3g_1)z(z-1) + a_1c_1(z-1)^2 + (a_1c_1c_3g_1 + a_3c_1c_2c_3)z} \quad (3.24)$$

### 2.3.3.4.2 可实现滤波器类型

从  $NTF_{k=1}^{CRFF-2,3}(z)$  表达式可见，CRFF 可实现为 Butterworth 或 Inverse-Chebyshev 型高通滤波器，各参数功能和意义同 CRFB 结构。

可以看到，CRFB，CRFF 两种结构得到的函数表达式形式完全一致，由此可见，对于相同的传递函数，如果 CRFB 可以实现，那么 CRFF 同样可以实现。

### 2.3.3.5 FFFB 调制结构

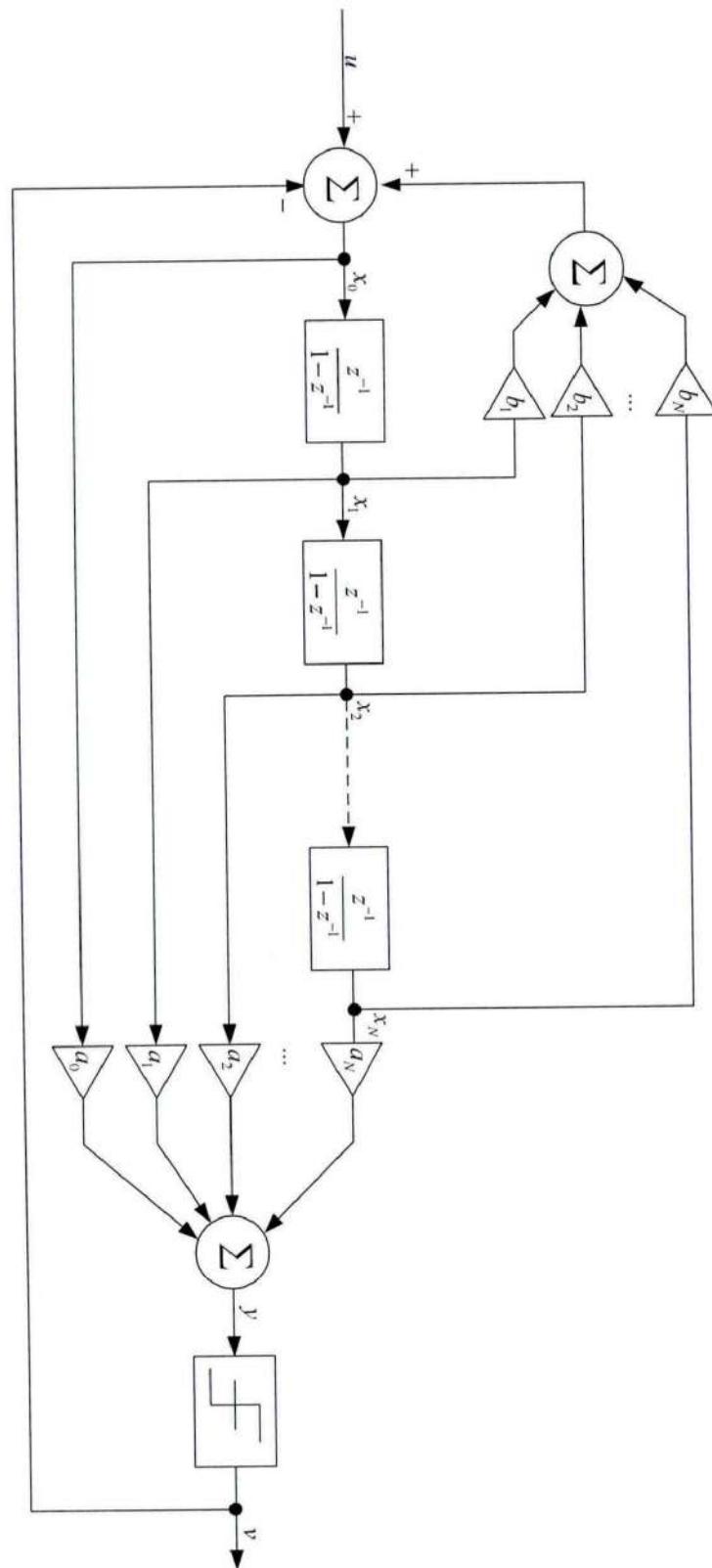
FFFB (FeedForward, FeedBack) 调制结构由 K.C.H.Chao[24]等人在 1990 年提出, 可实现为 Butterworth 或 Inverse-Chebyshev 型滤波器, 其结构示意图如图 2-24 所示。

可归纳得到, N 阶 FFFB 调制结构传递函数为:

$$STF_{k=1}^{FFFB-N}(z) = \frac{\sum_{i=0}^N a_i(z-1)^{N-i}}{z[(z-1)^N - \sum_{i=1}^N b_i(z-1)^{N-i}] + \sum_{i=0}^N a_i(z-1)^{N-i}} \quad (3.25)$$

$$NTF_{k=1}^{FFFB-N}(z) = \frac{(z-1)^N - \sum_{i=1}^N b_i(z-1)^{N-i}}{z[(z-1)^N - \sum_{i=1}^N b_i(z-1)^{N-i}] + \sum_{i=0}^N a_i(z-1)^{N-i}} \quad (3.26)$$

FFFB 调制结构可实现为 Butterworth 或 Inverse-Chebyshev 型滤波器, 参数  $b_i$  决定滤波器类型, 当  $b_i \neq 0$  时, 实现为 Inverse-Chebyshev 型高通滤波器,  $b_i$  用以调整零点位置; 参数  $a_i$  调整极点位置, 确定系统稳定输入范围。[24]中给出了使用 FFFB 结构设计滤波器的一个实例, 并结合各种实际中存在的二级效应, 对仿真结果进行了讨论。

图 2-24 FFFB  $\Sigma\Delta$  调制器结构

### 2.3.3.6 单环高阶 $\Sigma\Delta$ 调制结构小结

前文给出了5种类型的单环高阶 $\Sigma\Delta$ 调制结构，从实际应用角度而言，通过取舍以上结构中的参数，这些结构可以变换出其他结构，如[30][31][32]中提出的调制结构，都可以通过对以上结构合理的选取参数值得到。[34]中给出了一种比以上结构更为复杂的结构，该结构中积分器的输出同时前馈和反馈给环路。另[3]中对各种简化形式的结构进行了较为细致的分析，给出了每种结构的优缺点。

从以上各种结构计算得到的（信号，噪声）传递函数表达式可见，虽然各种结构本身并不相同，但是所得到的传递函数具有基本一致的形式，这就说明调制结构并不能影响性能本身，传递函数的形式才是 $\Sigma\Delta$ 调制的根本。所以 $\Sigma\Delta$ 调制器的设计并非首先设计结构，通常而言，结构只是一种选择，就设计本身而言，主要是设计出一个优化的传递函数。通过仿真实验，在确定传递函数达到系统设计指标后，再根据实现和工艺水平，选择合适的结构进行版图设计。

如果仔细分析 CIFX, CRFX 两种结构之间的区别，从所得表达式还是很容易看出一个特点，即 CIFX 结构所得表达式分子中关于变量  $z$  的最高次，次高次系数都是固定的，如 2 阶结构中， $z^2, z$  的参数固定为 1, -2，这两个参数值无法通过结构中设置的各种反馈参数进行改变，同样 3 阶结构中  $z^3, z^2$  的参数固定为 1, -3，这两个参数值同样也无法通过结构中各种反馈参数进行改变。换句话说，CIFX 结构中对零点的调整是通过对  $z$  变量的低次系数和常量进行的。同理 CRFX 结构则除了最高次系数和常量之外，可以影响所有的阶次。注意到这一点对特定传递函数寻找对应的结构时十分有效。当然，从下文可见，也可以不注意这种调制特点，任意选择结构，但是在进行结构中反馈参数值的计算时可能需要很高的灵活性，计算最优参数值需要的迭代次数更多，且如果结构不对应，在计算参数的值的过程中，会显著的移动零点的位置。FFFB 结构可以影响除最高次之外的所有系数，故对于该类型的传递函数，可以选择 FFFB 结构。

$\Sigma\Delta$  调制器的设计即构建出一个性能优良的高通滤波器。性能优良体现在如下几个方面：1) 滤波器在信号基带内具有很小的增益，可以最大化的减少基带内量化噪声；2) 滤波器在带外增益具有合理值，不可过大，应当遵循 Lee 判据，即  $\max_{\omega} |H(e^{j\omega})| < 1.5$ ，以保证系统合理的稳定输入范围；3) 滤波器必须是物理可实现的，即根据 $\Sigma\Delta$  调制器本身特点，必须满足  $|H(\infty)| = 1$ 。

从以上三点考虑， $\Sigma\Delta$  调制器常用的高通滤波器主要有两种类型，即 Butterworth 型高通滤波器和 Inverse-Chebyshev 型高通滤波器，其中 Butterworth 滤波器的优点是带外具有最大平坦度，且容易设计出满足 Lee 判据以及物理可实现性两个条件的 Butterworth 滤波器；其另外一个特出优点是对参数失配（由电阻，电容，CMOS 管失配造成）的敏感度较低，电路稳定性好；第三个优点是

Butterworth 滤波器极点具有低 Q 值，使实现为 Butterworth 滤波器的电路不易发生振荡。但是 Butterworth 滤波器的一个缺点是基带边缘噪声平台高，这主要是由于 Butterworth 滤波器所有零点都在直流点。Inverse-Chebyshev 滤波器是对 Butterworth 缺点改正后的滤波器，其将零点从直流点转移分布在基带内，可以大大减少基带内量化噪声功率，但是这必须通过引入积分器反馈完成，增加了电路实现上的复杂度。故基于电路实现难易程度以及对性能指标的具体要求，Butterworth 和 Inverse-Chebyshev 型高通滤波器在  $\Sigma\Delta$  调制器的实际设计中都有使用，随着工艺水平的成熟以及对高精度 ADC 的需求，Inverse-Chebyshev 型高通滤波器在实际应用中使用较多。

### 2.3.3.7 高阶 $\Sigma\Delta$ 调制器设计流程

由上文的讨论可知， $\Sigma\Delta$  调制器设计的根本在于传递函数的设计。结合传递函数所需满足的三个基本条件，本节给出  $\Sigma\Delta$  调制器的基本设计流程，在实际  $\Sigma\Delta$  调制器的设计中可以按这些步骤进行。

1 根据 OSR 以及所需达到的 SQNR 选择调制器阶数。

OSR 的确定根据数字滤波部分可处理的比特流的速度首先确定过采样率，之后确定采集信号的频率范围，由此二者确定 OSR。根据系统所需达到的精度（ADC 的有效位数），确定 SNR，通常考虑到电路及电子学噪声，选择  $SQNR = SNR + 10$ （该参数可通过仿真确定）。在完成 OSR 以及 SQNR 的估计后，由图 2-25[33]或图 2-26[3]给出的经验数值确定调制阶数 N。

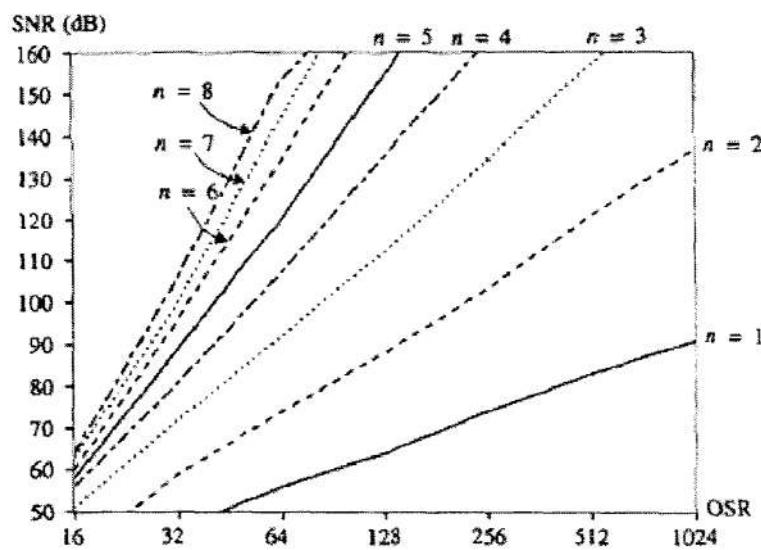


图 2-25 最大可获取 SNR 与过采样率对应关系

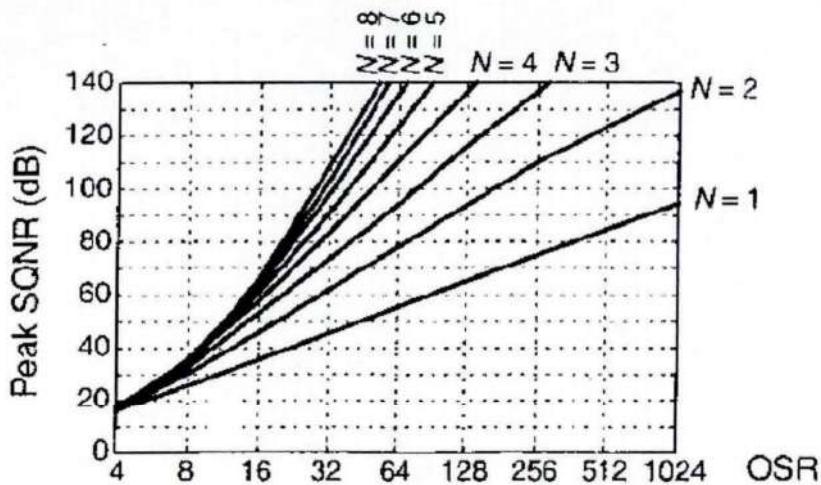


图 2-26 N 阶 1-bit 量化器调制器结构 SQNR 经验值

## 2 选择 NTF 滤波器类型。

由上文可知，可选用的滤波器类型有 Butterworth 以及 Inverse-Chebyshev 型。通常而言，Inverse-Chebyshev 型使用很多。

## 3 选择滤波器-3dB 频率点。

由于滤波器具有一定的过渡频带，故-3dB 频率点应稍微比信号带宽大一些，避免信号频率成分的衰减。

## 4 根据调制器阶数及选用的滤波器类型设计滤波器函数。

如选用 Butterworth 型高通滤波器，则其传输函数可表示为  $NTF = H(z) = (z - 1)^N / \prod_{i=1}^N (z - p_i)$ ；同理，如选用 Inverse-Chebyshev 型高通滤波器，则其传输函数形式为  $NTF = H(z) = \prod_{i=1}^N (z - z_i) / (z - p_i)$ 。其中  $z_i$  表示滤波器的零点位置， $p_i$  表示滤波器的极点位置。以上滤波器函数形式遵循了  $|H(\infty)| = 1$  条件。对于 Lee 判据的遵循，需要合理设计极点位置，而优化基带内噪声需要合理选择零点位置。零点及极点位置的选取是一个不断优化的过程，表 2-1 所示为各阶  $\Sigma\Delta$  调制器优化后的零点位置 [3] [33]。注意这些优化得到的零点位置假设了两个前提条件：1) 量化器噪声被看作为白噪声；2) 极点位置对基带内噪声影响很小。零点位置的获取是通过利用 NTF 表达式求出基带内噪声表达式，而后对频率分量进行偏微分，令其等于 0 后完成的，在 5 阶及其以内使用分析的方法可以精确求得零点位置，6 阶及其以上需要使用数值方法进行求取 [33]。如果以上两个条件不满足，则需要对零点位置完全使用数值迭代方法进行求取。通常情况下，以上两个条件是满足的。

表 2-1 N 阶  $\Sigma\Delta$  调制器优化后零点位置

N	Zero Locations, normalized to $w_B$	SQNR improvement (dB)
1	0	0
2	$\pm 1/\sqrt{3}$	3.5
3	$0, \pm \sqrt{3}/5$	8
4	$\pm \sqrt{(3/7) \pm \sqrt{(3/7)^2 - (3/35)}}$	13
5	$0, \pm \sqrt{(5/9) \pm \sqrt{(5/9)^2 - (5/21)}}$	18
6	$\pm 0.23862, \pm 0.66121, \pm 0.93247$	23
7	$0, \pm 0.40585, \pm 0.74153, \pm 0.94911$	28
8	$\pm 0.18343, \pm 0.52553, \pm 0.79667, \pm 0.96029$	34

对于极点的优化，需要注意两个方面：1) 保证带外增益满足 Lee 判据；2) 保证信号在基带内具有合理的增益和平坦度。其中第一点前文多次提到是为了保证系统稳定性，第二点的原因可以从上文中各种结构得到的传输函数表达式看出，通常 STF 与 NTF 分子不同，但是都具有相同的分母，即二者具有相同的极点。极点位置对传输函数增益影响较大，故进行极点位置选取时，必须同时考虑到系统稳定性以及信号保真。

通常而言，极点和零点位置的获取是假设二者不会相互影响，即进行极点位置求取时假设不影响零点的位置，反之亦然。故极点和零点是分别进行获取的。零点位置可选用表 2-1 中提供的数值，亦可使用设计 chebyshev-II 型滤波器的方式进行求取。极点的求取可使用[3]中介绍的方式，即使用逐次逼近迭代算法获取 z 平面上单位圆内根的方式，亦可使用设计 Butterworth 或 Chebyshev-II 型滤波器的方式进行求取。在下文一个 4 阶调制器传输函数的设计中将具体展示这些方法的应用以及由此得到的传输函数的性能差异。

##### 5 确定 4 中设计出的滤波器函数满足 Lee 判据。

通常滤波器传输函数最大值在  $z = -1$  处，即要求  $\prod_{i=1}^N (1 + z_i)/(1 + p_i) < 1.5$ 。如果该条件不满足，则重复 4 中设计，重新选择极点位置。如满足 Lee 判据，确认稳定输入范围。注意满足 Lee 判据并不表示系统是无条件稳定的，而是指系统在输入满足一定范围时是稳定的，故必须对该范围进行基本确定。

- 6 仿真确认稳定输入范围。
- 7 如果仿真得到的稳定性不满足设计需求，则重新设计极点位置。  
可以通过降低-3dB 频率点实现[33]。通过降低-3dB 频率点，可以有效降低带外增益，从而提供系统稳定性。
- 8 在稳定性达到要求后，如果 SQNR 不满足要求，则需要进行更细致的设计。  
此时需要微调（提高）-3dB 频率点位置，辅以大量仿真进行稳定性确认。
- 9 重复 6-8 直到稳定性能以及 SQNR 都满足设计需求。

### 2.3.3.8 $\Sigma\Delta$ 调制器设计实例

基于上文给出的设计流程，本节设计一个单环高阶  $\Sigma\Delta$  调制器。得到的传输函数将用于一个高精度  $\Sigma\Delta$  ADC 的实际设计。

#### 2.3.3.8.1 构造传输函数

系统需求如下：调制器输出比特速率为 512kbps,  $OSR = 128, SNR = 110dB$ ,  $f_{-3dB} = 2kHz$ 。

1. 确定调制阶数。

考虑到必须为电路以及电子学噪声预留一定的空间，设计的 SQNR 一般要比 SNR 大 10-20dB[3]。根据  $OSR = 128, SNR = 110dB$ ，由图 2-26 可得所需调制阶数  $N=4$ 。

2. 选择滤波器类型。

Inverse-Chebyshev 滤波器具有更好的噪声性能，故设计中采用该滤波器进行设计。

3. -3dB 频率点位于 2KHz。

4. 设计滤波器传输函数。

滤波器函数满足  $NTF = H(z) = \prod_{i=1}^N (z - z_i)/(z - p_i)$  关系式。下面我们分别获取 NTF 的零点位置和极点位置。

1) 零点位置

对于 4 阶调制而言，对于零点的优化需要考虑到一点，由于零点关于实轴对称，所以优化的可能结果是：1) 4 个零点全部从  $z=1$  点移除，此时直流点增益不为 0，这表示直流或低频成分电平经过调制电路后会发生改变；2) 只移除两个零点，另外两个零点仍然位于  $z=1$ ，这可以解决直流电平的问题。对于此处的系统，共模电平为 0，不需要精确复制直流电平，故设计中将四个零点全部从  $z=1$  处移除。

### A. 方法一：查表法

由表 2-1，对于 4 阶调制，优化后的零点位置为  $\pm\sqrt{(3/7)\pm\sqrt{(3/7)^2-(3/35)}}$ 。由此可得归一化后的零点位置为： $\lambda_{1,2} = \pm 0.3399810$ ,  $\lambda_{3,4} = \pm 0.8611363$ 。由  $\lambda_i = \frac{w_i}{w_s} \Rightarrow w_i = \lambda_i w_s$ 。从而有：

$$z_i = \exp\left\{\frac{jw_i}{F_s}\right\} = \exp\left\{2j\pi\frac{w_i}{w_s}\right\} = \exp\left\{j\lambda_i\pi\frac{2w_s}{w_s}\right\} = \exp\left\{j\frac{\lambda_i\pi}{OSR}\right\}$$

将  $\lambda_{1,2,3,4}$  代入可得：

$$z_{1,2} = 0.999965 \pm 0.008344i$$

$$z_{3,4} = 0.999776 \pm 0.021134i$$

### B. 方法二：设计 Chebyshev 型滤波器法

可利用 Matlab 中 cheby2 函数直接设计 Chebyshev-II 型滤波器，得到零点位置。注意在使用 cheby2 函数进行滤波器设计时，截止频率和阶数都是确定的，故只有阻带衰减参数可变，通过调整阻带衰减参数，使得带外增益为 3.5dB（即  $\prod_{i=1}^N (1+z_i)/(1+p_i) < 1.5$ ），最终可得零点位置为： $z_{1,2} = 0.9997 \pm 0.0227i$ ,  $z_{3,4} = 1.0000 \pm 0.0094i$ 。

`[b,a]=cheby2(4,105,1/128,'high');`

$$z_{1,2,3,4} = roots(b);$$

### 2) 极点位置

对于传输函数极点位置的获取可以采用两种方法：A) 滤波器设计法；B) 逐次逼近迭代法[3]。

#### A. 滤波器设计法

可使用设计 Butterworth 或 Chebyshev-II 型滤波器的方法获取极点。Butterworth 滤波器法如下代码所示。

`[dummy, a]=butter(4,.1,'high');`

注意此处 butter 函数参数 2 直接影响带外增益大小，故通过数值迭代可以设计出满足 Lee 判据的极点分布。系统截止频点由获取零点时指定的频点决定。Chebyshev-II 滤波器法如下代码所示。

`[b,a]=cheby2(4,105,1/128,'high');`

Cheby2 函数的参数 2 指定阻带增益（取绝对值），注意这个参数的设置并非越大越好，事实上，当极点确定后，这个参数指定的值有个最大上限，当大于这个上限值后，基本对结果没有任何影响。上限值的确定通过数值迭代方法近似获

得。注意不同于 Butterworth 滤波器设计法，此处参数 3 指定了系统真正的归一化截止频率。

### B. 迭代法

基本算法由[3]给出。

#### 5. 确认传输函数符合 Lee 判据。

在 4 中的设计中，极点位置的选取原则保证了 Lee 判据的满足。

此处我们对 4 中求得的零极点组合的各种传输函数进行比较以查看其噪声性能的差异，并辅以稳定性分析，选择组合下的最优的传递函数。

#### 1. 滤波器法零点，滤波器法极点组合

滤波器法极点有两种设计法：1) Butterworth 滤波器法；2) Chebyshev-II 滤波器法。

##### 1) Butterworth 滤波器极点法

###### a) 噪声性能

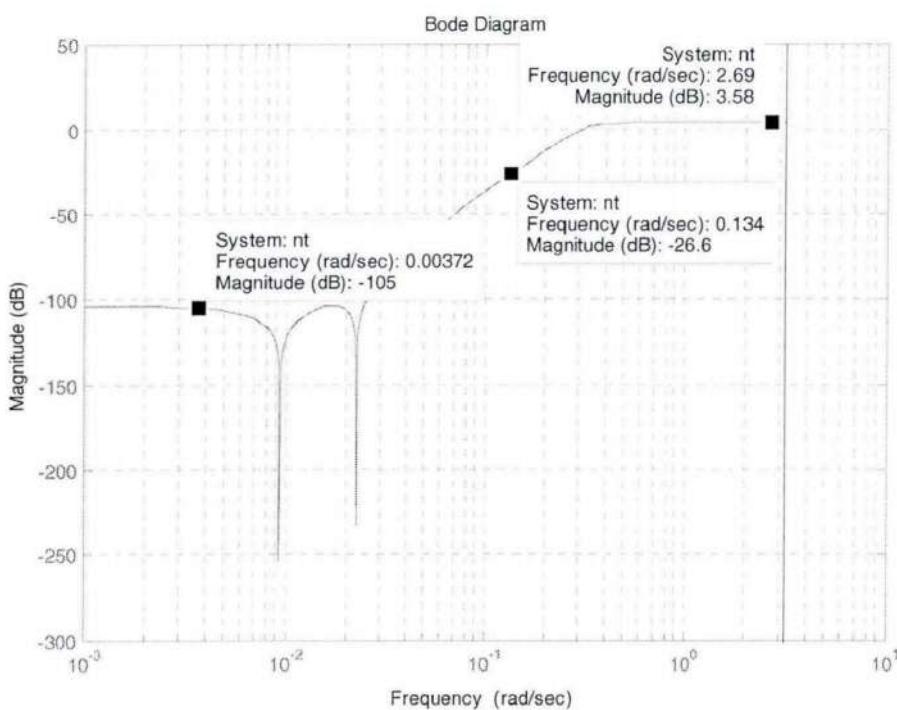


图 2-27 NTF 波特图

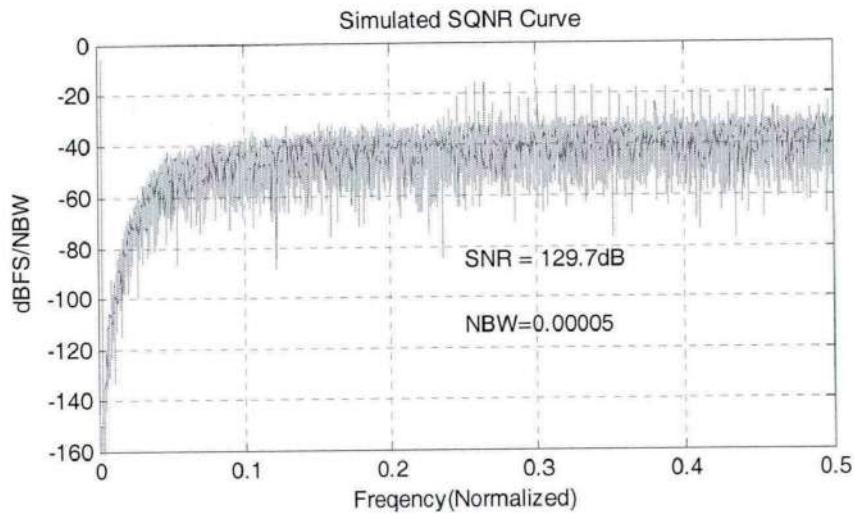


图 2-28 SQNR 仿真曲线

由图 2-27 可见, NTF 带外增益最大  $3.58\text{dB} = 1.51$ , 满足 Lee 判据<sup>3</sup>.由图 2-28 可见, 仿真得到的 SNR (SQNR) 为 129.7dB。

### b) 稳定性能

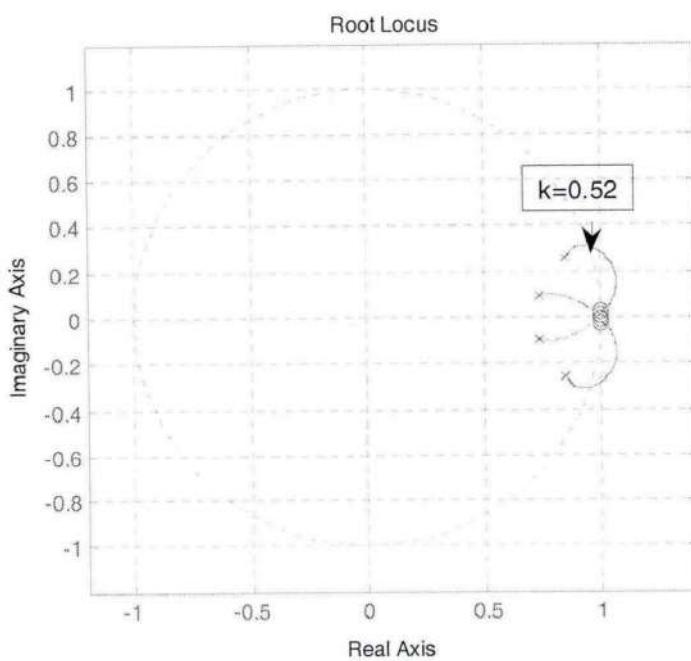


图 2-29 Filter-Zero, Filter-Pole-Butterworth 根轨迹图

由图 2-29,  $k_{\min} = 0.52$ 。

<sup>3</sup> 注意: Lee 判据对于 3 阶, 4 阶而言, 带外增益参数可以稍微比 1.5 大。此处参数等于 1.51 是可接受的[3]。

## 2) Shebyshev-II 滤波器极点法

NTF 带外增益最大  $3.58dB = 1.51 \cdot SNR = 128.8dB$ ,  $k_{min} = 0.52$ 。

## 2. 滤波器法零点, 迭代法极点组合

NTF 带外增益最大  $3.58dB = 1.51 \cdot SNR = 129.2dB$ ,  $k_{min} = 0.52$ 。

## 3. 查表法零点, 滤波器法极点组合

## 1) Butterworth 滤波器极点法

NTF 带外增益最大  $3.58dB = 1.51 \cdot SNR = 131.5dB$ ,  $k_{min} = 0.52$ 。

## 2) Shebyshev-II 滤波器极点法

NTF 带外增益最大  $3.58dB = 1.51 \cdot SNR = 130.0dB$ ,  $k_{min} = 0.52$ 。

## 4. 查表法零点, 迭代法极点组合

NTF 带外增益最大  $3.58dB = 1.51 \cdot SNR = 129.5dB$ ,  $k_{min} = 0.52$ 。

以上各种组合得到的结果均采用相同的算法得到, 如表 2-2 所示各种组合所得性能的比较。

表 2-2 不同零点, 极点组合下的性能特性

	零点法	极点法	SNR (dB)	稳定性
1	滤波器法	Butterworth 滤波器法	129.7	$k_{min} = 0.52$
		Shebyshev-II 滤波器法	128.8	$k_{min} = 0.52$
2	滤波器法	迭代法	129.2	$k_{min} = 0.52$
3	查表法	Butterworth 滤波器法	131.5	$k_{min} = 0.52$
		Shebyshev-II 滤波器法	130.0	$k_{min} = 0.52$
4	查表法	迭代法	129.5	$k_{min} = 0.52$

由表 2-2 可见, 各种零极点的不同组合方式下, 稳定性能基本一致, 这是可以理解的, 因为系统稳定性主要决定于带外增益大小, 各种组合方式下, 带外增益均一致 ( $3.58dB$ )。对于 SNR, 相比较而言, 极点计算中, Butterworth 滤波器法始终要优于 chebyshev-II 滤波器法, 而零点的计算, 滤波器法和查表法得到的结果差别不大, 但是对于 4 阶及其以下的调制结构, 查表法更优, 其原因源于查表法中的零点位置是通过最小化基带内噪声算法得到的。由此, 我们选用由查表法获取零点, Butterworth 滤波器法获取极点的方式得到的传输函数, 该函数具体形式为:

$$NTF = H(z) = \frac{z^4 - 3.999z^3 + 5.999z^2 - 3.999z + 1}{z^4 - 3.181z^3 + 3.86z^2 - 2.112z + 0.4383}$$

最后需要指出的一点是，极点的设计理论上尚无精确的表达式可以直接通过其进行极点获取，在实际设计中，极点通过数值迭代的方式进行获取，基本依据是带外增益满足 Lee 判据，无论是[3]中提供的迭代法还是本文提供的滤波器设计法都是一个数值迭代取最优结果的过程。在使用 Butterworth 滤波器法进行极点计算时，参数 2 (butter 函数) 对带外增益影响大，通过迭代该参数进行极点获取，Chebyshev-II 滤波器法进行极点计算时，在调制阶数和 OSR 确定时，通过迭代基带内增益 (cheby2 函数的第二个参数) 进行极点获取。

另外需要提及的是，表 2-2 中得到的结果是采用正弦波形输入，幅度为-6dB。当幅度为-3dB 时，SNR 将急剧下降（图 2-30），因为此时输入已超出稳定输入范围，系统进入了不稳定状态。图 2-31 给出了 SQNR 与输入幅度之间的关系。

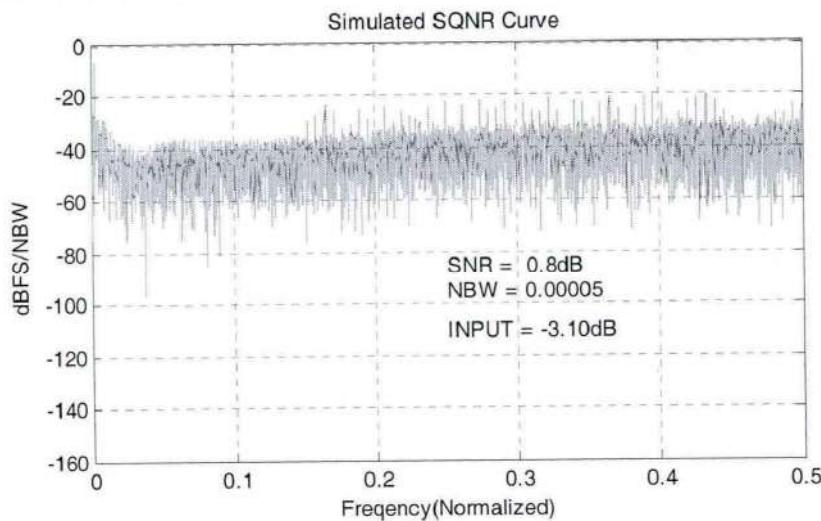


图 2-30 -3dB 正弦波输入下的 SQNR 曲线

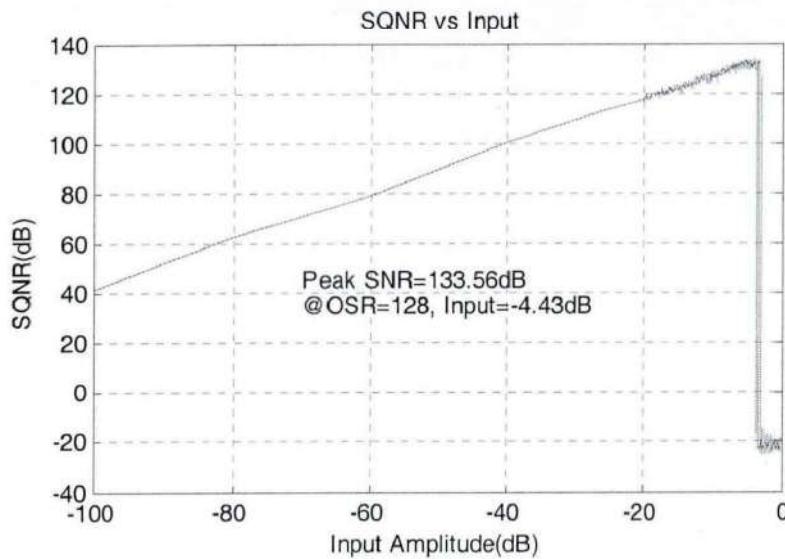


图 2-31 SQNR 与信号输入幅度的关系

### 2.3.3.8.2 传输函数到结构参数的映射

从前文对各种结构的分析中，积分器反馈调整零点位置，前馈或反馈调整极点位置，上一节中构造的传递函数 4 个零点均从  $z=1$  处移除，故需要积分器输出的两个反馈点（每个反馈点对应一对零点）。事实上，从 NTF 的表达式来看，很容易的决定应该选择 CRFX 结构，因为从 NTF 分子部分可以看出需要对最高次以及常量之外的系数进行调整，从前文分析来看，CRFX 结构符合做这种调整的特点<sup>4</sup>。但是此处我们选用 CIFB 调制结构，一方面是为了更好的演示参数计算过程，另一方面从后续内容可知，从实现的角度出发，需要对参数进行取整和清零（造成零点被取消），故实际上得到的实现结构与 CRFB 基本无异。CIFF 结构在前文给出的 NTF 下，信号传输特性不如 CIFB 结构性能好。CIFF 结构下信号传输函数 (STF) 在频域所有频率上都是单位增益（此时输入前馈最后一级系数值为 1），而 CIFB 结构下的 STF 是一个低通滤波器。CIFB 结构基本单元都是一个积分电路，电路实现相对简单，其次使用 CIFB 结构可以压制带外信号，自动完成信号低通滤波过程。将 CIFB 结构中输入前馈除了第一个参数之外的其他参数  $b_{i \neq 1}$  设置为 0，可得到基带内最大平坦的 STF。4 阶 CIFB 调制结构如图 2-32 所示。通过计算可得其传输函数表达式如下。

$$STF_{k=1}(z) = \frac{b_1 c_1 c_2 c_3 c_4 H^2}{(a_1 c_1 c_2 c_3 c_4 + a_3 c_1 c_3 c_4 g_1 + c_1 c_3 g_1 g_2)H^2 + (a_2 c_2 c_3 c_4 + a_4 c_1 c_4 g_1)H + (a_3 c_3 c_4 + c_1 g_1 + c_3 g_2) + \frac{a_4 c_4}{H} + \frac{1}{H^2}}$$

<sup>4</sup> 事实上，在调制器的实际实现中，CRFB 结构也是首选。因为其对参数失配相对 CIFB 结构而言更不敏感 [42]。

$$NTF_{k=1}(z) = \frac{c_1 c_3 g_1 g_2 H^2 + (c_1 g_1 + c_3 g_2) + \frac{1}{H^2}}{(a_1 c_1 c_2 c_3 c_4 + a_3 c_1 c_3 c_4 g_1 + c_1 c_3 g_1 g_2) H^2 + (a_2 c_2 c_3 c_4 + a_4 c_1 c_4 g_1) H + (a_3 c_3 c_4 + c_1 g_1 + c_3 g_2) + \frac{a_4 c_4}{H} + \frac{1}{H^2}}$$

将  $H = \frac{1}{z-1}$  代入  $NTF_{k=1}(z)$  可得：

$$NTF_{k=1}(z) = \frac{(z-1)^4 + (c_1 g_1 + c_3 g_2)(z-1)^2 + c_1 c_3 g_1 g_2}{(z-1)^4 + a_4 c_4 (z-1)^3 + (a_3 c_3 c_4 + c_1 g_1 + c_3 g_2)(z-1)^2 + (a_2 c_2 c_3 c_4 + a_4 c_1 c_4 g_1)(z-1) + (a_1 c_1 c_2 c_3 c_4 + a_3 c_1 c_3 c_4 g_1 + c_1 c_3 g_1 g_2)}$$

上一节中构造的传递函数表达式为：

$$NTF = H(z) = \frac{z^4 - 3.999z^3 + 5.999z^2 - 3.999z + 1}{z^4 - 3.181z^3 + 3.86z^2 - 2.112z + 0.4383}$$

对比分子分母关于变量  $z$  的各项系数，可得：

$$6 + (c_1 g_1 + c_3 g_2) = 5.999 \quad (a)$$

$$-4 - 2(c_1 g_1 + c_3 g_2) = -3.999 \quad (b)$$

$$1 + (c_1 g_1 + c_3 g_2) + c_1 c_3 g_1 g_2 = 1 \quad (c)$$

$$-4 + a_4 c_4 = -3.181 \quad (d)$$

$$6 - 3a_4 c_4 + (a_3 c_3 c_4 + c_1 g_1 + c_3 g_2) = 3.86 \quad (e)$$

$$-4 + 3a_4 c_4 - 2(a_3 c_3 c_4 + c_1 g_1 + c_3 g_2) + (a_2 c_2 c_3 c_4 + a_4 c_1 c_4 g_1) = -2.112 \quad (f)$$

$$1 - a_4 c_4 + (a_3 c_3 c_4 + c_1 g_1 + c_3 g_2) - (a_2 c_2 c_3 c_4 + a_4 c_1 c_4 g_1) + (a_1 c_1 c_2 c_3 c_4 + a_3 c_1 c_3 c_4 g_1 + c_1 c_3 g_1 g_2) = 0.4383 \quad (g)$$

由此，有 11 个参数，只有 7 个方程，有 4 个自由度。事实上，对方程进行严格求解是不现实的，首先(a)(b)两式得到的结果就是矛盾的，故需要进行一定的近似处理。

令  $c_1 g_1 + c_3 g_2 = 0.0005^5$ ，此时不可以根据 (c) 推导出  $c_1 g_1 c_3 g_2 = -0.0005$ ，因为各个参数都大于 0。可以令  $c_1 g_1 c_3 g_2 = \zeta$ ， $\zeta$  的值源于  $NTF$  表达式的有限精度，即  $NTF$  分子的最后一项并非是 1。

$$a_4 c_4 = 0.819$$

<sup>5</sup> 由(a)可得  $c_1 g_1 + c_3 g_2 = -0.001$ ，由(b)可得  $c_1 g_1 + c_3 g_2 = -0.0005$ ，由于  $c_1 g_1 + c_3 g_2 > 0$ ，故对右侧数值取绝对值，此处取 0.0005 进行计算，亦可使用 0.001，通常选择较小值较为合适。

$$a_3 c_3 c_4 = 0.3165$$

$$a_2 c_2 c_3 c_4 + a_4 c_1 c_4 g_1 = 0.065$$

$$a_1 c_1 c_2 c_3 c_4 + a_3 c_1 c_3 c_4 g_1 + \zeta = 0.0053$$

参数  $c_i$  表示积分增益，可以首先对其进行归一化，即令  $c_i = 1$ 。由此可得：  $a_4 = 0.819$ ，

$$a_3 = 0.3165$$

$$g_1 + g_2 = 0.0005 \quad (\text{h})$$

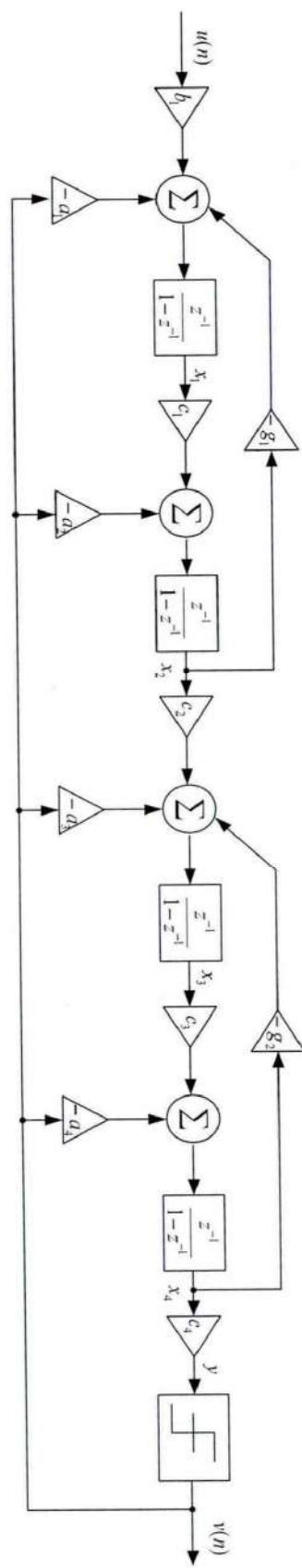
$$g_1 g_2 = \zeta \quad (\text{i})$$

$$a_2 + a_4 g_1 = 0.065 \Rightarrow a_2 + 0.819 g_1 = 0.065 \quad (\text{j})$$

$$a_1 + a_3 g_1 = 0.0053 - \zeta \approx 0.0053 \Rightarrow a_1 + 0.3165 g_1 = 0.0053 \quad (\text{k})$$

(h) ~ (k) 四个方程，5 个参数，需要确定一个参数的值，不失一般性，此处令  $\zeta = 5e-8$ 。因为由(h)(i)及  $g_i > 0$  可知， $\zeta < 6.25e-8$ 。将  $\zeta = 5e-8$  代入(h)(i) 可得：  $g_1 = 0.000362$ ， $g_2 = 0.000138$ ，代入(j)(k) 得：  $a_1 = 0.005185$ ， $a_2 = 0.064704$ 。

对于  $b_1$  的确定，考虑  $STF(z)$  在 DC 附近的增益应为 1，即  $STF(z)|_{z=1} = 1$ ，由此可得  $b_1 = 0.0053$ 。

图 2-32 4 阶 CIFB  $\Sigma-\Delta$  调制器简化结构

根据以上计算，得归一化参数值如表 2-3 所示。

表 2-3 CIFB 结构归一化参数

$i$	$a_i$	$g_i$	$b_i$	$c_i$
1	0.005185	0.000362	0.0053	1
2	0.064704	0.000138	-	1
3	0.3165	-	-	1
4	0.819	-	-	1

由表 2-3 给出的参数值画出 STF, NTF 波形图，如图 2-33 所示。由根据参数值得到的 STF 表达式画出 SNR 曲线如图 2-34 所示。

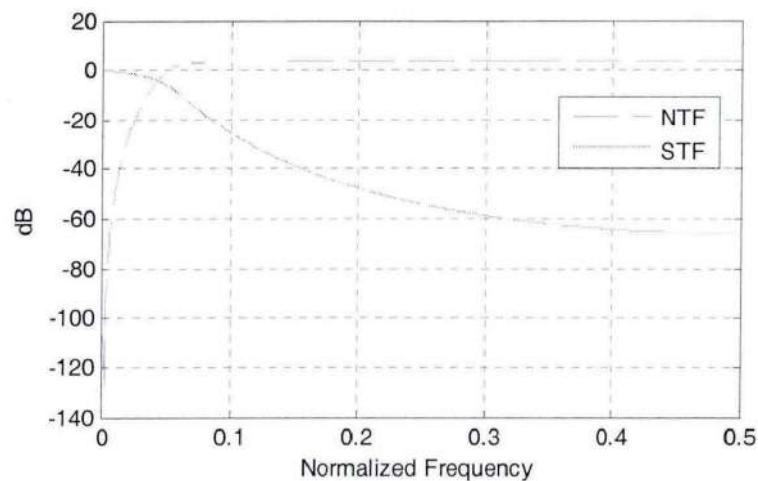


图 2-33 图 2-32 所示结构 NTF 和 STF 特性曲线

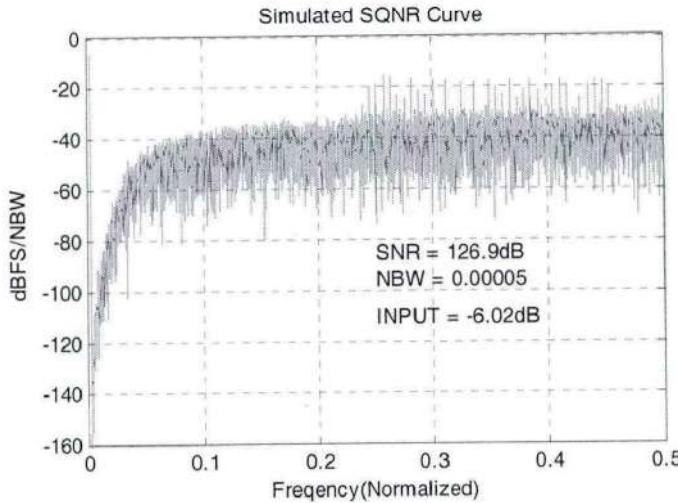


图 2-34 表 2-3 中参数对应得到的 SQNR

由图 2-34 可知，与理想情况下得到的 131.5dB 相差了 4.5dB。这一方面是由参数精度取舍不当造成，另一主要方面是由于以上计算得到的参数值并非最优，这一点从图 2-33 可以很显然的看出，信号传递函数在基带范围内有一个很明显的衰减，在实际设计中，这会引起较大的谐波失真。参数非最优化主要是计算中非最优的  $\zeta$  取值造成，可以通过数值迭代的方式可以寻找到最优的  $\zeta \approx 3e-8$ ，此时对应的各项参数值如表 2-4 所示。

表 2-4 CIFB 优化后参数

$i$	$a_i$	$g_i$	$b_i$	$c_i$
1	0.006643	0.00007	0.0053	1
2	0.068261	0.00043	-	1
3	0.3165	-	-	1
4	0.819	-	-	1

根据表 2-4 所示参数得到的 STF, NTF 曲线以及 SNR 曲线如图 2-35, 2-36 所示。显然，优化后的参数值得到 SNR (131.3dB) 非常接近于理想值 (131.5dB)。从图 2-35 可见，此时信号传递函数在基带内是平坦的，不会引起谐波失真。

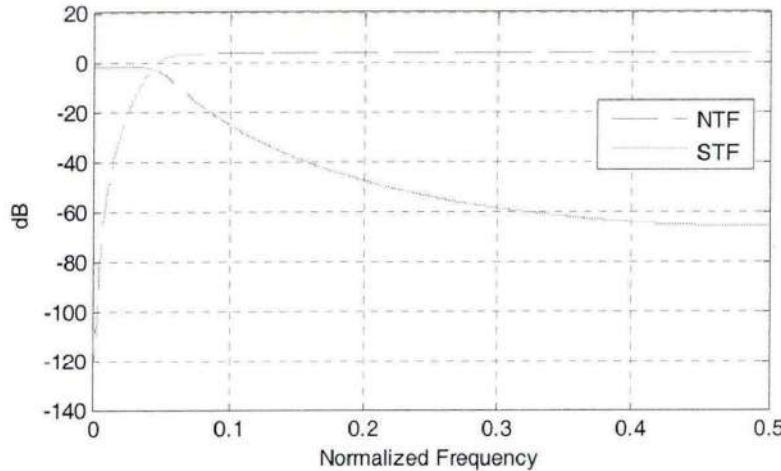


图 2-35 参数优化后 NTF 和 STF 特性曲线

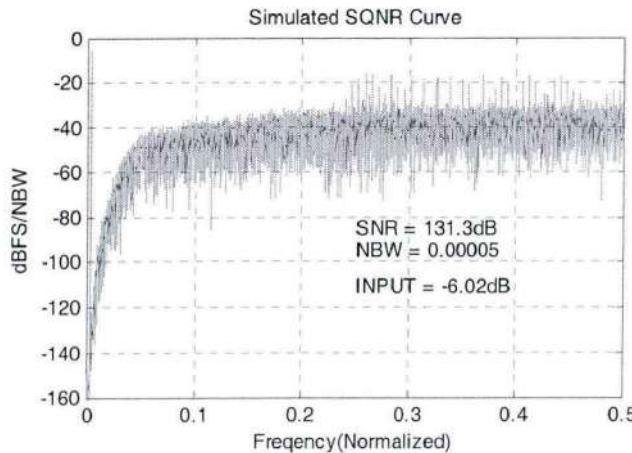


图 2-36 优化后参数对应的 SQNR

表 2-4 给出的参数是经过了归一化的，如其中的  $c_i$  均等于 1，对于一个输入信号而言，这极容易造成量化器输入端过载，引起系统进入不稳定状态，故在表 2-4 的基础上还需要经过一个调整过程。在前文的稳定性分析中，我们给出了系统稳定条件： $y_{\max} = 1/k_{\min}$ ，即量化器输入端存在一个最大值，要使得系统处于稳定状态，必须保证输入信号电平经过传递函数到达量化器输入端时要小于这个最大值。

对各个参数进行调整，必须要保证最后得到的传递函数保持原样，即调整后的各个参数值必须满足前文中给出的(a)-(h)的关系式。以简化后的表达式  $a_4c_4 = 0.819$  为例，归一化计算中， $c_4 = 1$ ， $a_4 = 0.819$ ，调整后的参数值可以是  $c_4 = 2$ ， $a_4 = 0.4095$ ，此时仍有  $a_4c_4 = 0.819$  成立。

为进行参数，需要引入 ABCD 矩阵[3][29]，并将 CIFB 结构中各个极点的值表示为矩阵乘积的形式，有：

$$x_i(k+1) = Ax_i(k) + B \begin{bmatrix} u(k) \\ v(k) \end{bmatrix}$$

$$y(k) = Cx_n(k) + D \begin{bmatrix} u(k) \\ v(k) \end{bmatrix}$$

其中  $x(k)$  表示 4 阶 CIFB 结构中 4 个积分器输出端在  $k$  时刻的值， $y(k)$  则表示量化器输入的值， $u(k)$  为系统输入， $v(k)$  为量化器输出值。 $\begin{bmatrix} A & B \\ C & D \end{bmatrix}$  表示一个  $(n+1) \times (n+2)$  矩阵，由 CIFB 结构中各反馈参数构建而成。

参数调整的基本算法原理是：在系统输入端加入一个指定幅度的正弦波形，计算  $x(k)$  和  $y(k)$  的值，并逐渐增加输入信号幅度，直到  $u = u_{\max}$  时，有  $y = y_{\max}$ 。得到的  $u_{\max}$  即是为保持系统稳定所允许的上限输入值；在这一过程中同时计算  $x(k)$  的值，当  $u = u_{\max}$  时，得到  $x_i^{\max}$ 。参数调整的基本操作即根据迭代得到的  $x_i^{\max}$  以及实际允许的  $x_i^{\text{limit}}$  对  $\begin{bmatrix} A & B \\ C & D \end{bmatrix}$  矩阵进行调整。令  $scale = x_i^{\max} / x_i^{\text{limit}}$ ， $s_{inv} = diag(scale)$ ， $s = diag(1./scale)$ ，则有  $A' = sAs_{inv}$ ， $B' = sB$ ， $C' = Cs_{inv}$ ， $D' = D$  [29]，即调整后矩阵变为  $\begin{bmatrix} A' & B' \\ C' & D' \end{bmatrix}$ ，根据矩阵与参数之间的对应关系，得到调整后的参数值(表 2-5)。

表 2-5 CIFB 结构调整后参数

$i$	$a_i$	$g_i$	$b_i$	$c_i$
1	0.102932	0.000409	0.082122	0.171320
2	0.181204	0.000684	-	0.322809
3	0.271215	-	-	0.628629
4	0.441182	-	-	1.856376

经过调整后，由表 2-5 中参数仿真得到  $\text{SNR}=131.3\text{dB}$ ， $u_{\max} = 0.72$ 。图 2-37<sup>6</sup> 为调整前得到的各积分器输出端电平对输入电平的变化关系；图 2-38 为调整后

<sup>6</sup>  $x_i$  对应图 2-32 中各结点， $y$  表示量化器输入。

的变化关系<sup>7</sup>（调整算法中设定各积分器输出端上限值为 0.8，量化器输入端上限值为 1.6）。

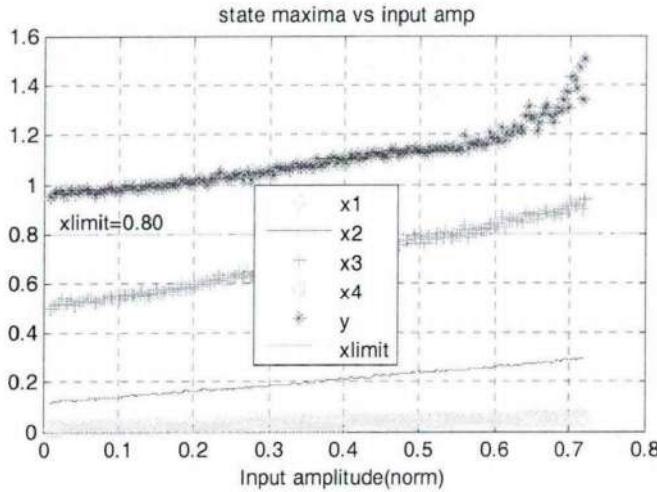


图 2-37 调制前参数对应的各级积分器输出峰值

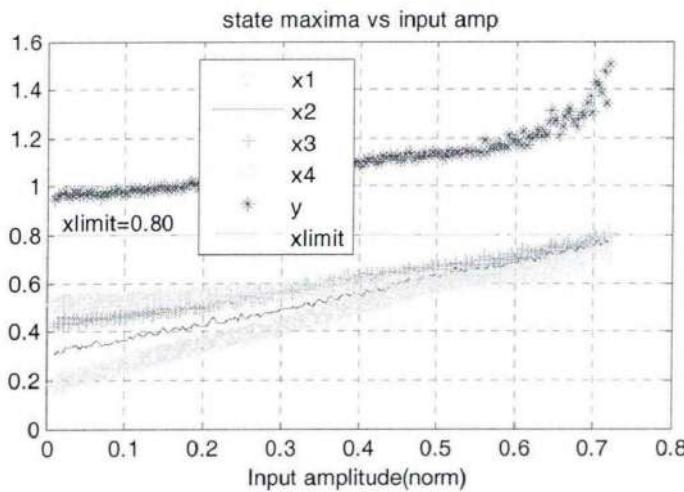


图 2-38 调制后参数对应的各级积分器输出峰值

由前文分析可知， $y_{\max} = 1/k_{\min}$ ，参数调整算法中设定  $y_{\max} = 1.6$ 。图 2-37 中由于  $c_i = 1$ ，故  $x_4 = y$ 。图 2-38 为真实情况下电路各结点电平随输入的变化关系。可见经过参数调整后，体现了真实电路的工作情况。

调整后参数得到的各积分器输出端电平都在设定值（0.8）之下，而优化后的归一化参数得到的积分器输出则会引起输出放大电路的过饱和或者说电路无法正常工作，从图 2-37 可见，最后一个积分器的输出  $x_4$  的归一化值在输入幅度大于 0.2 后就大于 1，即表示该积分器必须输出比（DAC 参考电压）电源电压更

<sup>7</sup> Simulink 仿真结果在各结点的输出图形也验证这一结果的正确性。

大的电压。

为保持稳定，量化器输入端上限电平为 1.6，得到信号输入端电平  $u_{max} = 0.72$ 。换句话说，如果输入信号电平大于该数值，电路将处于不稳定状态，图 2-39 给出了  $u > u_{max}$  时各结点的值，可以很直观的看到不稳定状态下电路各结点的情况。

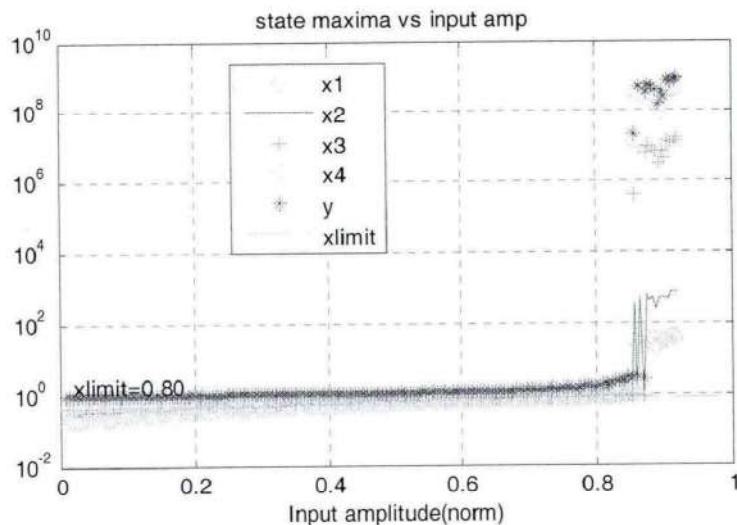
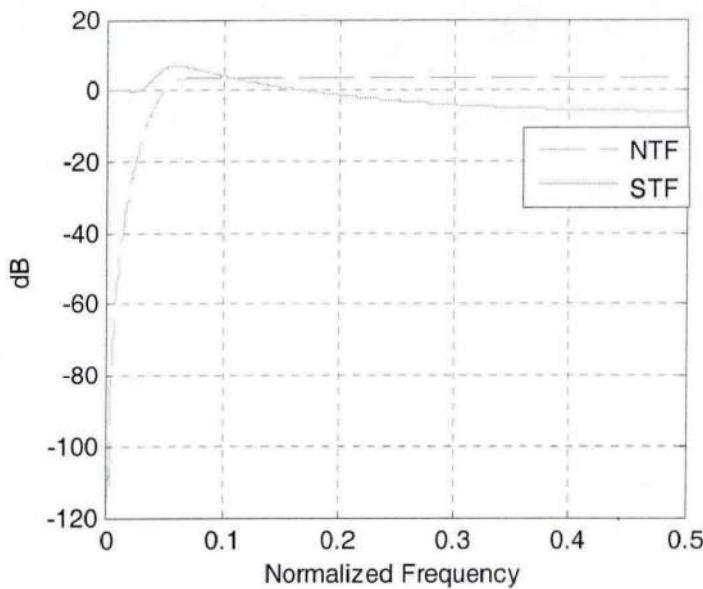
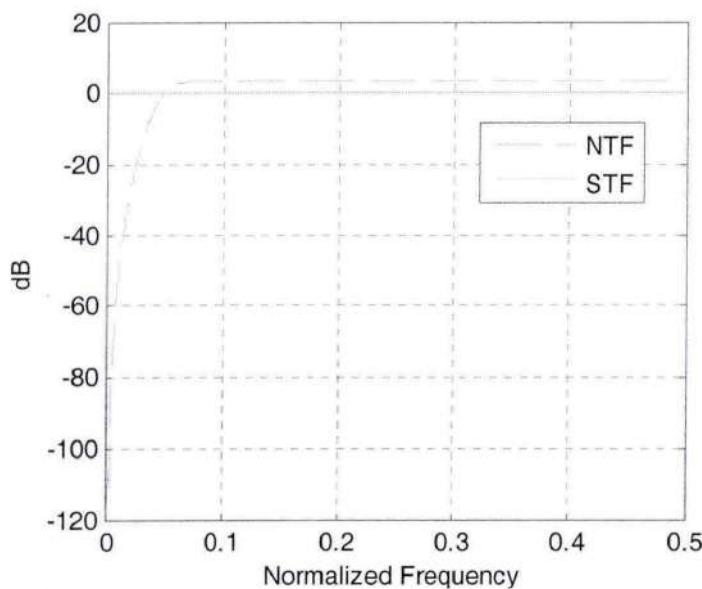


图 2-39 非稳定情况下各级积分器输出值

从图 2-39 可见，当输入大于稳定输入范围时，最后一级积分器输出以及量化器输入电平可达  $10^9$ ，这表示电路进入了一种低频振荡过程。

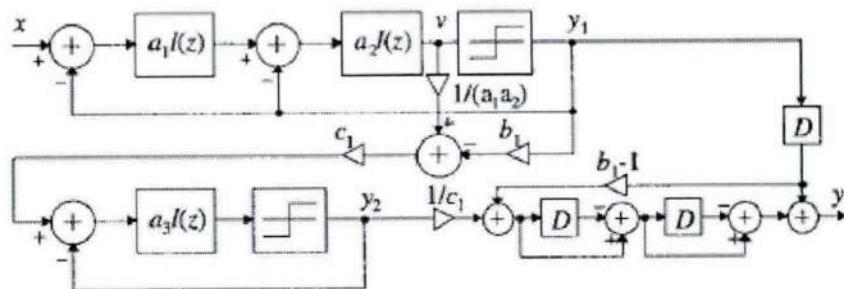
从下文物理电路实现的角度可以看到，使用 CIFB 结构时，参数  $b_1$  过小将造成第一级积分器电容值过大，实现上存在困难。通常有两种方法解决该问题：a) 增加过采样率，此时可以降低调制器的阶数， $b_1$  参数值将随着阶数的下降而增加；b) 改用 CIFF 结构。此时  $b_4$  将不为 0，否则将造成 STF 糟糕的传输性能，如图 2-40 所示，使用 CIFF 调制结构且  $b_4 = 0$  时的 NTF 以及 STF 性能曲线。 $b_4 = 1$  时的曲线如图 2-41 所示，此时 STF 通频带内均为单位增益。

图 2-40 CIFF 结构 STF 传递特性 ( $b_4 = 0$ )图 2-41 CIFF 结构 STF 传递特性 ( $b_4 = 1$ )

基于实际应用的需要，信号频带范围为 2KHz，输出比特流速率必须为 512kbps，故只能通过改变调制结构来降低第一级积分器的电容值。这在下文中将有具体分析。

## 2.4 高阶 $\Sigma\Delta$ 调制 MASH 结构

多于 2 阶的  $\Sigma\Delta$  单环调制结构存在稳定性问题，且尚无精确的理论能够非常准确的给出系统稳定性的表达式和稳定输入范围。通过需要在完成传输函数和结构设计后，辅以大量的仿真确定系统稳定性能和稳定输入范围。稳定性问题一直是困扰单环高阶  $\Sigma\Delta$  调制器设计的主要因素。1 阶，2 阶  $\Sigma\Delta$  调制器都是稳定的，可以达到满幅度输入（虽然 2 阶结构输入幅度建议在 0.7~0.8 左右[3]）。基于这样的原因，人们[9][10]提出了多级级联的方式设计高阶  $\Sigma\Delta$  调制器，这就是通常所说的 MASH (Multi-stage noise Shaping) 结构。在 MASH 结构中，由多级串联而成组成高阶调制，而每一级的单环阶数通常为 1 阶或 2 阶（也有采用 3 阶）。如图 2-42 所示为一个级联 3 阶  $\Sigma\Delta$  调制器结构[26]。

图 2-42 2-1 级联  $\Sigma-\Delta$  调制器框图

MASH 结构提出所依据的基本原理是：每级结构都是稳定的 1 阶或 2 阶  $\Sigma\Delta$  结构，故每级的稳定性都可以得到保证，从而整个系统也是稳定的[32][35][36]；其次各级之间只进行噪声的传递，即上一级的量化噪声作为下一级的输入，各级输出最后通过一个运算关系消除前面几级的噪声，只有最后一级的噪声传递到输出端(图 2-43)。

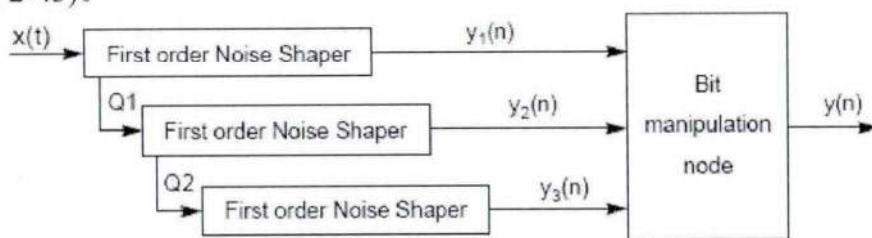


图 2-43 由三个 1 阶单环结构构成的 3 阶调制器结构框图

我们以图 2-42 为例计算理想情况下输出端  $y$  表达式。

第一级量化器输出：

$$y_1 = \frac{a_1 a_2 k_1 z^{-2} x + (1 - z^{-1})^2 e_1}{D(z)} \quad (4.1)$$

其中  $k_1$  为第一级量化器增益,  $D(z) = 1 + (a_2 k_1 - 2)z^{-1} + (a_1 a_2 k_1 - a_2 k_1 + 1)z^{-2}$ 。

第二级量化器输出:

$$y_2 = \frac{a_3 k_2 z^{-1} x_2 + (1 - z^{-1}) e_2}{1 - (1 - a_3 k_2) z^{-1}} \quad (4.2)$$

$$x_2 = \frac{y_1 - e_1}{a_1 a_2 k_1} - b_1 y_1 \quad (4.3)$$

输出端:

$$y = z^{-1} y_1 + (1 - z^{-1})^2 \left[ \frac{y_2}{c_1} + z^{-1} (b_1 - 1) y_1 \right] = h_1 y_1 + h_2 y_2 \quad (4.4)$$

$$\text{其中 } h_1 = z^{-1} [1 + (b_1 - 1)(1 - z^{-1})^2], \quad h_2 = \frac{(1 - z^{-1})^2}{c_1}.$$

如令  $a_1 a_2 k_1 = 1$ ,  $a_2 k_1 = 2$ ,  $a_3 k_2 = 1$ , 则可以得到如图 2-42 所示的级联 3 阶  $\Sigma\Delta$  调制结构的传输函数:

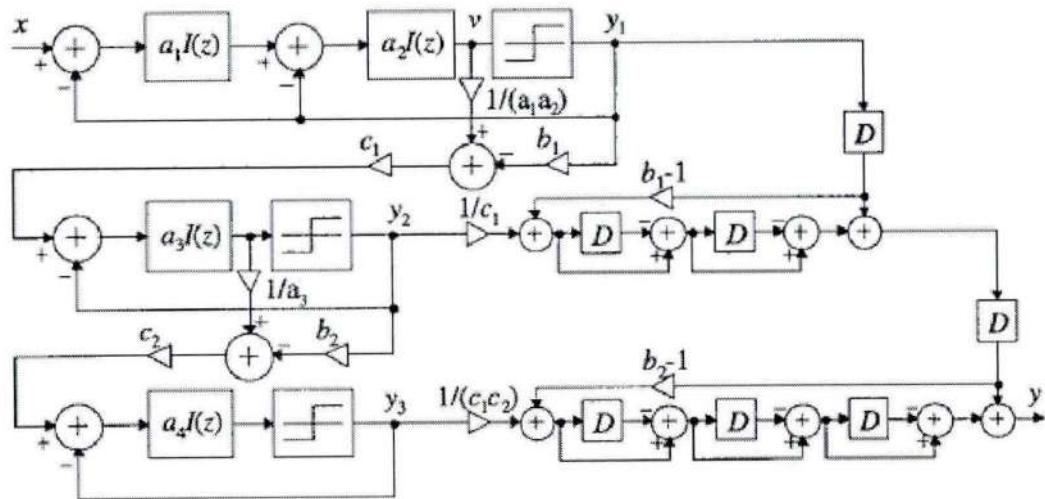
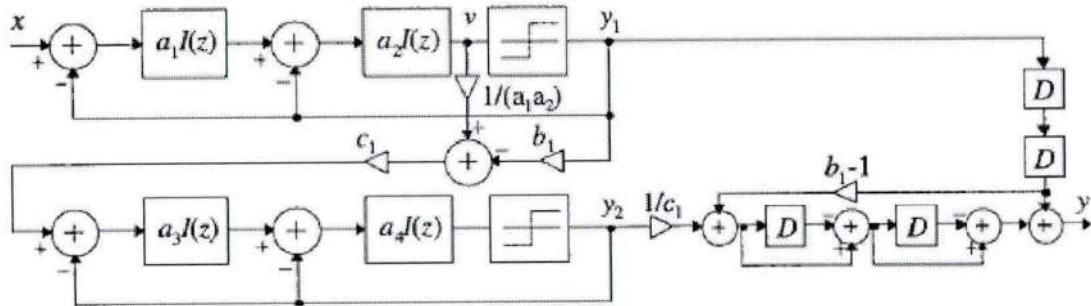
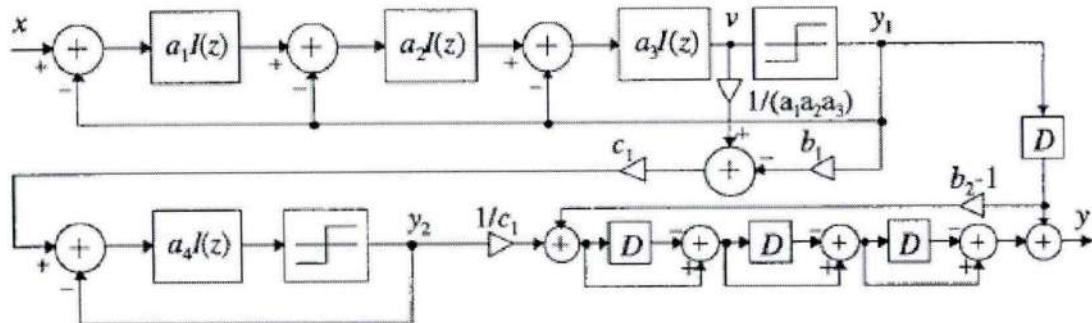
$$Y(z) = z^{-3} X(z) + \frac{(1 - z^{-1})^3}{c_1} E_2(z) \quad (4.5)$$

即信号经过结构仅作简单的延迟, 而对噪声进行了调制, 即高通滤波。 $STF(z) = (1 - z^{-1})^3 / c_1$  的形式类似于前文中所述的  $STF(z) = (1 - z^{-1})^N$  调制类型, 通过对每级结构(至少 2 阶)进行前馈, 反馈, 谐振操作, 可以得到更为灵活的传递函数形式。

从以上推导过程可见, 多级级联结构的关键在于通过最终的运算将前面几级的噪声抵消掉, 从而只有最后一级噪声输出, 达到高阶调制的目的。从理论上是完美的, 即消除了稳定性问题, 同时达到了高阶调制的需求, 但是从实际实现的角度而言, 由各种参数失配造成的电路不匹配将引起前面几级的噪声根本无法通过最后运算进行消除, 从而泄漏到输出端, 噪声信噪比的严重损失, 这是 MASH 结构最大的问题所在, 即 MASH 结构对参数敏感性较大, 对布局和版图设计提出了较高的要求, 且受电路的非线性因素影响大, 在这一点远远不如单环结构。

图 2-42 给出了一个 MASH 结构 3 阶调制, 第一级为 2 阶, 第二级为 1 阶, 我们称之为 2-1 级联结构。由于 1 阶结构对非线性因素更加敏感, 由 Idle Tones 以及 Dead Zone 造成的噪声泄露更为严重[26], 通常不作为第一级输入端。图 2-44, 2-45, 2-46 给出了 4 阶 MASH 结构不同的组合方式, 相应的输出表达

式推导同上，此处不再论述。[26]中给出了图 2-44 到图 2-46 结构中最优参数组合，可以用作设计 MASH 结构  $\Sigma\Delta$  调制器的参考。

图 2-44 2-1-1 级联  $\Sigma\Delta$  调制器结构框图图 2-45 2-2 级联  $\Sigma\Delta$  调制器结构框图图 2-46 3-1 级联  $\Sigma\Delta$  调制器结构框图

MASH 结构的系统稳定性能高的一个特出优点是具有较宽的稳定输入范围，这在低电压工作的场合十分有用。[37]中提出了降低 MASH 结构对非线性敏感度

的几种技术; [38]设计了一个两级 4 阶 MASH 结构调制器, 每级由 2 阶  $\Sigma\Delta$  调制结构组成, 其中采用了前馈和反馈; [39]中对各种 MASH 结构进行了比较; [40]给出了一个 8 阶, OSR=3, multi-bit 调制结构, PSNR 达到 60dB; [41]提出了相对传统结构具有更小面积, 更小功耗, 低失真的 MASH 结构, 其中给出的 MASH 2-0 结构 SQNR 可达 101dB。

## 2.5 参考文献

- [1] H.Inose, Y.Yasuda and J.Murakami, "A telemetering system by code modulation -  $\Delta\Sigma$  modulation," IRE Trans. Space Electron. Telemetry, vol.8, pp.204-209, Sep. 1962.
- [2] G.R.Ritchie, J.C.Candy and W.H.Ninke, "Interpolative digital to analog converters," IEEE Transactions on Communications, vol.22, pp.1797-1806, Nov. 1974.
- [3] S.R.Norsworthy, R.Schreier and G.C.Temes, "Delta-Sigma Data Converters: Theory, Design and Implementation," IEEE Press, 1997.
- [4] J.C.Candy, "A use of limit cycle oscillations to obtain robust analog-to-digital converters," IEEE Transactions on Communications, vol.22, no.3, pp.298-305, Mar. 1974.
- [5] J.C.Candy, B.A.Wooley and O.J.Benjamin, "A voiceband codec with digital filtering," IEEE Transactions on Communications, vol.29, no.6, pp.815-830, Jun. 1981.
- [6] J.C.Candy and O.J.Benjamin, "The structure of quantization noise from sigma-delta modulation," IEEE Transactions on Communications, vol.29, no.9, pp.1316-1323, Sep. 1981.
- [7] J.C.Candy, "A use of double integration in sigma-delta modulations," IEEE Transactions on Communications, vol.33, no.3, pp.249-258, Mar. 1985.
- [8] J.C.Candy, "Decimation for sigma-delta modulations," IEEE Transactions on Communications, vol.34, no.1, pp.72-76, Jan. 1986.
- [9] J.C.Candy and A.Huynh, "Double Interpolation for digital-to-analog conversion," IEEE Transactions on Communications, vol.34, no.1, pp.77-81, Jan. 1986.
- [10] T.Hayashi, Y.Inabe, K.Uchimura and A.Iwata, "A multistage delta-sigma modulator without double integration loop," ISSCC Digest of Technical Papers, pp. 182-183, Feb. 1986.
- [11] L.E.Larson, T.Cataltepe and G.C.Temes, "Multi-bit over-sampled  $\Sigma\Delta$  A/D converter with digital error correction," Electronics Letters, vol.24, pp.1051-1052, Aug. 1988.
- [12] T.H.Pearce and A.C.Baker, "Analogue to digital conversion requirements for HF radio receivers," Proceedings of the IEE Colloquium on system aspects and applications of ADCs for radar, sonar and communications, London, Nov. 1987, Digest No1987/92.
- [13] P.H.Gailus, W.J.Turney and F.R.Yester, "Method and arrangement for a sigma delta converter for bandpass signals," US Patent number 4857928, Aug. 1989.
- [14] R.Schreier and W.M.Snelgrove, "Bandpass sigma-delta modulation," Electronics Letters, vol.25, no.23, pp.1560-1561, Nov. 1989.
- [15] X.Wang, U.Moon, M.Liu and G.C.Temes, "Digital correlation technique for the estimation and correction of DAC errors in multibit MASH  $\Sigma\Delta$  ADCs," 2002 IEEE International Symposium on Circuits and Systems, vol.4, pp.691-694, May. 2002.
- [16] Zhimin Li and T.S.Fiez, "A 14 Bit Continuous-Time Delta-Sigma A/D Modulator With 2.5 MHz Signal Bandwidth," IEEE Journal of Solid-State Circuits, vol.42, no.9, pp. 1873-1883, Sep. 2007.
- [17] Xiaran Gao, "A Survey on Continuous-Time  $\Sigma\Delta$  Modulators – Theory, Design and Implementation," Master Thesis, Oregon State University, Jun. 2008.
- [18] Libin Yao, Michiel Steyaert and Willy Sansen, "Low-Power Low-Voltage Sigma-Delta Modulators in Nanometer CMOS," Published by Springer, Netherlands, 2006.
- [19] J.C.Candy and O.J.Benjamin, "The Structure of Quantization Noise from Sigma-Delta

- Modulation," IEEE Transactions on Communications, vol. com-29, no.9, pp. 1316-1323, Sep. 1981.
- [20] B.E.Boser and B.A.Wooley, "The Design of Sigma-Delta Modulation Analog-to-Digital Converters," ISSC, vol.23, no.6, pp.1298-1307, Dec. 1988.
- [21] J.Silva, U.Moon, J.Steensgaard and G.C.Temes, "Wideband low-distortion delta-sigma ADC topology," Electronics Letters, vol.37, no.12, pp.737-738, Jun. 2001.
- [22] J.Steensgaard, "High Performance data converters," Ph.D Thesis, Technical University Denmark, Department of Information Technology, Mar. 1999.
- [23] T.Ritoniemi, T.Karema and H.Tenhunen, "Design of Stable High Order 1-Bit Sigma-Delta Modulators", Circuits and Systems, IEEE International Symposium. Vol.4, pp. 3267-3270, May. 1990.
- [24] K.C.H.Chao, S.Nadeem, W.L.Lee and C.G.Sodini, "A Higher Order Topology for interpolative Modulators for Oversampling A/D Converters," IEEE Transanctions on Circuits and Systems, vol.37, no.3, pp. 309-318, Mar. 1990.
- [25] B.P.Brandt, D.W.Wingrad, B.A.Wooley, "Second-order Sigma-Delta Modulation for Digital-Audio Signal Acquisition," ISSC, vol.26, no.4, pp.618-625, April. 1991.
- [26] A.Marques, V.Peluso, M.S.Steyaert,W.M.Sansen, "Optimal Parameters for  $\Delta\Sigma$  Modulator Topologies," IEEE Transanctions on Circuits and Systems-II: Analog and Digital Processing, vol.45, no.9, pp.1232-1241, Sep. 1998.
- [27] S.R.Norsworthy, "Effective dithering of sigma-delta modulators," IEEE International Symposium on Circuits and Systems, vol.3, pp.1304-1307, May 1992.
- [28] R.T.Baird and T.S.Fiez, "Stability Analysis of High-Order Delta-Sigma Modulation for ADC's," IEEE Transanctions on Circuits ans Systems-II: Analog and Digital Signal Processing, vol.41, no.1, Jan. 1994.
- [29] R.Schreier, "The Delta Sigma Toolbox Version 7.3," Jul. 2009.
- [30] T.Ritoniemi, T.Karema and H.Tenhunen, "A Fifth order Sigma Delta Modulator for Audio A/D Converter," International Conference on Analogue to Digital and Digital to Analogue Conversion, pp.153-158, 1991.
- [31] D.B.kasha, W.L.Lee and A.Thomsen, "A 16-mW, 120dB Linear Switched-Capacitor Delta-Sigma Modulator with Dynamic Biasing," ISSC, vol.34, no.7, pp.921-926, Jul. 1999.
- [32] D.B.Ribner, "A Comparison of Modulator Networks for High-Order Oversampled  $\Sigma\Delta$  Analog-to-Digital Converters," IEEE Transanctions on Circuits and Systems, vol.38, no.2, pp.145-156, Feb. 1991.
- [33] R.Schreier, "An Empirical Study of High-Order Single-Bit Delta-Sigma Modulators," IEEE Transanctions on Circuits and Systems-II: Analog and Digital Signal Processing, vol.40, no.8, pp.461-466, Aug. 1993.
- [34] H.Tang and A.Doboli, "High-Level Synthesis of  $\Delta\Sigma$  Modulator Topologies Optimized for Complexity,Sensitivity, and Power Consumption," IEEE Transactions on Computer-Aided Design of Intergrated Circuits and Systems, vol.25, no.3, pp.597-607, Mar. 2006.
- [35] Y.Matsuya, K.Uchimura, A.Iwata,T.Kobayashi, M.Ishikawa and T.Yoshitome, "A 16-bit Oversampling A-to-D Conversion Technology Using Triple-Integration Noise Shaping," ISSC, vol.sc-22, no.6, pp.921-928, Dec.1987.
- [36] S.Park, "Principles of Sigma-Delta Modulation for Analog-to-Digital Converters," Motorola.
- [37] M.Yavari, "MASH sigma-delta modulators with Reduced Sensitivity to the Circuit

- Non-Idealities,” IEEE International Symposium on Circuits and Systems, pp.3126-3129, May.2009.
- [38] J.S.Chiang, H.L.Chen and P.C.Chou, “A 2.5-V 14-bit MASH Sigma-Delta Modulator for ADSL,” IEEE Asia-Pacific Conference on Advanced System Integrated Circuits, pp.24-27, Aug. 2004.
- [39] X.Tao and M.Condon, “Comparative study of the MASH digital delta-sigma modulators,” Research in Microelectronics and Electronics, pp.196-199, Jul. 2009.
- [40] T.C.Caldwell and D.A.Johns, “An 8-th order MASH delta-sigma with an OSR of 3,” ESSCIRC, pp.476-479, Sep. 2009.
- [41] J.Silva, U.K.Moon and G.C.Temes, “Low-distortion delta-sigma topologies for MASH architectures,” International Symposium on Proceedings of the Circuits and Systems, vol.1, pp.I-1144-1147, May. 2004.
- [42] S.A.Jantzi. et al, “A Fourth-Order Bandpass Sigma-Delta Modulator”, IEEE J. of Solid-State Circuits, vol.28, pp.282-291, Mar. 1993.

## 第3章 电路原理图, 非线性, 模型提取及仿真

在前一章中, 通过几种方法的比较, 得到了一个性能最优的噪声传递函数(NTF), 将其转换为 CIFB 结构, 并通过数值迭代算法得到最优化参数值, 进而通过对实际电路输入输出的考虑, 对这些最优化参数进行了调整, 得到如表 3-1 所示的参数值。对应的 CIFB 结构如图 3-1 所示。

表 3-1 CIFB 结构调整后参数

$i$	$a_i$	$g_i$	$b_i$	$c_i$
1	0.1053	0.0001	0.1053	0.1723
2	0.1860	0.0002	-	0.3164
3	0.2750	-	-	0.6313
4	0.4457	-	-	1.8386

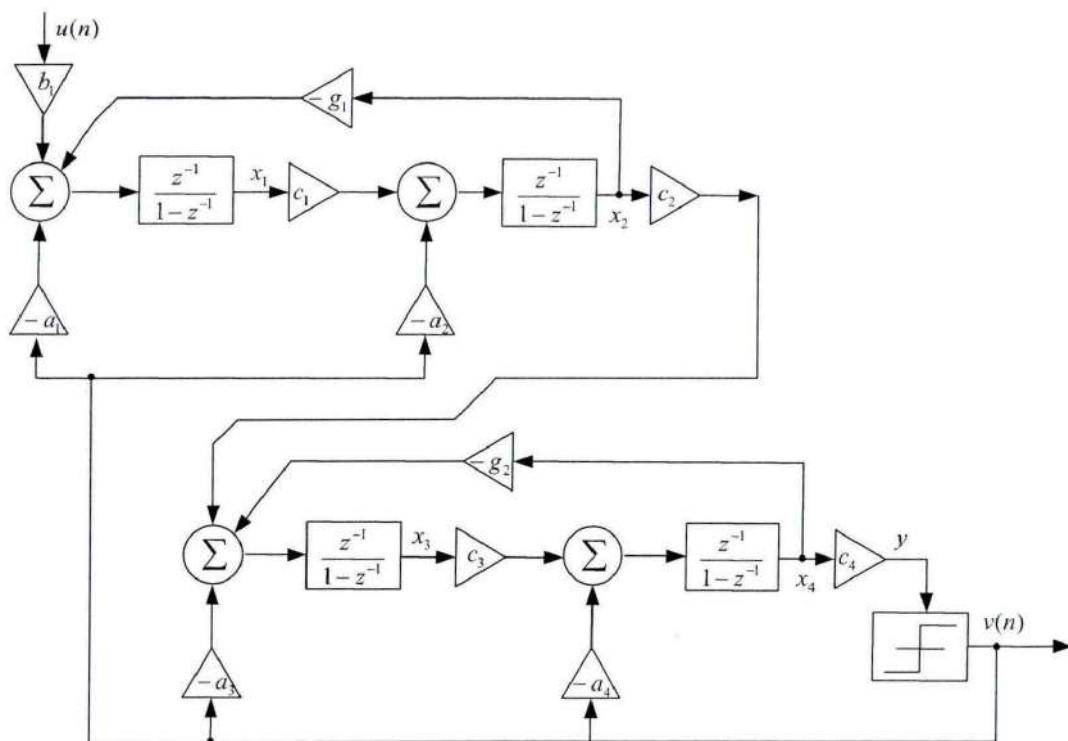


图 3-1 CIFB 结构框图

本章主要介绍如下两个方面的内容: a) 完成图 3-1 所示参数值到电路级参数值的转换, 并给出电路级原理图; b) 考虑电路各种非线性因素对性能指标的影响, 给出仿真模型, 结合仿真结果对物理电路实现提出要求。

本章最后利用噪声系数的概念得出了在多阶 $\Sigma\Delta$ 调制器中, 第1阶对整个调制器性能起着决定性影响, 这表明在 $\Sigma\Delta$ 调制器的设计和实现中, 可以有意的加强第1阶结构中的某些单元的指标要求, 同时降低后面几阶结构中设计的指标要求, 在不影响整个调制器的性能指标的情况下, 可以大大降低整个调制器设计以及版图实现上的复杂度。

### 3.1 行为级原理图获取

$\Sigma\Delta$ 调制结构中最基本的单元是积分器。积分器由积分电容和运算放大器构成, 如图3-2所示, 其等效框图如图3-3所示。

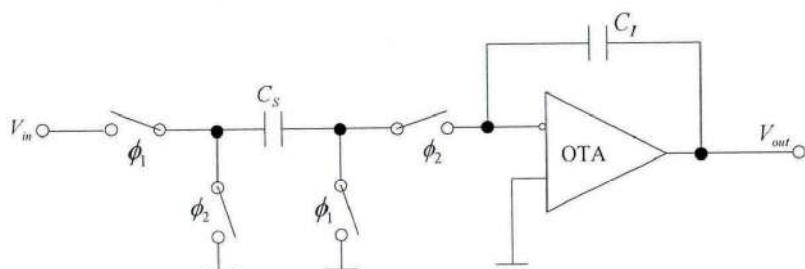


图3-2 典型积分器结构框图

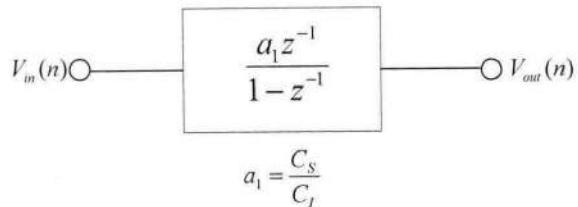


图3-3 典型积分器等效框图

在 $\phi_1$ 闭合器件,  $V_m$ 输入对电容 $C_s$ 进行充电, 从而对输入信号进行采样。假设运算放大器是理想的, 则在 $\phi_2$ 闭合时, 积累在 $C_s$ 上电荷将全部转移到 $C_I$ 上获得输出。根据电荷守恒, 有 $V_m C_s = V_{out} C_I \Rightarrow V_{out} / V_m = C_s / C_I = a_1$ 称为积分增益。这样一个积分单元在Z域表达式即为 $a_1 z^{-1} / (1 - z^{-1})$ 。

DAC输出变化范围必须不小于信号输入变化范围, 从而保证反馈信号可以跟上输入信号的变化。如二进制DAC输出信号电平为0, -2.5V, 其变化范围为[-2.5,2.5]。此时输入信号范围必须是[-2.5,2.5]的子集, 或者说输入信号范围为[-2.5,2.5]。

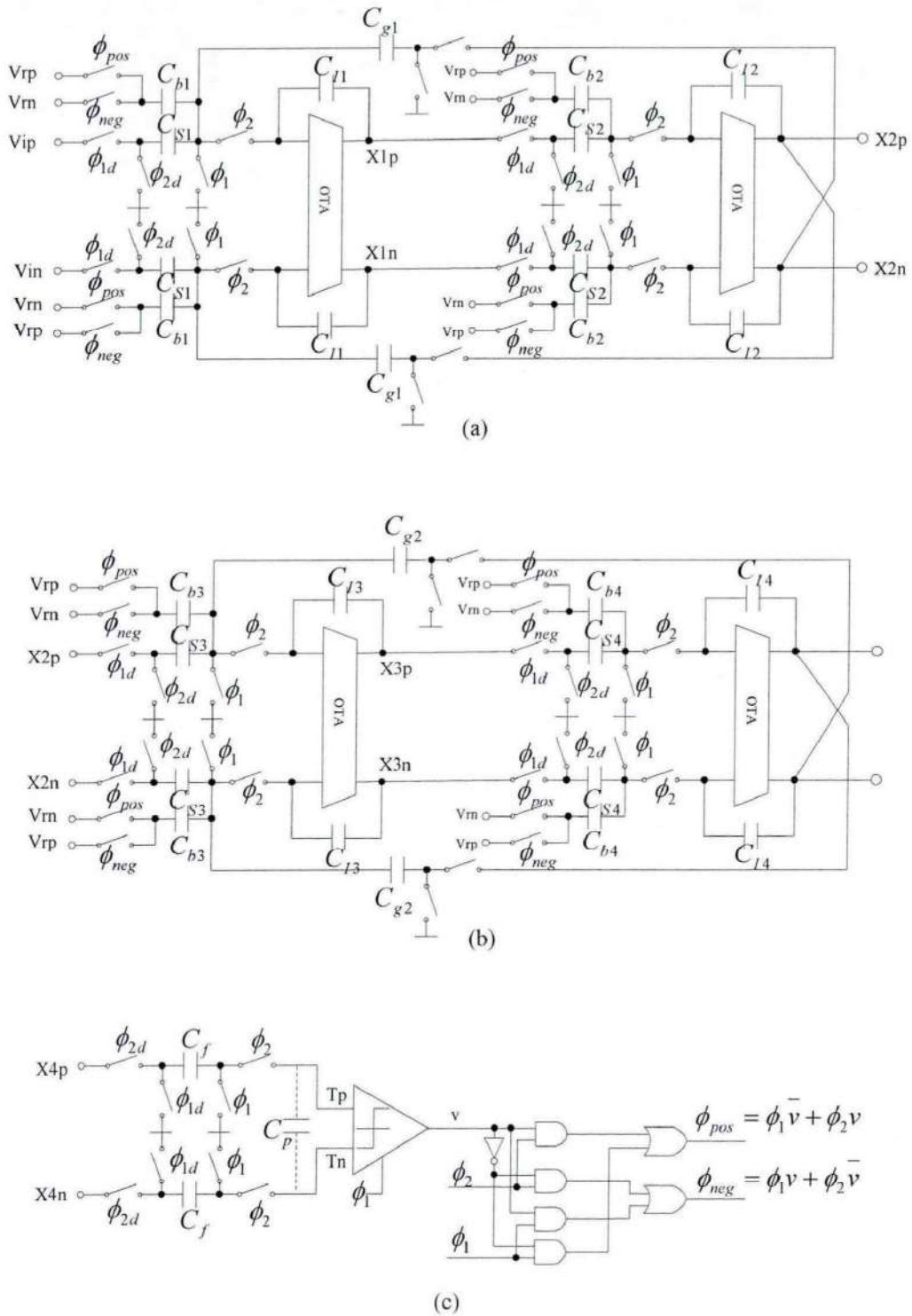


图 3-4 单环 4 阶 (SDM) CIFB 结构行为级原理图

由[4], 信号输入端采样电容噪声为  $\sqrt{8kT/C_{1s}}$ , 不考虑第一级 OTA 输入噪声, 则可得 SNR 表达式如下:

$$SNR = \frac{V_p^2 / 2}{8kT / C_{ls}} OSR$$

考虑  $SNR=110dB$  (适度降低了 SNR 的要求, 否则计算得到的电容值在实际版图设计中将变得不可实现),  $OSR=128$ ,  $V_p = 1.65V$ , 从而约可得  $C_{s1} = 4.14 pF$ 。

表 3-2 SDM 中电容系数

Coefficient	Value	Approximation	Capacitor ratio
b1	0.1053	1/10=0.1	$C_{s1}/C_{i1}$
a1	0.1053	1/10=0.1	$C_{b1}/C_{i1}$
g1	0.0001	0	$C_{g1}/C_{i1}$
c1	0.1723	1/5=0.2	$C_{s2}/C_{i2}$
a2	0.1860	1/5=0.2	$C_{b2}/C_{i2}$
c2	0.3164	3/10=0.3	$C_{s3}/C_{i3}$
a3	0.2750	3/10=0.3	$C_{b3}/C_{i3}$
g2	0.0002	0	$C_{g2}/C_{i3}$
c3	0.6313	13/20=0.65	$C_{s4}/C_{i4}$
a4	0.4457	9/20=0.45	$C_{b4}/C_{i4}$
c4	1.8386	2/1=2	$C_f/C_p$

基于实现的角度, 对参数进行近似的过程中,  $g_1$ ,  $g_2$  均被置为 0, 即此时所有的零点集中在  $z=1$  点上, 这将造成性能的一定损失, 调制器滤波器类型从 Inverse-Chebyshev 型退化为 Butterworth 型。这从实际实现的角度考虑是必要的, 从如上计算得到  $C_{s1} = 4.14 pF$ , 按照  $g_1 = 0.0001$ , 得到  $C_{g1} = 41.4 nF$ 。如此大的数值将对版图设计造成很大的麻烦, 基本是不可实现的, 且由此电容造成的其他寄生效应将极大的影响系统性能, 故从实现角度去掉该电容比留下该电容更为合理。

从以上计算可得, 第一级采样电容值为  $4.14 pF$ , 为了留有一定的噪声余量, 采样电容值设置为  $5 pF$ 。由表 3-2 所示的比例关系, 可得其他各电容数值, 如表 3-3 所示。

表 3-3 SDM 中电容值

i	$C_{li}$	$C_{gi}$	$C_{bi}$	$C_{si}$	$C_f$
1	50 pF	0	5 pF	5 pF	0.2 pF
2	5 pF	0	1 pF	1 pF	
3	10 pF	-	3 pF	3 pF	
4	20 pF	-	9 pF	13 pF	

采用表3-2中参数, 对得到的CIFB结构进行调整, 此时两条反馈回路被去除, 其他参数值也进行了近似处理。采用这些新的参数值对系统性能进行仿真, 确定SNR损失程度。调整后CIFB结构如图3-5所示。

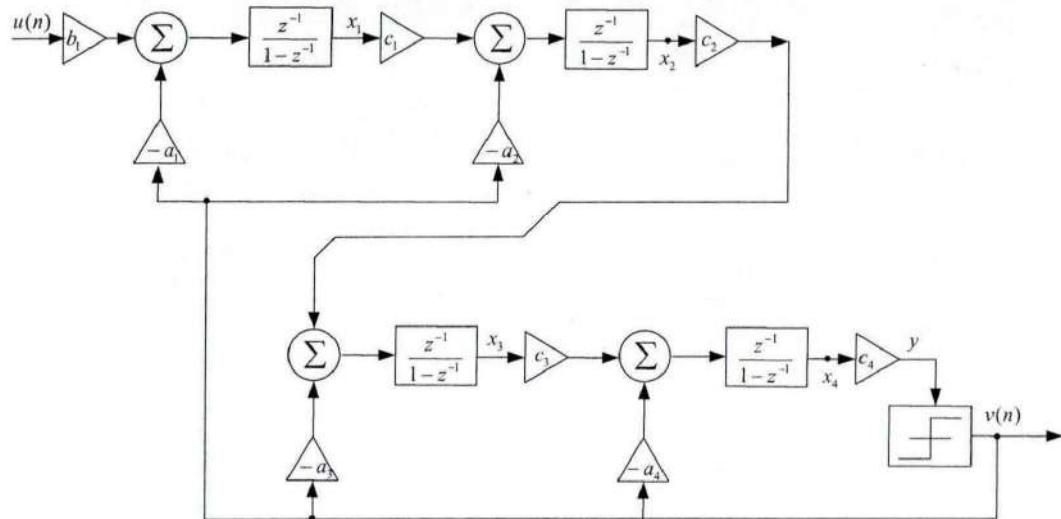


图3-5 SDM(Sigma-Delta Modulator)调制后结构框图

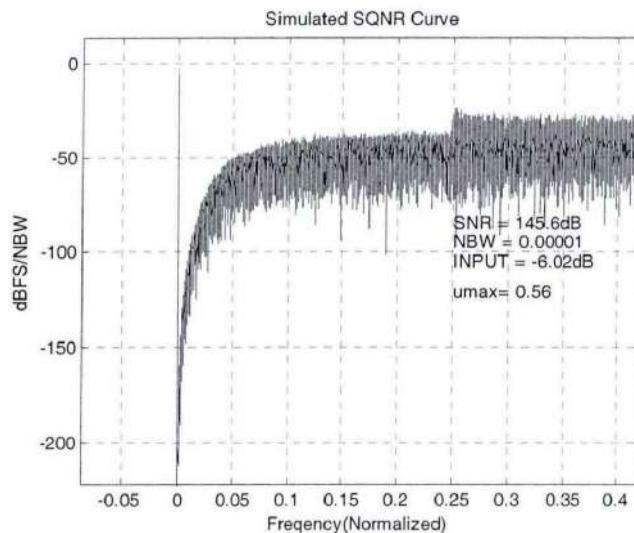


图3-6 SDM 调整后 SNR 仿真曲线

使用表3-3中调整后参数仿真得到的SNR=145.6dB(图3-6), 相比较原来的参数值得到的SNR(157.7dB), 损失了12dB, 这主要是调整后参数值对应的NTF零点又重新回到z=1, 调制器滤波器类型从Inverse-Chebyshev型退化到Butterworth型, 造成SNR性能的损失, 这种损失是以便于实现的角度考虑的。

图3-7所示为Simulink中仿真得到的各积分器输出端电平幅度, 图中x1,

$x_2, x_3, x_4$  对应图 3-5 中各节点。由图 3-7 可见, 差分单端输入电平幅度  $V_{pp} = 1.65V$  时, 各节点输出电平幅度合理, 不会造成过载从而引起稳定性问题。

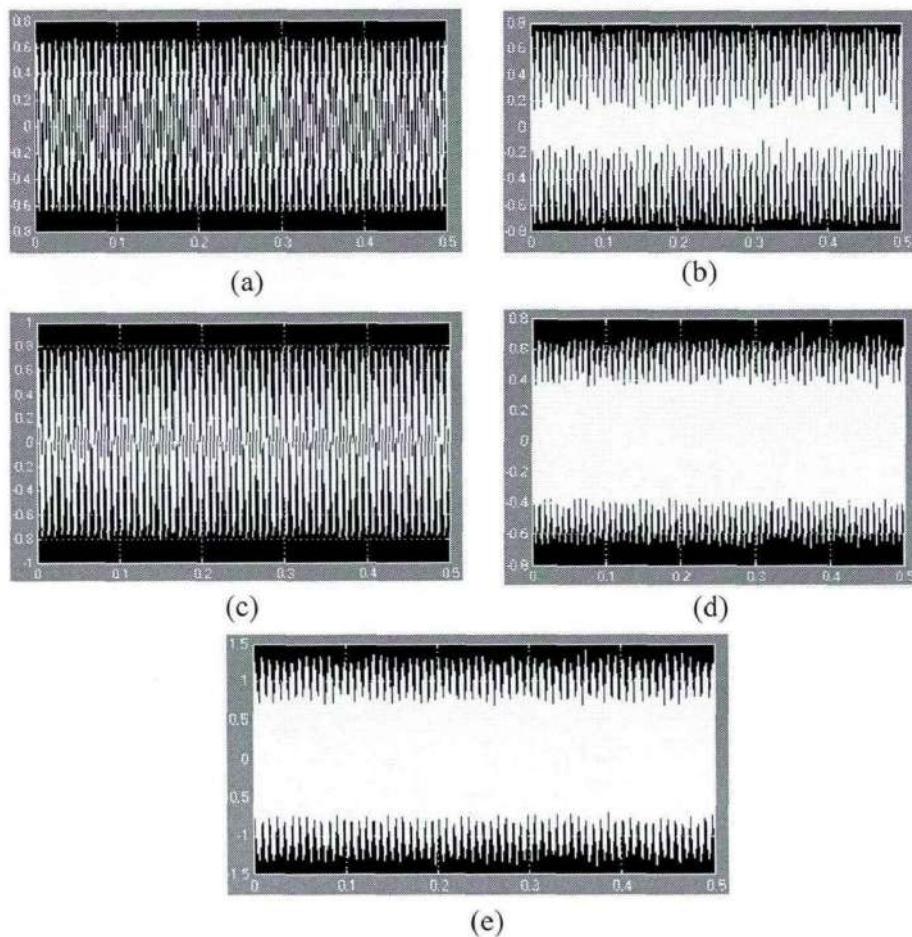


图 3-7 各级积分器输出幅度: (a) $x_1$ , (b) $x_2$ , (c) $x_3$ , (d) $x_4$ , (e) $y$

事实上, 从下文的分析看, 系统的 SNR 性能还将进一步的损失, 其原因是系统存在的各种非线性和非理想因素, 如采样电容噪声, 运算放大器增益有限等, 这些因素的影响在下文中将有详细的讨论, 通过仿真将确定系统实现中所需的小运放的增益。

综合表 3-3, 图 3-5, 给出最终版图实现中使用的基本原理图, 如图 3-8 所示。下一节将对图 3-8 所示电路中存在的各种非线性和非理想因素进行讨论, 阐述这些因素对系统 SNR 性能的影响, 并分析在保持一定系统性能的条件下, 设计运算放大器时必须保证的最小增益大小, 为电路的进一步细化做指导。

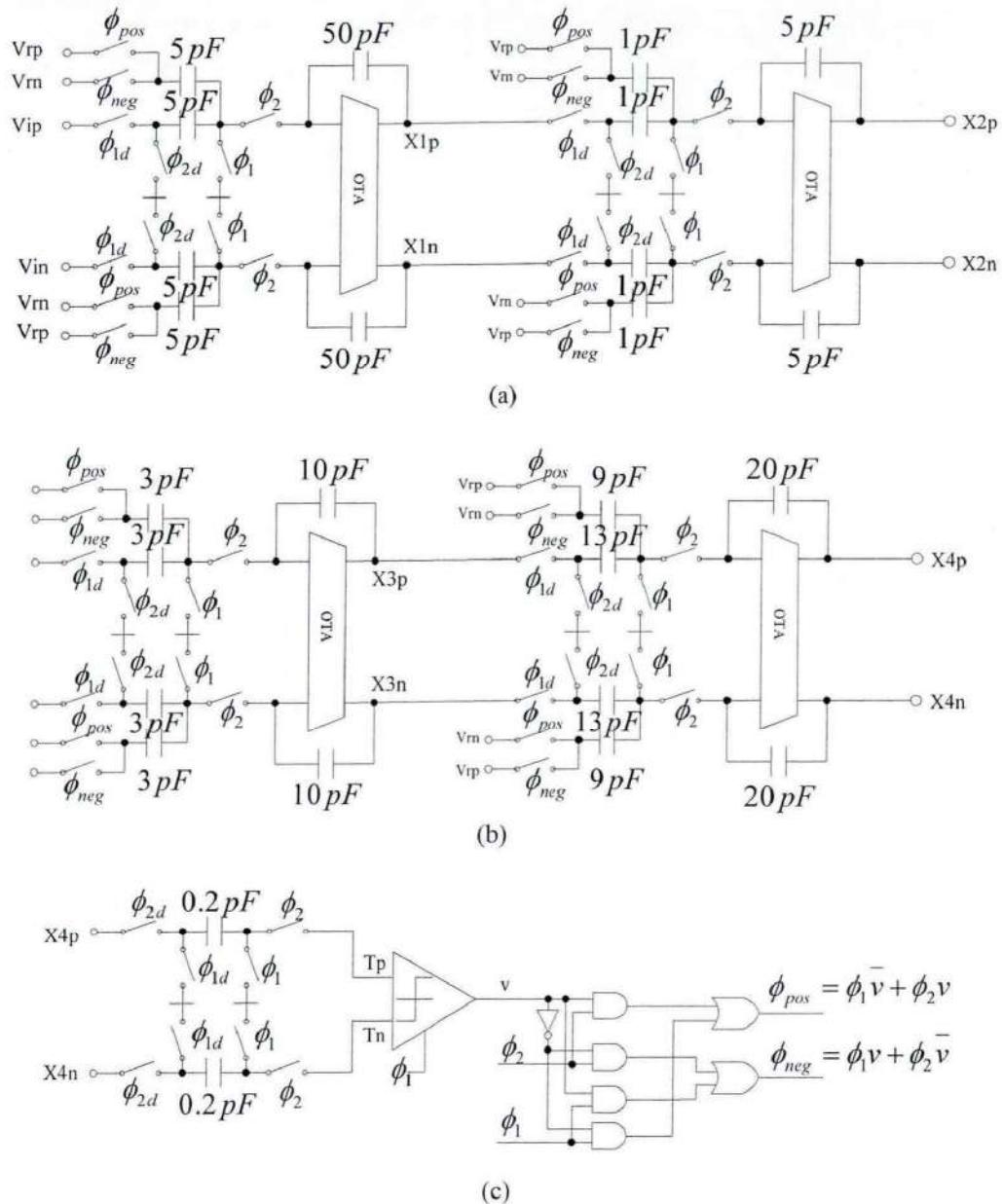


图 3-8 SDM 调整后行为级原理图

### 3.2 电路非线性, 非理想性分析和仿真

由图 3-8 给出的原理图存在各种非线性和非理想性因素, 这些因素将造成系统 SNR 的损失。主要存在如下类型电路非线性和非理想性:

1. 采样时钟抖动 (clock jitter)
2. 采样电容热噪声和运放噪声(SC thermal noise and OTA noise)
3. 运放非理想性和非线性

- A. 运放增益有限以及增益非线性(finite gain and gain nonlinearity)
  - B. 运放有限带宽和摆率(finite BW and slew rate)
  - C. 电路输出饱和(saturation)
4. 不匹配

### 3.2.1 采样时钟抖动

采样时钟抖动是由产生采样时钟的晶振不稳定性造成的。通常而言，各种晶振都存在一定的不稳定性，表示为晶振的精确度，单位通常为 ppm。普通晶振精确度为 10ppm 数量级。采样时钟抖动会造成采样间隔的不严格相等，这与调制器电路本身没有任何关系。采样间隔的不严格相同将等效的增加量化噪声，增加的噪声大小取决于时钟的精确度以及输入信号。令输入信号为  $V_{in}$ ，则由采样时钟抖动  $\delta$  造成的额外噪声可表示为：

$$V_{in}(t + \delta) - V_{in}(t) = \delta \frac{dV_{in}}{dt} \quad \delta \ll T_s$$

令时钟抖动  $\delta$  满足高斯分布，标准差为  $\tau$ ，则时钟抖动 Simulink 仿真模型可表示为图 3-9 所示形式。

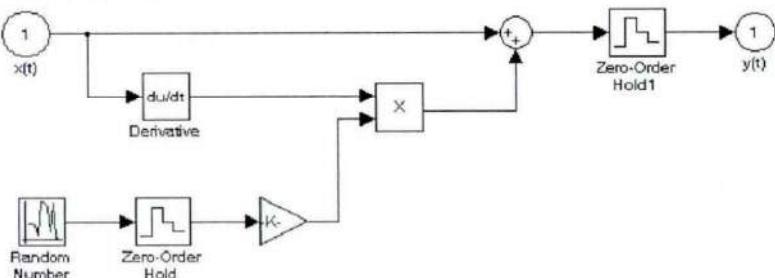


图 3-9 随机采样抖动模型

由[5]可知，时钟抖动引入的带内噪声可表示为：

$$S_{max} \approx \frac{\Delta^2}{8} \frac{(2\pi B \tau)^2}{OSR}$$

其中  $OSR$  为过采样率， $\Delta$  和  $B$  分布表示输入信号幅度和频率。从上式可以得到一个显然的结论：通过增加  $OSR$  或者降低输入信号带宽可以降低由时钟抖动引入的带内噪声功率。

### 3.2.2 采样电容热噪声和运放噪声

采样电容热噪声以及第一级运放热噪声和闪烁(flicker)噪声构成了设计高精度 Sigma-Delta ADC 的基本限制。后级运放的热噪声和闪烁噪声由于 Sigma-Delta 调制效应被大大压制, 可以不予考虑。

### 3.2.2.1 采样电容噪声

热噪声是由导体内电子随机运动造成的, 热噪声功率谱与绝对温度成正比。一个电阻  $R$  的热噪声可以用一个串联的电压源来模拟, 其单边功率谱密度为  $S_v(f) = 4kTR, f \geq 0$ 。令采样电容等效电阻为  $r$ , 则由采样电容引入的热噪声总功率可表示为[6]:

$$e_N^2 = \frac{kT}{C_s}$$

其中  $k$  为波尔兹曼常数,  $T$  为绝对温度,  $C_s$  为采样电容容值。

如图 3-8 所示差分输入电路采样电容热噪声为  $V_{TH} = 4kT/C_s$ 。四倍关系源于两个路径上  $\phi_1$  和  $\phi_2$  两个周期内都对采样电容热噪声进行了叠加。Simulink 中对采样电容热噪声的模型表示为将  $4kT/C_s$ , 直接叠加在输入信号上, 作为积分器的输入。图 3-10 所示为 Simulink 中采样电容热噪声的仿真模型。标准差为 1 的高斯随机过程  $n(t)$  乘以  $4kT/C_s$  得到采样电容热噪声, 直接叠加在输入信号上, 作为积分器的输入:

$$y(t) = x(t) + e_{TH}(t) = x(t) + \sqrt{\frac{4kT}{C_s}} n(t)$$

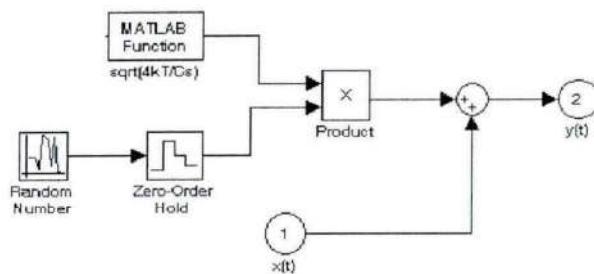


图 3-10  $kT/C$  噪声模型

### 3.2.2.2 运放噪声

运放噪声包括两个部分: 热噪声和闪烁噪声。热噪声由 CMOS 管电子热运动造成的。对于工作在饱和区的长沟道 MOS 器件的沟道噪声可以用一个连接在漏源两端的电流源来模拟[6]:

$$I_n^2 = 4kT\gamma g_m$$

其中  $k$ ,  $T$  分别表示波尔兹曼常数和绝对温度,  $\gamma$  是一个调整系数, 对于长沟道 MOS 管约为其数值约为  $2/3$ , 对于亚微米 MOS 管, 可能需要一个更大的数值, 如  $0.25\mu\text{m}$ MOS 器件中,  $\gamma$  取值为  $2.5$ .  $g_m$  为 MOS 管跨导。如果外部负载是一个理想的电流源, 即晶体管只有本身的输出阻抗作为负载, 得到最大输出噪声:

$$V_n^2 = I_n^2 r_o^2 = 4kT \left( \frac{2}{3} g_m \right) r_o^2$$

闪烁噪声是由 MOS 管的栅氧化层和硅衬底之间多余的“悬挂”键造成的。与热噪声不同, 闪烁噪声的平均功率不易预测。根据栅氧化层与硅衬底界面之间的“清洁度”, 闪烁噪声的取值可以有显著不同, 并且随着 CMOS 工艺的不同而改变。闪烁噪声可以用一个与栅极串联的电压源来模拟, 近似的由下式给出[6]:

$$\overline{V_n^2} = \frac{K}{C_{ox}WL} \frac{1}{f}$$

其中  $K$  是一个与工艺有关的常量, 数量级为  $10^{-25} V^2 F$ 。

由上式可见, 闪烁噪声谱密度与频率成反比。故闪烁噪声亦被称为  $1/f$  噪声。

综合上述, 运放噪声将是热噪声和闪烁噪声的叠加。这两种噪声可用两个电流源  $\overline{I_n^2} = 4kT(2/3)g_m$  和  $\overline{I_{n,1/f}^2} = Kg_m^2/(C_{ox}WLf)$  模拟运放输入 MOS 管的热噪声和闪烁噪声, 令负载阻抗为  $R_D$ , 则每单位带宽内的输出噪声电压为:

$$\overline{V_{n,out}^2} = (4kT \frac{2}{3} g_m + \frac{K}{C_{ox}WL} \frac{1}{f} g_m^2) R_D^2$$

将其等效到输入端, 可得运放每单位带宽内等效输入噪声为:

$$\overline{V_{n,in}^2} = \frac{\overline{V_{n,out}^2}}{A_v^2} = (4kT \frac{2}{3} g_m + \frac{K}{C_{ox}WL} \frac{1}{f} g_m^2) R_D^2 \frac{1}{g_m^2 R_D^2} = 4kT \frac{2}{3 g_m} + \frac{K}{C_{ox}WL} \frac{1}{f}$$

需要指出的是, 以上计算只是一个简单的演示, 其中输出电阻热噪声就没有包括在内, 仅仅计入了输入晶体管的噪声。对于运放等效输入的噪声数值需要通过晶体管级仿真进行评估。

对于运放噪声的模型提取可以采用与采样电容热噪声相同的方式, 令运放等效输入噪声为  $\overline{V_{n,tot}}$ , 则通过标准差为 1 的高斯随机过程  $n(t)$  乘以  $\overline{V_{n,tot}}$  得到运放噪声, 直接叠加在输入信号上, 如图 3-11 所示。

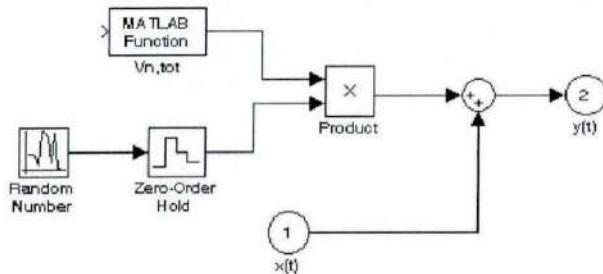


图 3-11 Op-Amp 噪声模型

$\overline{V_{n,tot}^2}$  可通过对  $\overline{V_{n,in}^2}$  在感兴趣频带内积分后开平方求得。在设计中, 基带范围为 1Hz~450Hz, 在这个频带内进行积分, 求得:

$$\overline{V_{n,tot}^2} = \int_{1}^{450} \overline{V_{n,in}^2} df \cong 4kT \frac{2}{3g_m} \times 450 + \frac{K}{C_{OX}WL} \ln 450,$$

令  $g_m = 1/100\Omega$ ,  $W/L = 100\mu m / 0.5\mu m$ ,  $C_{OX} = 3.85 fF/\mu m^2$ ,  $K \approx 1 \times 10^{-25} V^2 F$ , 代入上式可得  $\overline{V_{n,tot}^2} \approx 3.2 \times 10^{-12} V^2 \Rightarrow \overline{V_{n,tot}} \approx 1.8 \times 10^{-6} V$ 。

需要再次提请注意的是: 此处计算仅仅作为演示, 因为此处的噪声仅仅计入了输入晶体管的噪声, 诚如上文所述, 对于运放噪声的提取需要通过晶体管的仿真评估。

### 3.2.3 运放非理想性和非线性

在本文之前的所有讨论中, 都假设了运算放大器是理想的, 即增益无限大, 带宽无限大, 摆率无限大以及增益在所有点上都是相同的, 不随输出电平变化而变化。然而现实中实现的放大器远远没有达到如此的理想情况, 通常, 运放是有有限增益的, 且增益随着输出电压变化而变化, 呈现出非线性, 此外运放的带宽也是有限的, 同样也具有有限的输出摆率, 运放的所有这些非理想性和非线性因素将造成系统性能指标的一些损失。

#### 3.2.3.1 有限增益

对于理想情况下的积分传输函数  $H(z) = g \frac{z^{-1}}{1 - az^{-1}}$ , 有:  $g_{ideal} = \frac{C_s}{C_f}$ ,  $a_{ideal} = 1$ , 从

而有  $H_{ideal}(z) = \frac{C_s}{C_f} \frac{z^{-1}}{1 - z^{-1}} = k_s \frac{z^{-1}}{1 - z^{-1}}$ 。即积分增益完全由采样电容和积分电容的比值决定, 且积分器不存在泄露 (即  $a=1$ )。然而对于非理想情况下的运放, 式中的  $g$  将不再是简

单的两个电容的比值, 而与运放有限增益  $A_v$  相关, 同样  $\alpha$  也不再等于 1, 其也与  $A_v$  存在关系。

考虑图 3-2 在非理想情况下的等效电路图如图 3-12 所示。其中  $C_p$  为运放输入端寄生电容,  $A_v$  表示运放的有限增益。

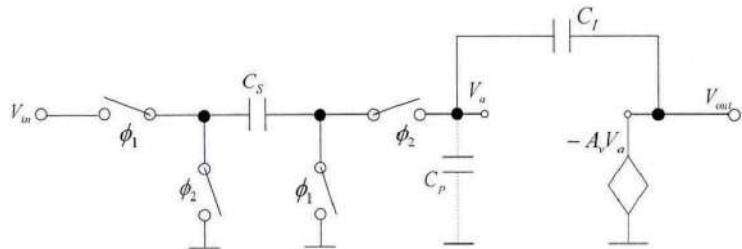


图 3-12 积分器非理想下模型

考虑积分电容两端电压与电荷的关系:

$$(-A_v V_a - V_a) C_I = Q_I$$

从而有:

$$V_a = -\frac{1}{A_v + 1} \frac{Q_I}{C_I}$$

$$V_{out} = \frac{A_v}{A_v + 1} \frac{Q_I}{C_I}$$

考虑一个变化周期内 ( $\phi_1, \phi_2$  交替开关一次),  $C_s, C_p$  上电荷的变化, 有:

$$Q_I(n+1) - Q_I(n) = C_s [V_{in}(n) - \frac{Q_I(n+1)}{C_I(A_v + 1)}] + C_p [\frac{Q_I(n)}{C_I(A_v + 1)} - \frac{Q_I(n+1)}{C_I(A_v + 1)}]$$

将  $V_{out}(n) = \frac{A_v}{A_v + 1} \frac{Q_I(n)}{C_I}$  代入上式, 并做 Z 变换, 可得:

$$H_{real}(z) = \frac{V_{out}(z)}{V_{in}(z)} = \frac{k_s}{1 + \frac{1 + k_s + k_p}{A_v}} \times \frac{z^{-1}}{1 - \frac{A_v + 1 + k_p}{A_v + 1 + k_p + k_s} z^{-1}}$$

$$\text{其中 } k_s = \frac{C_s}{C_I}, k_p = \frac{C_p}{C_s}$$

考虑到通常情况下  $A_v$  远大于  $k_s$  和  $k_p$ , 故可对上式做进一步近似, 有:

$$H_{real}(z) \cong k_s \left(1 - \frac{1 + k_s + k_p}{A_v}\right) \times \frac{z^{-1}}{1 - \left(1 - \frac{k_s}{A_v + 1 + k_p + k_s}\right) z^{-1}}$$

$$\cong k_s \left(1 - \frac{1+k_s+k_p}{A_v}\right) \times \frac{z^{-1}}{1 - \left(1 - \frac{k_s}{A_v}\right) z^{-1}}$$

进一步忽略输入寄生电容的影响, 可得非理想情况下积分函数表达式为:

$$H_{real}(z) \cong k_s \left(1 - \frac{1+k_s}{A_v}\right) \times \frac{z^{-1}}{1 - \left(1 - \frac{k_s}{A_v}\right) z^{-1}}$$

即此时  $g_{real} = k_s \left(1 - \frac{1+k_s}{A_v}\right)$ ,  $a_{real} = \left(1 - \frac{k_s}{A_v}\right)$ , 当  $A_v = \infty$  时, 非理想情况下的值演变为理想情况下的值。

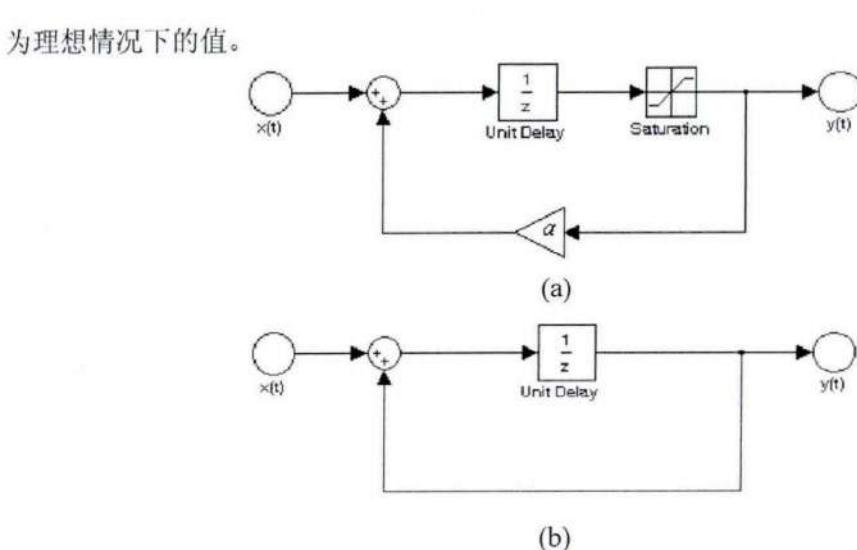


图 3-13 积分器非理想(a)和理想(b)模型

图 3-13 给出了理想和非理想两种情况下积分器模型。在非理想情况下, 积分器存在泄漏, 这个泄漏由图 3-13 (a)中参数  $\alpha$  表示, 同时(a)中模型也考虑了输出信号过大可能引起饱和的因素, 图中用一个饱和模块表示。

### 3.2.3.2 增益非线性

从上文可知, 有限增益造成积分泄露, 改变噪声传递函数的极点位置。但是增益有限并不会引入谐波畸变。谐波畸变由系统非线性因素引起, 其中之一就是运放增益非线性。运放增益非线性即运放增益依赖于输出电压幅度, 图 3-14 所示为运放增益与输出电平幅度之间的关系, 从中可见随着输出电平的变化, 运放的增益也在发生变换, 而且这种变化呈现一种非线性关系[8,11]。

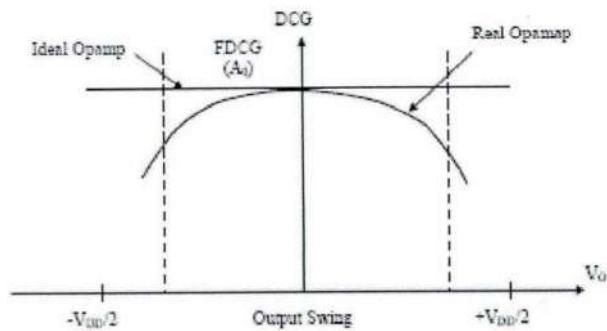


图 3-14 放大器直流增益与输出幅度的关系曲线

通常运放增益可表示为如下所示表达式[8,12]:

$$A_v = A_0(1 + a_1 |V_o| + a_2 |V_o|^2 + a_3 |V_o|^3 + \dots)$$

由于很难仅从行为级对增益非线性进行仿真, 如需对增益非线性因素进行考虑, 则需要进入到晶体管级进行, 且通常这种非线性因素无法消除, 因为增益非线性的根本来源是晶体

管跨导  $g_m$  的非线性, 由  $g_m = \frac{2I_D}{V_{GS} - V_{TH}}$  [6]可知, 跨导与流过晶体管的电流以及栅源间电

压有关, 通常随着输出电压的变化, 流过晶体管的电流也将发生变换, 造成  $g_m$  的变化, 进而引起增益随输出电压幅度变化而变化。增益非线性将引入谐波畸变。

将  $A_v$  表达式代入  $g_{real}$ ,  $a_{real}$  表达式中, 原则上可以对增益非线性进行仿真, 不过由于在行为级很难准确预知  $A_v$  表达式中  $a_i$  系数的值, 故无法对增益非线性进行有效仿真。对于增益非线性的考虑可以在晶体管级仿真中进行。在行为级模型中, 暂时不考虑增益非线性带来的系统性能损失 (引入谐波畸变)。

### 3.2.3.3 有限带宽和输出摆率

运放放大器有限带宽与有限输出摆率二者互为相关。有限的输出摆率主要由有限的充电电流造成的[6]。当一个快速信号输入到运放时, 输出端电平需要经过一个相对漫长的积分阶段方能到达一定的电平幅度。运放放大器有限带宽是一个无法消除的问题, 这主要是由于实际中实现的电路总是存在极点。

#### 1. 有限带宽

无论是对于大信号还是小信号都存在有限带宽问题。有限带宽的含义即增益在所有频率点上并不能保持一致, 会随着频率的增加而减小。可以将增益减小为 1 的带宽作为运放的带宽, 但为了更好的预测闭环频率特性, 可以使用 3dB 频率作为运放的带宽。对于一个实际的运放, 其增益总可以写成如下表达式:

$$H(s) = \frac{A_0}{\sum_i (1 + \frac{s}{w_{pi}})}$$

其中  $A_0$  表示低频增益,  $w_{pi}$  表示电路极点。电路极点一方面由支持电路工作的电容产生(如补偿电容), 另一方面则由寄生电容产生。

从上式可以看出, 运放增益与电路极点位置相关, 从总的的趋势上看, 随着频率的增加, 增益将减小。一个带有多种频率成分的输入信号经过电路后, 各种频率的成分将得到不同程度的放大, 高频成分可能丢失, 最终造成输出信号发生畸变。

从如上增益表达式亦可看出, 增益是非线性的, 在各个频率点上增益不再保持恒定, 即使在低频也是如此。

## 2. 输出摆率

假设输出电平幅度最终值为  $V_0$  ( $t \rightarrow \infty$ ), 则对于一个实际的电路其输出电平总可以表示为  $V_{out} = V_0(1 - e^{-t/\tau})$ 。其中  $\tau$  表示输出端时间常数:  $\tau = R_{out,total}C_{out,total}$ 。输出摆率表示输出电平变化曲线在  $t=0$  时的斜率, 即  $SR = V_o / \tau$ 。由此可知, 输出摆率与输出电平成正比。然而, 由于运放输出端有限的充电和放电电流, 当输入电平大于某个数值时, SR 幅度成正比, 与输出端时间常数成反比。或者更进一步说, 输出摆率与输入电平幅度不再随着变大, 而是被限制在一个最大值上[6]。输出电平的斜坡表现出与输入无关的斜率。大信号的速度会被输出摆率限制。例如如果要放大一个正弦信号  $V_0 \sin w_0 t$ , 则其输出摆率必须大于  $V_0 w_0$ 。

有限带宽将造成信号高频成分的丢失以及各频率点上放大倍数的不同造成信号畸变, 同样有限输出摆率限制了输出信号跟随输入信号快速变化的能力, 也引入了非线性因素。对于需要设计的电路, 基带范围为 1Hz~450Hz, 要求设计的运放 3dB 带宽为 2kHz, 单端差分输入信号幅度  $V_{pp} = 2.5V$ , 考虑 20KHz 下对 SR 的要求, 有:

$$SR_{min} = \frac{2.5V}{0.5 \times (1/20KHz)} = 0.1V/\mu s$$

诚如上文所述, 有限带宽和有限输出摆率都将引入非线性因素, 对输入信号造成畸变, 降低系统 SNR 性能。通常设计中, 对需要放大的信号频率和幅度范围均明确的情况下, 可以保证设计出的运放满足带宽和摆率要求。

有限带宽以及有限输出摆率仿真需要直到电路单位增益频率点位置以及具体摆率大小, 行为级仿真中很难做到这一点, 故下文仿真中不考虑有限带宽和有

限输出摆率的影响, 文献[8~12]中对这两个因素给出了相对较为细致的讨论。在设计中, 根据输入信号频率和幅度, 要求设计出的运放 3dB 带宽为 2kHz, 输出摆率  $SR \geq 0.1V/\mu s$ 。考虑到寄生电容以及电路对快速信号的响应能力, 输出摆率越大越好, 在设计中设定为  $SR \geq 5V/\mu s$ 。

### 3.2.3.4 电路输出饱和

积分器输出信号变化范围是设计 Sigma-Delta 调制器中一个需要考虑的问题, 在前文设计中, 通过对参数进行调整, 保证了各级积分器输出电平幅度合理, 不会引起电路饱和现象。如图 3-7 所示为理想情况下仿真得到的 CIBF 结构中各级积分器的输出电平幅度大小。

### 3.2.4 不匹配

不匹配指两个方面: 1) 版图布局不对称造成的器件失配; 2) 工艺造成的器件失配。其中由版图布局造成的失配问题可以尽量通过在进行版图设计中减小, 而工艺造成的器件失配则是无法避免的, 使用单环多阶 Sigma-Delta 调制结构的优点就是其对器件失配敏感度较低。由不匹配造成的系统指标降低无法通过仿真方式进行评估, 必须通过对流片后的实际芯片进行测试才能得到不匹配的初步认识。

### 3.2.5 模型提取和仿真

根据以上分析, 在行为级, 可以对采样时钟抖动, 采样电容热噪声, 运放噪声, 运放有限增益进行仿真。仿真的目的在于寻找满足系统性能的最小运放增益, 为下一步细化电路做指导。由于 Sigma-Delta 调制器的后级调制效应, 在仿真中只需考虑输入电路以及第一级积分电容的各种非理想性和非线性因素。得到的行为级仿真模型如图 3-15 所示。图 3-16 所示为计入电容及运放热噪声和采样时钟抖动的仿真 SNR 曲线, 图中一并显示了不计入这些因素时的理想曲线。从对噪声和时钟抖动影响的仿真结果来看, 采样电容热噪声极大的影响了系统性能。这是限制高精度 Sigma-Delta 调制器设计的主要因素。由  $\overline{V_{n,thermal}} = \sqrt{4kT/C_s}$ ,  $C_s = 5pF$ , 可计算得到  $\overline{V_{n,thermal}} \approx 5.755 \times 10^{-5}V$ , 这是一个很大的数值, 在设计中, 这是限制系统性能的主要因素, 且很难进行消除。

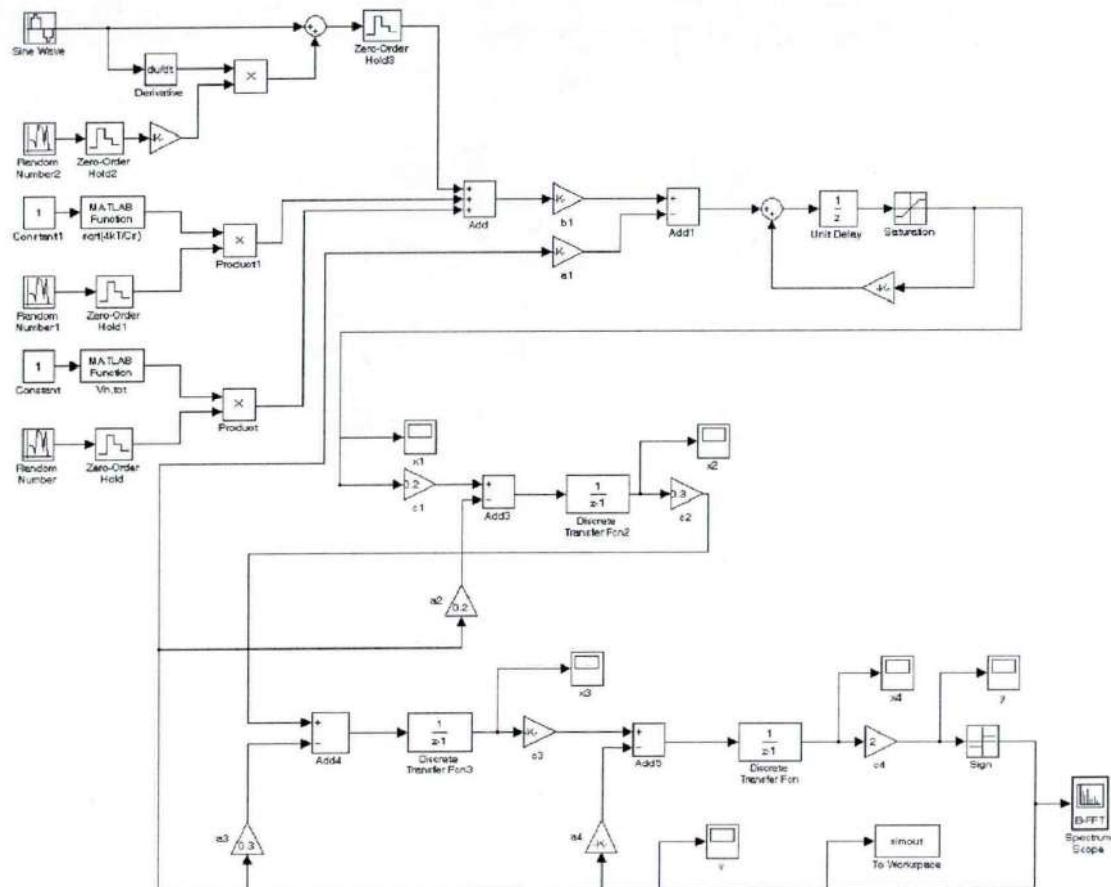
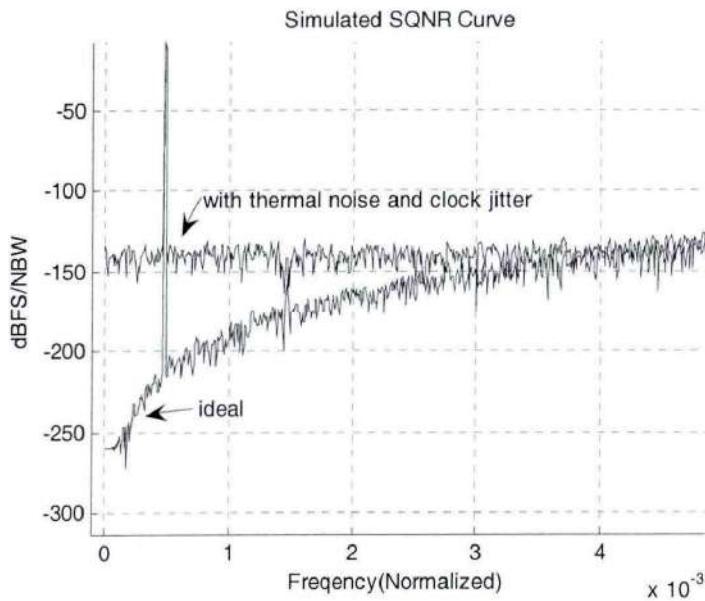
图 3-15  $\Sigma-\Delta$  调制器 simulink 仿真模型

图 3-16 包含噪声和时钟抖动和不包含下的 SNR 仿真结果

对于图 3-16, 应理解为: 当计入热噪声和时钟抖动后, 相对理想情况, 平台

噪声将变差很多。由于 Matlab 仿真条件的设置原因, 此处不计较噪声绝对值。

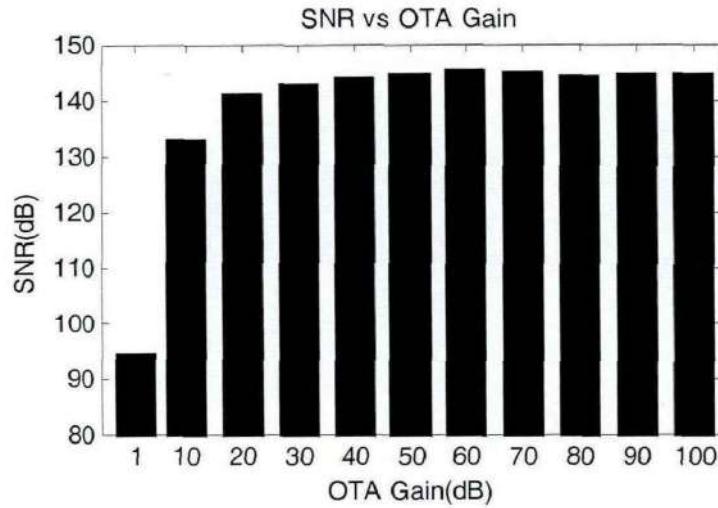


图 3-17 SNR 与放大器增益之间的关系

图 3-17 所示为仿真得到系统 SNR 性能与运放增益之间的关系图。从图中可以看出, 当运放增益为 20dB, 就可以达到一个很好的 SNR 值。即高阶 Sigma-Delta 调制器对于运放增益的要求不高。仔细对图 3-17 进行分析可见, 运放增益增加到 60dB 的过程中, 系统 SNR 性能一直在提高, 但是过了 60dB 之后, SNR 值又有略微的降低, 这主要是因为当增益增大到 60dB 后, 系统 SNR 性能实际上已经不受增益的影响, SNR 值的改变源于对 CIBF 结构中参数的微调。前文分析中, 对参数做了一些近似, 这些近似造成了系统 SNR 性能的一些损失。对运放增益如何影响系统性能的分析中, 得知运放增益是通过调整积分电路增益参数和反馈参数。当增益达到一定值后(如 60dB), 泄露效果已经可以忽略, 而对积分电路增益参数的调整使得系统 SNR 值出现一些波动。图 3-17 所示 SNR 与 OTA 增益之间的关系只是考虑了量化噪声, 考虑到失真造成的影响, 当然 OTA 增益越大越好, 故在运放的设计中, 设计运放增益的要求是大于 70dB。综合之前对带宽和摆率的要求, 给出调制器结构中基本单元之一--运算放大器的关键设计要求, 如图表 3-4 所示。

表 3-4 运放实现指标要求 (3.3V 供电)

直流增益	$\geq 70dB$	单端输出幅度	$\geq \pm 1.55V$
相位裕度	$\geq 60^\circ$	输出共模电平	1.65V (3.3V 供电)
3dB 带宽	$\geq 2KHz$	转换速率	$\geq 5V/us$

### 3.3 噪声系数和等效噪声温度

噪声系数定义为系统输入信噪比  $SNR_i = P_i / N_i$  和输出信噪比  $SNRo = P_o / N_o$  的比值:

$$F = \frac{SNR_i}{SNRo} = \frac{P_i/N_i}{P_o/N_o}$$

可见, 噪声系数表征了信号通过系统后, 系统内部噪声造成信噪比恶化的程度。如果系统为无噪的, 则无论增益多大, 输入的信号和噪声都被放大同样的倍数, 而没有添加任何噪声, 此时相应的噪声系数为 1, 有噪系统的噪声系数均大于 1。噪声系数常用分贝表示:

$$NF(dB) = 10 \log(F)$$

#### 等效噪声温度

任何一个线性网络, 如果其产生的噪声是白噪声(或者在所关系的带宽范围内为白噪声), 则可以用处于网络输入端温度为  $T_e$  的电阻所产生的热噪声源来代替, 而把网络看作是无噪的。称温度  $T_e$  为该线性系统的等效噪声温度。

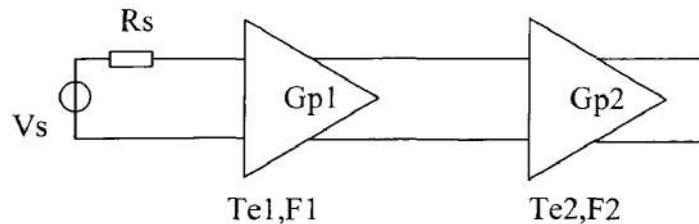
以放大器为例, 设放大器增益为  $A_v$ , 带宽为  $B$ , 由放大器本身产生的输出噪声为  $N_{internal}$ 。由温度为  $T_e$  的电阻的额定热噪声为  $kT_e B$ , 根据等效噪声温度的定义, 此热噪声经过放大器传输后的输出噪声应为  $N_{internal}$ 。故有:  $kT_e B A_v = N_{internal}$ 。从而:

$$T_e = \frac{N_{internal}}{kBA_v}$$

可以推得, 噪声系数与等效噪声温度的关系为:  $T_e = (F - 1)T_o$ 。

#### 多级线性系统级联的噪声系数

以两级线性系统级联为例, 令各自功率增益为  $Gp_1, Gp_2$ , 噪声系数为  $F_1, F_2$ , 等效噪声温度为  $T_{e1}, T_{e2}$ , 等效噪声带宽均为  $B$ ; 设两级级联后的总的噪声系数为  $F$ , 等效噪声温度为  $T_e$ 。



第一级输入噪声功率  $N_i = kT_o B$ , 根据等效噪声温度的定义, 第一级输出噪声功率为:

$$N_1 = Gp_1 kT_o B + Gp_1 kT_{e1} B$$

第二级输出噪声功率为:

$$N2 = Gp2N1 + GP2kTe2B = Gp1Gp2kB(To + Tel + Te2/Gp1)$$

两级级联等效噪声温度为  $Te$ , 因为两级总的输出噪声功率又可表示为:

$$No = Gp1Gp2kB(To + Te)$$

从而可得:  $Te = Tel + Te2/Gp1$

将上述等效噪声温度与噪声系数之间关系代入上式, 可得:

$$F = F1 + (F2 - 1)/Gp1$$

当多级级联时, 可类推得到总的等效噪声温度和噪声系数与各级之间的关系为:

$$Te = Tel + \frac{Te2}{Gp1} + \frac{Te3}{Gp1Gp2} + \dots$$

$$F = F1 + \frac{F2 - 1}{Gp1} + \frac{F3 - 1}{Gp1Gp2} + \dots$$

由此可见, 对于多级级联系统, 第一级的噪声对整体影响最大, 后面各级对整体噪声影响都会由于第一级的增益而减小。

对于4阶Sigma-Delta调制结构而言, 4级级联, 由上推导可知, 其中第一级对整个噪声的影响最大, 故在第一级放大器设计中, 应尽量减小放大器本身的噪声, 可采用一些减低噪声的技术, 如增大关键部分晶体管的尺寸, 或者采用CDS, CHS等降噪技术; 同时第一级的增益可以适当的设计的比要求的大一些; 对于后续三级调制电路, 由于噪声受到第一级的调制, 噪声影响可以忽略, 这表明可以适当降低后续三级中放大器的噪声设计指标, 从而降低整个调制电路的晶体管数目以及电路复杂性。

### 3.4 小结

本章从实际实现的角度对Sigma-Delta调制器实现参数进行了调整, 推导得到了实现原理图。此后对电路各种非理想和非线性因素进行了讨论, 并提取了仿真模型。通过对这些非理想和非线性因素进行仿真, 得到了调制器基本单元之一-运算放大器的关键设计指标要求。本章得到的设计原理图以及运放的设计要求将作为下一章晶体管级电路实现的指导准则。

另外本章最后通过对噪声系数的分析, 得到了对于具有多级级联结构的 $\Sigma\Delta$ 调制器而言, 可以通过加强第1阶结构中某些构成单元的性能指标(如放大器的增益), 同时降低后续几阶结构中这些单元的设计指标要求, 在不影响调制器整体性能指标的前提下, 大大降低设计和版图实现上的复杂度。

### 3.5 参考文献

- [1] L. Yao, M.S.J.Steyaert, W.Sansen, "A 1V 140uW 88dB Audio Sigma-Delta Modulator in 90nm CMOS," IEEE Journal of Solid-State Circuits, vol.39, no.11, pp.1809-1818, Nov. 2004.
- [2] S.R.Norsworthy, I.G.Post, H.S.Fetterman, "A 14-bit 80-kHz Sigma-Delta A/D Converter: Modeling, Design, and Performance Eavluation," IEEE Journal of Solid-State Circuits, vol.24, no.2, pp.256-266, Apr. 1989.
- [3] S.A.Jantzi, W.M.Snelgrove, P.F.Ferguson, "A Fourth-Order Bandpass Sigma-Delta Modulator," IEEE Journal of Solid-State Circuits, vol.28, no.3, pp.282-291, Mar. 1993.
- [4] S.R.Norsworthy, R.Schreier and G.C.Temes, "Delta-Sigma Data Converters: Theory, Design and Implementation," IEEE Press, 1997.
- [5] B.E.Boser, B.A.Wooley, "The design of Sigma-Delta Modulation Analog-to-Digital Converters," IEEE J. of Solid-State Circuits, vol.23, no.6, pp.1298-1307, Dec. 1988.
- [6] B. Razavi, "Design of Analog CMOS Integrated Circuits," Xian Jiaotong University Press, Jul.2009.
- [7] S.Rabii, B.A.Wooley, "A 1.8-V Digital-Audio Sigma-Delta Modulator in 0.8- $\mu$ m CMOS," IEEE J. of Solid-State Circuits, vol.32, no.6, pp.783-796, Jun. 1997.
- [8] H.Z.Hoseini, I.Kale, O.Shoaei, "Modeling of Switched-Capacitor Delta-Sigma Modulators in SIMULINK," IEEE Trans. on Instrumentation and Measurement, vol.54, no.4, pp.1646-1653, Aug.2005.
- [9] P.Malcovati et al, "Behavioral Modeling of Switched-Capacitor Sigma-Delta Modulators," IEEE Trans. on Circuits and Systems-I: Fundamental theory and applications, vol.50, no.3, pp.364, Mar. 2003.
- [10] S.M.Kashmiri, H.Hedayati, "Behavioral Modeling of Circuit Design steps of a 3-V digital audio Sigma-Delta Modulator in 0.35- $\mu$ m CMOS," Canadian Conference on Electrical and Computer Engineering, vol.1, pp.89-92, May. 2003.
- [11] A.Dendouga et al, "Modeling of a Second Order Non-Ideal Sigma-Delta Modulator," Internatinal Journal of Eletrical and Information Engineering, pp.196-201, Apr.2010.
- [12] F.Medeiro et al, "Modeling opamp-induced harmonic distortion for switched-capacitor sigma-delta modulator design," International Symposium on Circuits and Systems, vol.5, pp.445-448, 1994.

## 第4章 晶体管级电路实现和前仿真

前文中我们获得了电路实现原理图以及关键单元-运算放大器的设计指标，本章将详细介绍电路的晶体管级电路实现，主要包括如下内容：

- 1) 开关实现
- 2) 电容，电阻实现
- 3) 带隙基准电路实现
- 4) 运算放大器实现
- 5) 比较器和锁存器实现
- 6) 时钟电路实现

从前一章对噪声系数的分析中，得知第一级积分器的噪声性能决定了整个调制器所能达到的动态范围或者性噪比。主噪声主要为热噪声以及闪烁噪声。对于热噪声，通过仔细设计 CMOS 开关，尽量降低开关导通电阻，并通过增大采样电容值，可以减小热噪声的影响。对于闪烁噪声，可以通过采用“Chopper 稳定”技术[55-59]，“CDS”采样技术[60-64]以及增大运放输入对管的面积降低对性能的影响。在调制器的晶体管级仿真过程中，如果噪声平台很高，则表示热噪声以及闪烁噪声过大，必须设法进行降低。此时对于运放的等效输入噪声性能必须仔细进行评估，并在运放的设计中作为一个主要方面进行考虑，或者采用如上所述的 CDS 采样技术降低闪烁噪声的影响。

### 4.1 开关实现

在 CMOS 工艺中，通常积分电路中的开关由两个并联的 NMOS 管和 PMOS 管构成。对于 MOS 管而言，源漏极可以互换，根据电流流动的方向决定。通常将某时刻开关的信号输入端看作为漏极，而信号输出的一端看作为源极。如果假定栅极电压为  $V_{gate}$ （在开关电容积分电路中，开关的栅极电压由时钟分发电路产生），从 NMOS 的角度考虑，那么可以得到作为信号输出端的电压最大值（忽略亚阈值区域的导通）为  $V_{gate} - V_{th}$ ，从 PMOS 的角度考虑，可以得到信号最大输入电压值同样也为  $V_{gate} - V_{th}$ ，而且由于源端电压较大，体效应造成的阈值电压也会增大，故  $V_{gate} - V_{th}$  比不考虑体效应时的值更小。换句话说，当使用 MOS 管作为开关实现时，输入输出信号都不可大于  $V_{gate} - V_{th}$ 。并且随着输入输出电压的增加，MOS 管的导通电阻也越大，造成充电时间常数越大，输出信号上升越缓慢，这是 MOS 开关的一个严重的缺点。并联 NMOS 和 PMOS 构成开关的优点是相对于单个 MOS 管构成的开关其导通电阻随着输入信号的变化范围较小，如图 4-1, 4-2 所示，但是其显而易见的一个缺点是二者通常无法精确的同时关闭，造

成采样信号的精度的损失，这在高精度采样中是必须注意的问题。

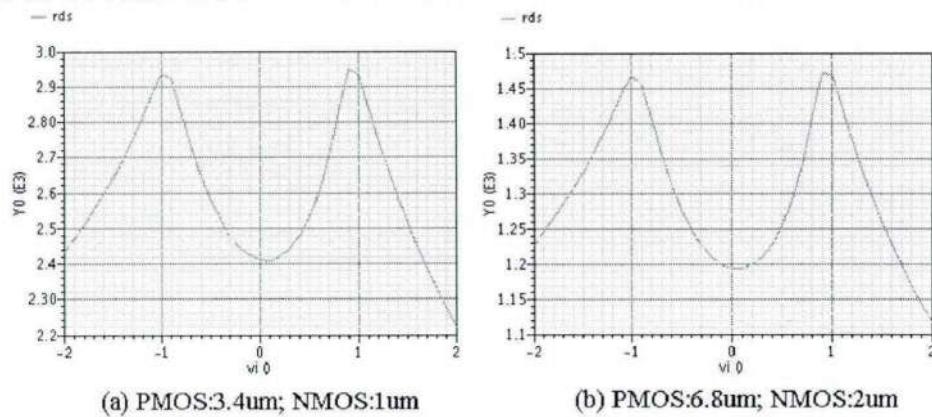


图 4-1 由 PMOS 和 NMOS 并联组成的开关导通电阻与输入信号幅度的关系

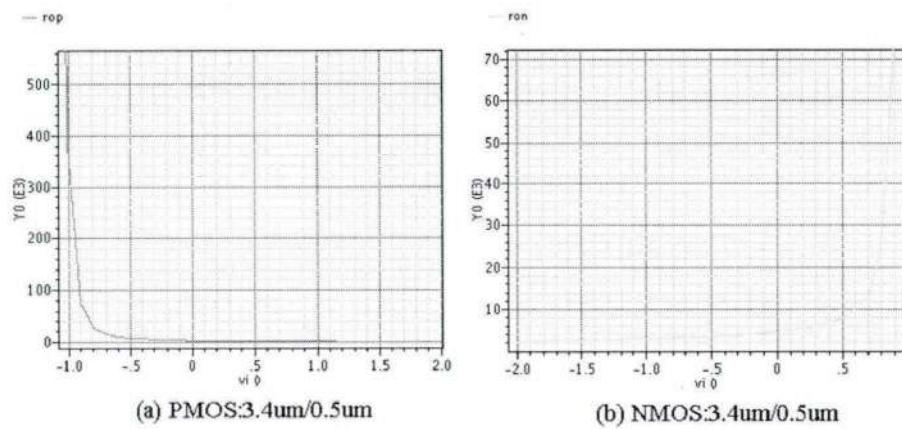


图 4-2 单个 PMOS 或 NMOS 构成的开关导通电阻与输入信号幅度的关系

从输入信号变化范围来考虑，采用 PMOS 和 NMOS 并联作为开关使用是一种合适的选择，以尽量输入信号幅度对开关导通电阻的影响，使得充电时间常数在输入信号变化范围内能够满足电路设计要求，故本设计中即采用 PMOS 与 NMOS 管并联形式作为开关实现。另外从 MOS 管导通电阻与栅压的关系上考虑，如使用单独 MOS 管作为开关实现，则提供给作为开关实现的 NMOS 管的栅极电压必须高于通过开关的信号电压一个较大的值，如 0.5V，此时需要考虑采用局部时钟电压倍增技术产生时钟信号，馈送到作为开关功能的 MOS 管的栅极。采用时钟电压倍增技术可以将输出时钟信号幅度变换为供电电压的两倍。如图 4-3 所示为时钟电压倍增电路实现[13][36][37]。

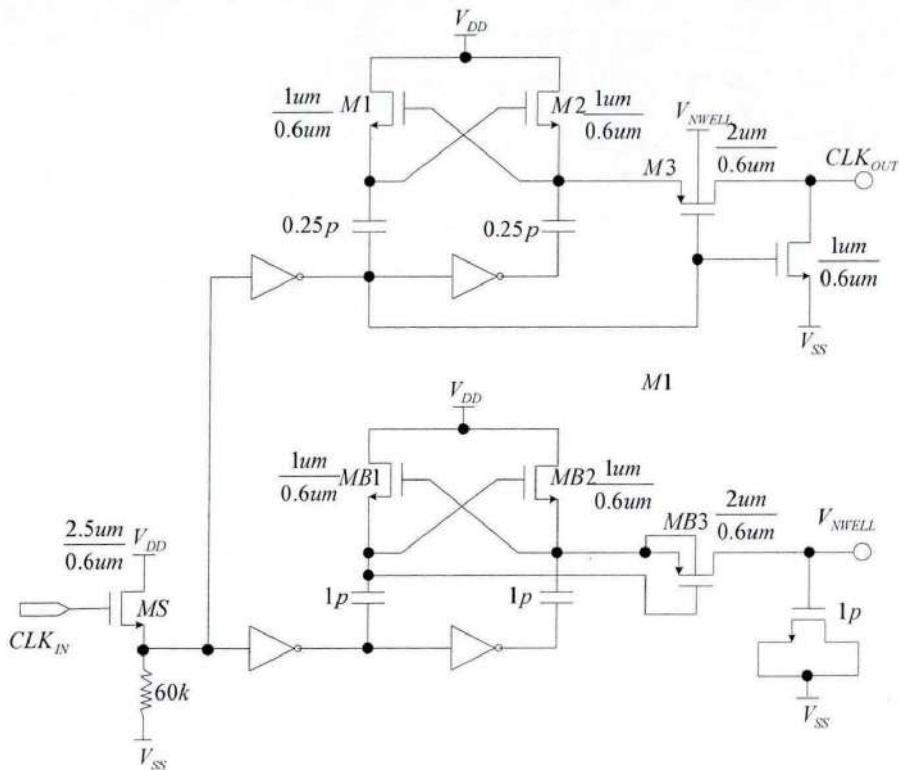


图 4-3 时钟倍增实现电路

图 4-4 所示为仿真得到的结果，供电电压为±2.5V，输入时钟（ $\text{CLK}_{\text{IN}}$ ）信号范围为 0~3.3V，经过如上时钟倍增电路处理后，输出时钟（ $\text{CLK}_{\text{OUT}}$ ）信号范围为 -2.5V~5V。

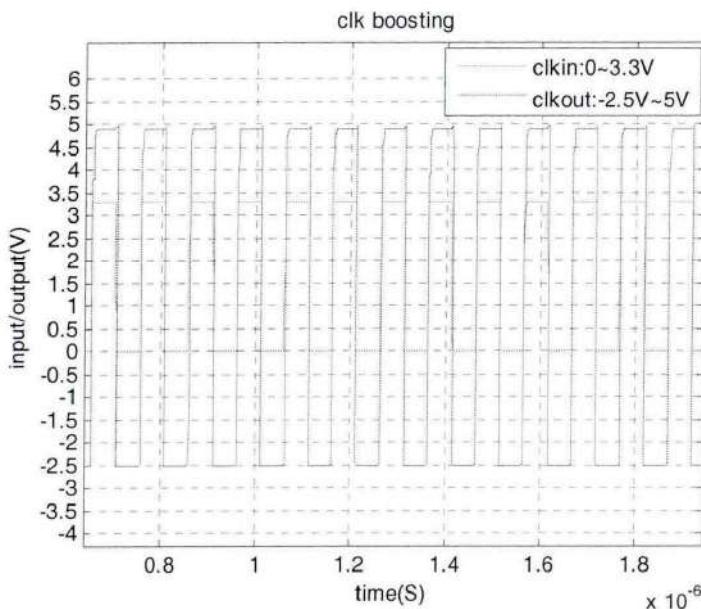


图 4-4 时钟倍增电路仿真结果

由于倍增后的作为栅极电压的时钟信号电压较高，故使用单个 NMOS 管作为开关，相比于两个并联的 PMOS 和 NMOS 管，可能存在较大的电荷注入[1]效应。另外采用时钟电压倍增技术的一个缺点是虽然能够将供给 NMOS 栅的电压值倍增到较大正的电平，但是将提供给 PMOS 栅的电压值降低到一个很低的负电平是比较麻烦的，这需要特殊的处理工艺（N 阵中嵌入 P 阵），所以单从工艺处理复杂度上考虑，采用并联方式也是优选的。

如图 4-5 所示为仿真得到开关性能。开关使用并联 MOS 管实现。

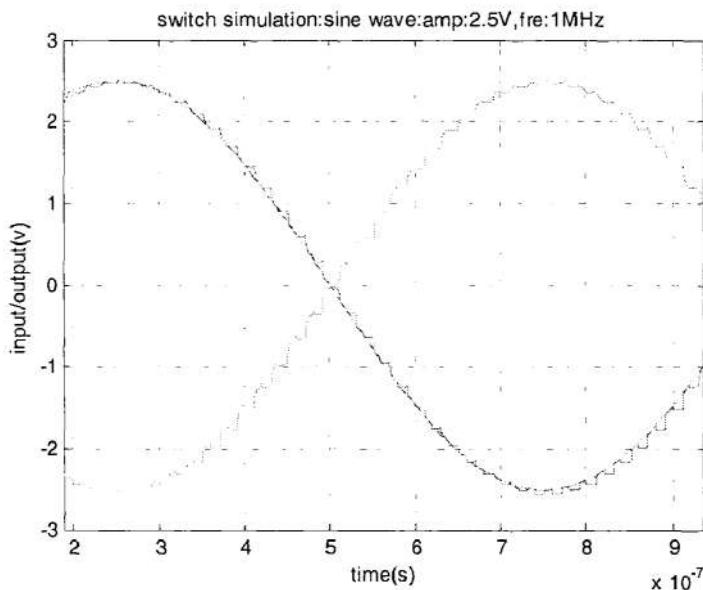


图 4-5 开关性能仿真结果

另外从图 4-1 可以看出，在栅的长度恒定的情况下，并联使用的晶体管栅宽越大，并联电阻将越小，积分时间常数将越小，输出信号越能跟上输入信号的变化，但是，栅宽的增大将造成栅面积的增大，每次累计的电荷也越大，也将造成越大的电荷注入效应（虽然有一些措施可以降低注入效应的影响），对电路性能造成影响。所以从这一点上考虑，并非将晶体管的栅宽设计的越大越好，需要综合考虑各种因素。实际设计中，将根据驱动电路的时钟频率，输入信号的最大变化幅度等因素决定作为开关使用的 MOS 的栅的宽长值。

## 4.2 电容，电阻实现

论文中所设计芯片的流片采用的工艺是 chartered 0.35um 工艺。该工艺下，

提供了多种电容，电阻的实现方式，其中电阻理论上实现方式共有 7 种，确定实际可用的两种电阻实现方式为 upolyf\_u 和 upoly\_u\_1k；电容理论上实现方式则有 8 种，但是实际中只可以使用 PIP 实现方式。在 Sigma-Delta 调制器电路实现中，电阻主要用于运算放大器 miller 补偿以及共模反馈电路中，故对于电阻本身的精度要求不高，但是要求较大的阻值（10Kohm 量级），从工艺实现的角度考虑，能够达到此阻值范围的电阻需要选择高电阻率的多晶硅实现方式，可以达到最小的宽长比，使得寄生电容效应最小；电容是 Sigma-Delta 调制器电路的重要组成部分，同样从电路功能实现的角度考虑，对于电容本身的精度要求不高，对电容比要求较高，这就要求所有电容最好采用相同的实现工艺，即具备相同的温度系数和较高的匹配精度，具体实现中采用 chartered 0.35um 工艺中的金属层到金属层构成的电容阵列，每单位电容为 4fF/um<sup>2</sup>。

### 4.3 带隙基准电路实现

在运放的设计中，主体电路部分共源共栅 MOS 管需要外界提供偏置电路，这通常由一个偏置电路提供。而偏置电路通常采用电流镜方式进行组织，其仍然需要外界提供一个精确电流源方能工作，这就需要基准电路提供支持。在模拟电路设计中，产生精确电流或者电压的基准电路通常是必不可少的。基准电路从总体上可分为两大类：1)PTAT 基准源，通常为基准电流源，即电流的变化与绝对温度成正比；2)基准电压源，通常实现为与温度无关。当然无论是基准电流源还是电压源都要求具有较高的电源抑制比 (PSRR)，抑制供电电源波动对电路功能产生影响。在要求不十分严格的场合，还有另一类基准源，此类基准源的精确特性由电阻决定，这类基准源即可提供电流，亦可提供偏置电压。

带隙基准电路原则上讲是一种基准电压源产生电路，其利用与绝对温度变化方向相反的两种机制进行结合产生零温度漂移的电压源。实际上由于变化系数本身就与温度有关，加上实现工艺上的问题，很难真正做到零温度漂移，通常在一个大的温度变化范围内（如-40°C-85°C）电压变化很小，通常可以做到 50ppm/°C。当然在对电压要求高的场合（如 DRAM，EEPROM），可以做到 5ppm/°C 甚至更高的精度。

基于两种机制下正负温度系数的原理，可以得到带隙基准电路产生的电压大小的基本公式为[1]:  $V_{ref}=a_1 V_{be} + a_2(V_T \ln N)$ 。该公式概括了目前基本上所有基准电路设计的基本思想。其中  $V_{be}$  表示 BJT 基极-射极电压，其具有负温度系数； $\Delta V_{be}=(V_T \ln N)$  表示两个具有相同饱和电流的 BJT 的基极-射极电压之差，其具有正的温度系数。其中  $V_{be}$  负温度系数本身与温度有关，即在不同温度下，具有不同的

的温度系数值，在室温下的数值为 $-1.5\text{mV/K}$ [1]；而 $\Delta V_{be}$ 正温度系数是一个常数 $K\ln N/q$ [1]。通常设计中，所有的取值都是在室温下进行的，这就表示如果不考虑实现上的问题，则产生的基准电压只有在室温下才具备零温度漂移特性。随着温度的改变，电压还是存在一定的偏移。设计具有更高精度以及更高电源抑制比的基准电压源目前仍是一个重要的研究课题。例如，基于以上设计原理，K.N.Leung 等人[15]2002 年设计出了在 1V 电压下，精度为  $15\text{ppm}/^\circ\text{C}$  的高精度带隙基准源。使用曲率校正技术，其于 2003 年又设计出了精度为  $5.3\text{ppm}/^\circ\text{C}$  的高精度带隙基准电压源[16]。

在传统的带隙基准电路实现中，都是采用 BJT 基极-射极电压的负温度系数作为零温度漂移电压设计的一方。由于 BJT 放大效率非常有限（通常小于 10），且基极存在电流，对电路实现造成误差。故而人们提出了一种基于亚阈值域 MOS 管栅源电压负温度变化关系的基准电压源的设计方法[17][18]。基于亚阈值域 MOS 管栅源电压负温度变化的原理，Giustolisi 等人[18]2003 年设计出了精度为  $119\text{ppm}/^\circ\text{C}$  的基准电压源。随着技术的发展，基于亚阈值域 MOS 管栅源电压负温度变化关系的基准电压源设计可望达到更高的精度。对于目前比较常用的带隙基准电压（电流）源产生电路和基本原理，[19]中给出了较为详细的介绍。文献[20-26]给出了多种带隙基准电压源的实际实现电路。值得一提的是，随着供电电压的降低（1V 以下），传统的带隙基准产生电路已经无法满足要求（其产生的基准电压为 1.25V）。文献[15][22][27]给出了低供电电源下的带隙基准电压产生的原理和实现。

除了带隙基准电路之外，在一些要求不十分严格的情况下，核心电路基于电阻特性的普通电压基准电路应用也较为普遍，参考电路在[28][29][30]中给出，另[31]给出了一种更为精确的普通电压参考源。中科院魏微[75]在其博士论文中也给出了一种较为实用的带隙基准电路。

带隙基准电路设计中，以下几个问题需要特别注意：1) 正负反馈输入接口不要接反；2) 运放<sup>8</sup>的增益越大，PSRR 越好，但是通常大增益运放的偏移电压也越大；3) 尽量减小运放的偏移电压的影响，最好使用多个 BJT 串联的方式减小运放偏移电压对基准的影响；4) 通常必须配备启动电路，启动电路的设计必须保证电路启动后，启动电路本身关闭，不对基准电路的其他部分构成影响；5) 正负反馈系数最好满足  $\beta_p \approx \beta_n / 2$ [1]；6) 由于  $V_{be}$  的限制，输入信号通常无法满足运放的需要，可以采用电阻分压的方式进行处理[19]；7) 运放设计中需要的偏置电压直接通过基准核心电路提供的电流源产生[19][22]；8) 基准电路设计中应先设计运放，对运放增益和稳定性仿真完成，确定无误后再加入基准核心电路，可大大减少设

<sup>8</sup> 此处指带隙基准电路中使用的运放。

计的盲目性。

在运放<sup>9</sup>设计中，需要一个电流大小为 22uA 的电流源。要求电流源产生电路尽量简单，而又能达到运放的要求。电流源结构采用如图 4-6 所示结构<sup>10</sup>。

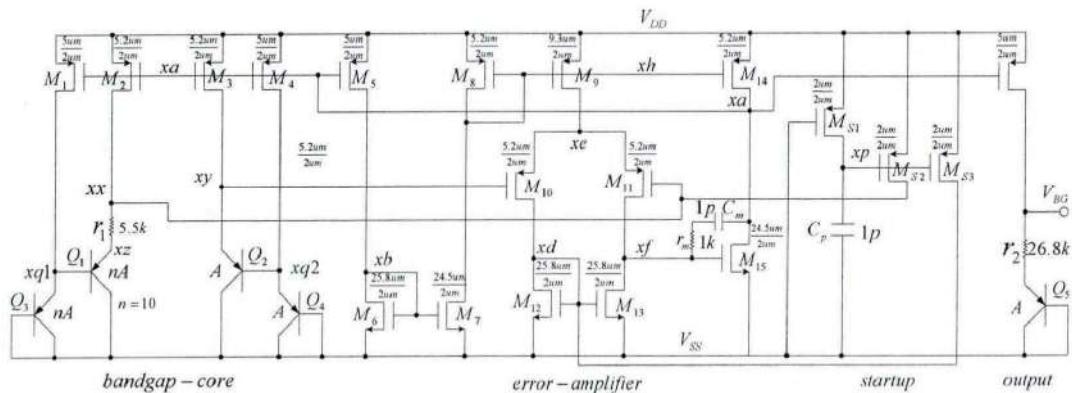
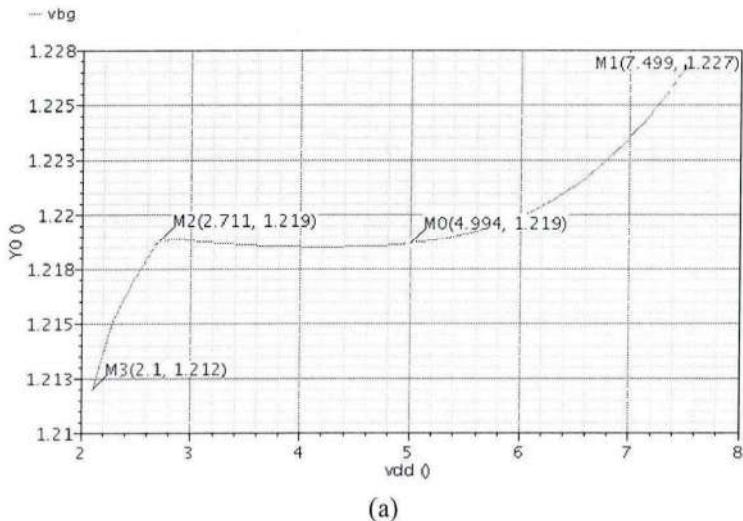


图 4-6 带隙基准电路

带隙基准产生电路共四个模块构成：a) 带隙基准核心电路；b) 运放；c) 启动电路；d) 输出电路。为了减小运放失调电压对基准的影响，设计中采用两级 BJT 串联的方式。运放采用两级结构，加大增益，提高 PSRR。运放增益为 75dB，相位裕度约为 75°。

由以上基准电路得到的基准电压为 1.2187V(T=27°C)，+PSRR(DC)=-66dB，温度漂移为 6.5ppm/°C，基准电压随温度以及供电电压的变化曲线如图 4-7 所示。注意：微调电路中基准电阻值 (R2) 可调整峰的位置。



(a)

<sup>9</sup> 此处指调制器中使用的运放。

<sup>10</sup> 可以将结构中运放第二级结构改为共源共栅结构，可将增益提高到 95dB。此时运放结构中的 PMOS 管过驱动电压应降为 300mV（电路中令为 700mV），减小供电电压变化对电路的影响。共源共栅结构下需要增加多个晶体管（偏置），增大功耗，在本设计中，图中所示简单结构已达到设计需求，故不再使用共源共栅结构。

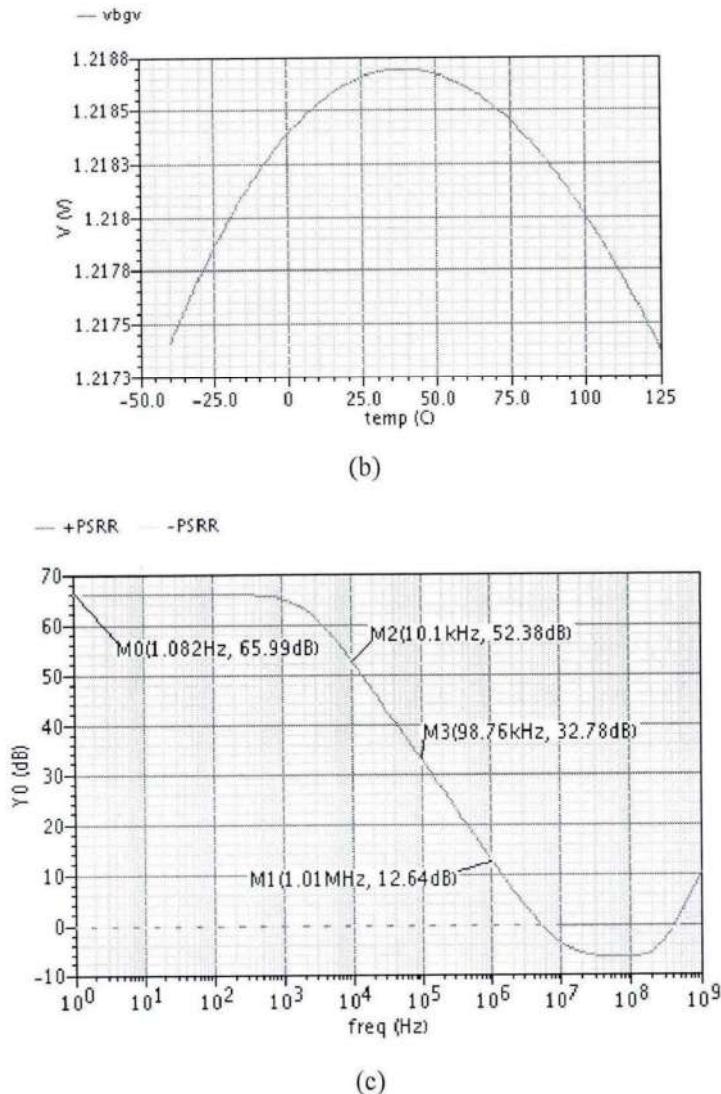


图 4-7 带息基准电路仿真结果: (a)电压曲线; (b)温度曲线; (c)PSRR 曲线

电路在供电电压降低到 2.5V 以及上升到 10V 仍然具有相当的 PSRR 值。

表 4-1 带息基准仿真结果总结

V <sub>bg</sub> T=27°C	温度漂移 -40°C-125°C	+PSRR/-PSRR	功耗 V <sub>dd</sub> =5V	稳定工作 电压范围(10mV)
1.2187V	1.3mV (6.5ppm/°C)	66dB/0dB (DC) 52dB/0dB (10kHz) 13dB/0dB (1MHz)	1.1mW	2.1V~6.8V

#### 4.4 运算放大器实现

#### 4.4.1 设计指标

根据上一章分析，得到运算放大器的一些基本设计参数如下：

1. 直流增益： $\geq 70dB$
2. 相位裕度： $\geq 60^{\circ}$
3. 摆率： $\geq 5V/\mu s$
4. 输入输出共模电平：1.65V (VDD= 3.3V)
5. 单端输出摆幅： $\pm 1.55V$

另运放3dB带宽必须 $\geq 2KHz$ 。在运放设计中，极点导致增益的减小，即主极点位置必须 $\geq 2KHz$ ，在此条件下，单位增益带宽越大越好。以单极点近似，并同时令3dB频率点为2kHz，则以-20dB/dec计算，得到 $GBW=20MHz$ 。在开关电容电路中，运算放大器驱动采样电容，由上一章内容可知，采样电容在10pF量级，故设计中，运放负载电容设定为10pF。

6. 负载电容：10pF
7. 单位增益带宽： $\geq 20MHz$
8. 功耗： $\leq 2.5mW$

#### 4.4.2 结构选择

运算放大器的结构总体上可分为两类：单级放大器和多级放大器。基于稳定性问题，多级运放的级数通常不超过2级。在单级运放中，主要存在两种分支：套筒式共源共栅放大结构和折叠式共源共栅放大结构。采用共源共栅结构的目的主要是从提高增益的角度出发的，然而由于需要多个晶体管串联，单级共源共栅结构极大的限制了输出电压摆幅，折叠式结构虽然稍微缓解了这个问题，但是输出电压摆幅在很多情况下仍然无法满足设计要求。以VDD=3.3V为例，若输出共模电平为1.65V，要求单端输出摆幅为1.2V，即单端输出变化范围为[0.45V, 2.85V]，共源共栅结构下，要求串联的两个PMOS管（两个NMOS管也是如此）总的过驱动电压为0.5V，过低的过驱动电压意味着大的(W/L)值，也意味着大的寄生电容，对整个运放的稳定性以及响应速度都将造成负面影响。因此对于高增益，输出摆幅要求大的运放的设计，通常采用二级级联结构，第一级采用通常的共源共栅结构，提供高增益，第二级通常采用共源级结构，提供大的输出电压摆幅。在此情况下，第一级既可使用套筒式结构，亦可采用折叠式结构，折叠式结构由于需要提供额外的电流源，耗能更大，但是在差分输入运放中，折叠式运放具有易确定输入，输出共模电平的优点，另外折叠式运放结构可以将输

出直接与输入进行短接，故折叠式结构在差分运放设计中较之套筒式结构使用更为普遍。

在本设计中，运算放大器设计结构选择为两级（two-stage）级联方式，第一级用于提供高增益，第二级采用共源级结构，提供大的输出电压摆幅。对于过采样 ADC 中常用的运放类型，[38]对此进行了分析和总结。在本设计运放结构的具体选择上，遵循指标要求（负载电容大小，增益大小等），在 Sigma-Delta 调制器中使用的运放基本电路结构如图 4-8 所示。

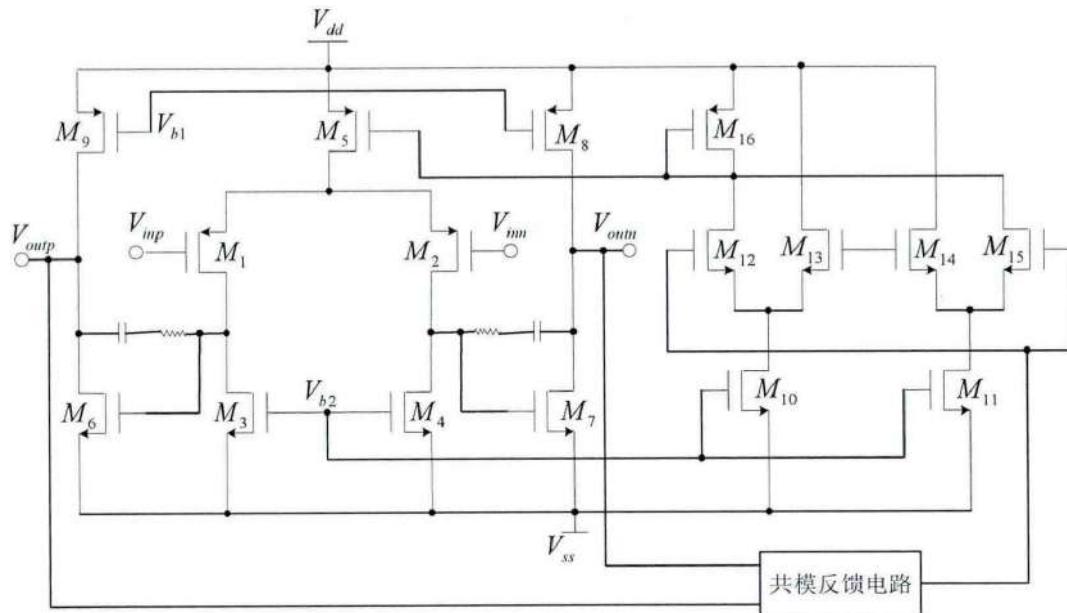


图 4-8  $\Sigma-\Delta$  调制器中使用的运放电路

作为设计示例，将使用一种较为常见的更为复杂的运放结构进行分析，如图 4-9 所示。论文采用了基于 gm-ids 和 vod 特性曲线的方法设计该电路。与传统的采用电流平方律的设计方法比较而言，这种方法不受具体工艺水平的限制，且具有很高的精确性。所要做的前期准备工作是需要对每种工艺事先绘制出一组特性曲线，而后在电路设计中查询该曲线即可。作为比较，论文也将同时给出传统的基于电流平方定律的设计方法对该运放进行设计。从设计后仿真结果来看，推荐使用基于特性曲线的设计方法，对于复杂模拟电路的设计，该方法也能很好的适应，且该方法适用于所有工艺，具有很高的精确性，可以大大减少设计时间和设计的盲目性。

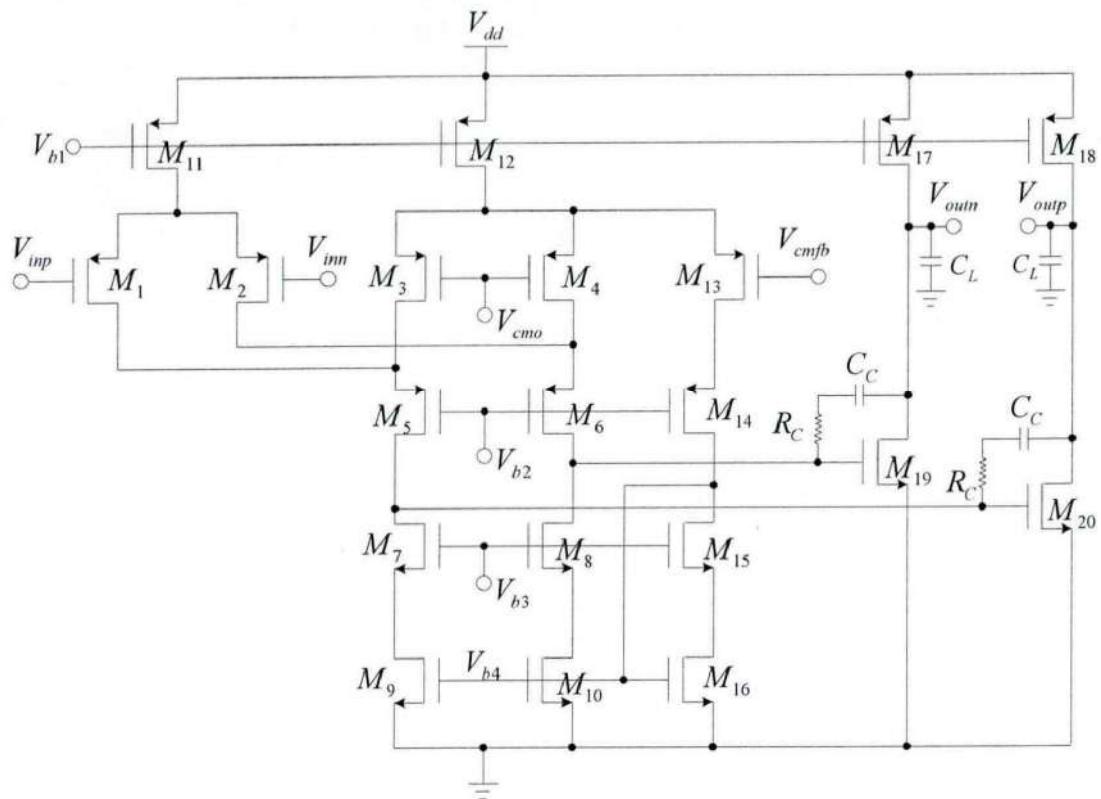


图 4-9 两级级联折叠式共源共栅放大器电路

输出共模电平调整电路采用[2]中结构。经过仿真，这种共模反馈结构相比[6][13][14][39]中给出的结构要有效的多。这主要由于[2]中采用了双差分结构对共模电平的变化进行响应，增益大，带宽相对较大，故反馈速度更快。如图 4-10 所示给出了[2]，[39]中不同共模反馈电路仿真得到的输出端共模电平摆动。采用[2]中共模反馈结构时，输出共模电平波动为 0.45uV；而采用[39]中共模反馈电路时，输出共模电平波动为 0.35mV；二者相差将近 1000 倍。故虽然采用[39]中运放结构（在第一级进行共源共栅管的添加后）增益可达 120dB（如图 4-11 所示），但是由于其弱共模反馈性能，在本设计中还是采用[2]中运放结构，虽然增益相对较低（90dB），但是输出共模电平更加稳定，减小了调制器的非线性。[6,13,14][39-42]中给出了使用在过采样 ADC 实际设计中的多个运放结构。[43-54]则给出了一些其他运放的设计和实现，从中可以看出，各种运放的设计总是优先考虑一些指标如低功耗，高摆率或者低噪声等等，其次再关注其他指标。

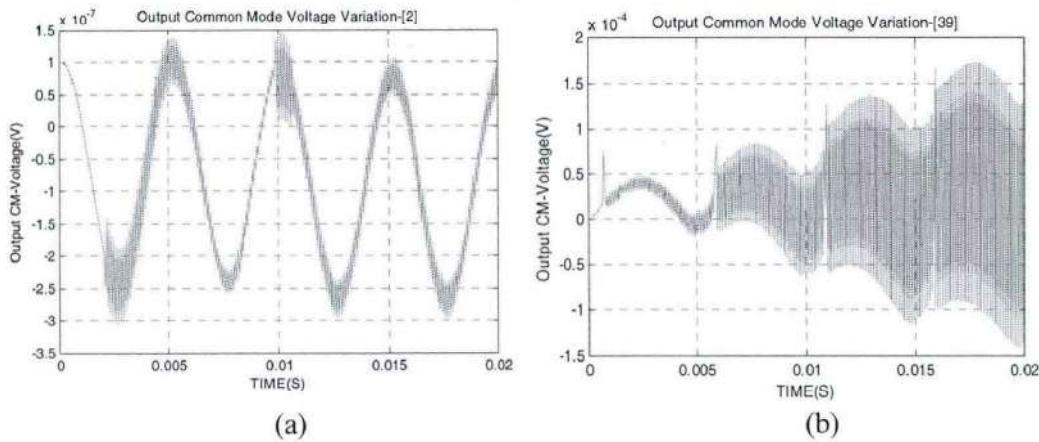


图 4-10 输出共模电平变化: (a) 文献[2]; (b) 文献[39].

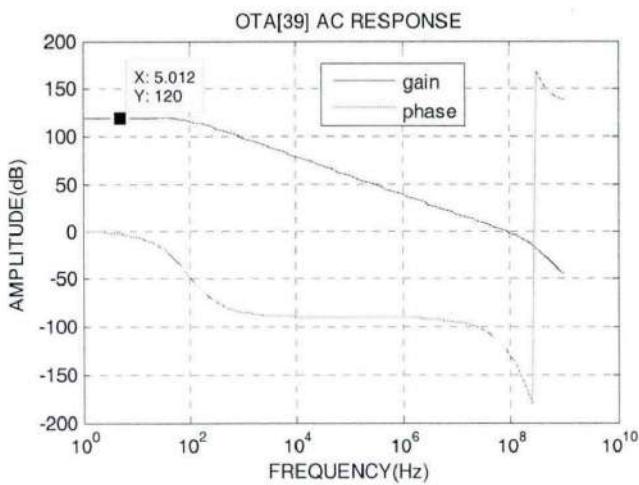


图 4-11 文献[39]中运放频响曲线

#### 4.4.3 电路实现分析

#### 4.4.3.1 Miller 补偿

为了保证设计中要求的相位裕度，两级运放中间使用 Miller 补偿电容  $C_C$ ，使得第一级输出极点和第二级输出极点分离，提高运放稳定性。Miller 补偿电容将引入一个右半平面的零点，该零点在增大相移的同时，阻止增益的下降，极大了影响电路的稳定性。两级运放中右半平面零点是一个严重的问题。通常通过增加一个与补偿电容串联的电阻，将零点位置移动到左半平面来解决[3][4]。可以通过设计将该零点移至后的位置覆盖到次级极点上，进行零极相消。由于工艺上的限制以及电阻的具体实现方式，由失配引起的误差使得零极相消很难在实际中实现，[3]中给出了一个实现参考电路，通常情况下，将零点移至左半平面后，

使其位于单位增益带宽外，略微小于次极点频率即可[3]。Miller 补偿电容将主极点向靠近原点的位置移动，将次级主极点向远离原点的位置的移动，从稳定性角度，次级主极点的位置必须大于单位增益带宽，通常取为两倍单位增益带宽。

对于 miller 补偿电容大小的确定，通常采用如下计算方法：

1. 计算  $A_V$ ,  $w_{P1}$ ,  $w_{P2}$ ，从而得到单位增益带宽  $w_{GBW} = A_V w_{P1}$ 。
2. 不考虑 Miller 补偿电阻的作用，计算出零点位置  $w_z$ ，设定  $w_z \geq 10w_{GBW}$ <sup>11</sup>。
3. 联立  $w_z \geq 10w_{GBW}$ ,  $w_{P2} \geq 3w_{GBW}$ <sup>12</sup>[5][6]，计算  $C_c$  最小值，之后在最小值之上取一个合适的数值作为 Miller 补偿电容值。

对于 miller 补偿电阻大小的确定，由 miller 补偿电阻条件下的零点位置为<sup>13</sup>[1]：

$$w_z \approx \frac{1}{C_c(g_m^{-1} - R_c)}$$

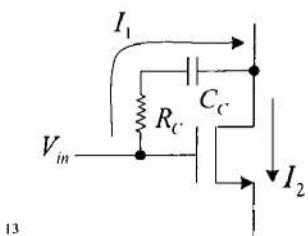
由[3]，移动后零点位置略微小于次极点位置即可达到较好的稳定性能，次极点取为两倍单位增益带宽的条件下，移动后零点位置可取为 1.5 倍单位增益带宽。由  $w_z = 1.5w_{GBW}$ ，可求得 Miller 补偿电阻  $R_c$  的大小。

#### 4.4.3.2 指标分析

前文中给出了运放的几个关键性能指标，下面对这些指标进行简单讨论，并

<sup>11</sup> 10 倍关系的选定依据为：由[1]知，极点或零点对相移的影响在 0.1 倍频率点处开始发生作用（10 倍频率处发生 90 度相移），将零点位置设定在 10 倍单位增益带宽处，使得右半平面零点对相移（相位裕度）的影响可以基本忽略。

<sup>12</sup> 事实上， $w_{P2}$  与  $w_{GBW}$  的倍数关系需要根据设计需求中要求的相位裕度进行计算，通常而言，60 度的相位裕度只需满足  $w_{P2} \geq 2w_{GBW}$  即可（参见下文中计算），三倍关系下对应的相位裕度约为 70 度。相位裕度并非越大越好，大的相位裕度会减慢运放的响应速度。60 度相位裕度通常被认为是最合适的数值[1]。在运放的实际设计中，将根据 60 度相位裕度确定参数，即使用两倍关系式。



<sup>13</sup> 对于零点位置的计算，可以通过简单近似得到。如图所示， $I_1 = V_{in} / Z$ ，

$Z = R_c + 1/sC_c$ ,  $I_2 = g_m V_{in}$ , 由  $I_1 = I_2$  得： $R_c + \frac{1}{sC_c} = g_m^{-1} \Rightarrow w_z = s = \frac{1}{C_c(g_m^{-1} - R_c)}$ 。

提取运放实现中需要计算的电路参数与各项指标的关系。

### 1. 直流增益: $\geq 70dB$

由图 4-9 所示电路结构, 分为两级, 第一级为折叠共源共栅放大电路, 其低频小信号增益表达式近似如下 (不考虑体效应):

$$A_{V1} = -g_{m1,2} \{ [g_{m5,6} r_{O5,6} (r_{O1,2} \parallel r_{O3,4})] \parallel [g_{m7,8} r_{O7,8} r_{O9,10}] \}$$

第二级为共源级放大电路, 其低频小信号增益表达式近似如下:

$$A_{V2} = -g_{m19,20} (r_{O17,18} \parallel r_{O19,20})$$

由此, 整个运放的低频增益为:

$$A_V = A_{V1} \times A_{V2} \geq 10^4 (= 80dB)$$

### 2. 单位增益带宽: $\geq 20MHz$

单位增益带宽定义为增益与主极点的积。图 4-9 所示电路具有三个极点和一个零点。按照极点位置频率由小到大的顺序为: 第一级输出端极点 (主极点), 第二级输出端极点 (次极点), 高频极点 (位于  $M_5$ ,  $M_6$  的源极处)。各极点近似表达式如下:

$$w_p^{-1} = \{ [g_{m5,6} r_{O5,6} (r_{O1,2} \parallel r_{O3,4})] \parallel [g_{m7,8} r_{O7,8} r_{O9,10}] \} \times \{ [1 + g_{m19,20} (r_{O17,18} \parallel r_{O19,20})] C_C \}^{14}$$

对于次极点的计算, 考虑如下图 4-12 所示输出电路 (其中令  $C_P = C_{G-Total} \ll C_C$ ):

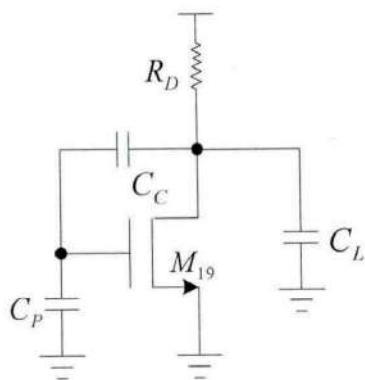


图 4-12 极点计算所用模型

由[1]可知, 该输出电路对应极点为:

$$w_{out} = \frac{1}{[R_D \parallel (\frac{C_C + C_P}{C_C} \frac{1}{g_{m19}})](C_{eq} + C_L)}$$

<sup>14</sup> 输入信号频率增加后, 输出信号在最初出现各自共模电平上升和下降的情况, 由于-3dB 带宽不够, 输入信号范围超过-3dB 带宽。

其中  $C_{eq} = \frac{C_c C_p}{C_c + C_p} \approx C_p \ll C_L$ , 且  $C_p \ll C_c$

$$\text{从而有: } w_{out} = \frac{1}{(R_D \parallel \frac{1}{g_m}) C_L}$$

对应图 4-9 所示运放输出级电路, 类似可得其次极点为:

$$w_{p2} \approx \frac{1}{(r_{o17,18} \parallel \frac{1}{g_m}) C_L}$$

考虑到通常情况下有:  $\frac{1}{g_m} \ll r_o$ , 故上式近似可写为如下简单形式 (注: 虽然上式中  $g_m$ ,

$r_o$  并非对应同一个晶体管, 但是仍可做如上近似处理, 这可由下文 Level-1 估算得到的数值验证):

$$w_{p2} \approx \frac{g_{m19,20}}{C_L}$$

第三个极点位于图 4-9 电路中  $M_5$ ,  $M_6$  的源极处, 这是一个相对较高频的极点, 其数值为:

$$w_{p3} = \frac{g_{m5,6}}{C_{gv5,6} + C_{sh5,6} + C_{gd3,4} + C_{dh3,4} + C_{gd1,2} + C_{dh1,2}}$$

事实上, 由于  $M_5$ ,  $M_6$  对应的 PMOS 管跨导相对  $M_{19}$ ,  $M_{20}$  NMOS 管较低, 而且  $M_5$ ,  $M_6$  需要传递大电流的需要, 其必须具有足够的栅宽, 引入较大的电容负载, 进而造成较低的极点位置。在一级近似下, 由于晶体管本身造成的寄生电容值难以估算, 故手工计算过程中, 将此节点作为高频极点处理, 其后通过仿真确定电路相位裕度和稳定性能。

在给出极点位置表达式后, 可以计算得到单位增益带宽为:

$$\because g_{m19,20}(r_{o17,18} \parallel r_{o19,20}) \gg 1$$

$$\therefore w_{p1} \approx \{[g_{m5,6} r_{o5,6} (r_{o1,2} \parallel r_{o3,4})] \parallel [g_{m7,8} r_{o7,8} r_{o9,10}]\} \times \{[g_{m19,20} (r_{o17,18} \parallel r_{o19,20})] C_C\}$$

$$w_{GBW} = A_V \times w_{p1} \approx \frac{g_{m1,2}}{C_C}$$

设计要求单位增益带宽不小于 20MHz, 即有:  $\frac{g_{m1,2}}{C_C} \geq 20MHz$

对于零点位置，不考虑 Miller 补偿电阻时，有  $w_z = \frac{g_{m19,20}}{C_C}$ ，考虑补偿电阻后，则有

$$w_z \approx \frac{1}{C_C(g_{m19,20}^{-1} - R_C)}.$$

### 3. 相位裕度： $\geq 60^\circ$

相位裕度对次极点位置，进而对 Miller 补偿电容大小提出要求。按每个极点贡献-90° 相移计算[1]，主极点引入-90° 相移<sup>15</sup>，设计要求相位裕度不小于 60°，即要求次极点在单位增益带宽处引入的相移不可超过-30°。极点位置与相移的关系可通过如下方式构造：首先由主极点贡献的相移确定为-90°，1>假设  $w_{P2} = w_{GBW}$ ，则此极点贡献-45° 相移，此时相位裕度为  $(180^\circ - 90^\circ - 45^\circ = 45^\circ)$ ；2>假设  $w_{P2}$  位于无穷远处，则该极点贡献 0° 相移，得到的相位裕度为 90°。由此可构造如图 4-13 所示平面，用以表征次极点位置与其贡献相移之间的关系：在纵坐标上表示出单位增益带宽的位置，横坐标表示极点位置，其中  $\varphi$  角即表示对应极点贡献的相移，该平面通常被称为 S 平面。

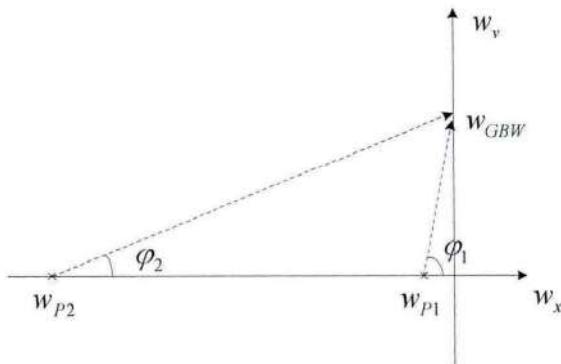


图 4-13 确定非极点与单位增益带宽关系的 S 平面

由图 4-13，相位裕度可表示为： $PM = 180^\circ - \varphi_1 - \varphi_2$ 。其中  $\varphi_1$  表示由主极点贡献的相移，

有  $\varphi_1 = 90^\circ$ ，当  $PM \geq 60^\circ \Rightarrow \varphi_2 \leq 30^\circ$ ，也即有：

$$\frac{w_{GBW}}{w_{P2}} = \tan \varphi_2 \leq \tan 30^\circ = 0.5774 \Rightarrow \frac{w_{P2}}{w_{GBW}} \geq 1.732$$

可令  $w_{P2} = 2w_{GBW}$ ，此时对应的相位裕度  $PM = 63.4^\circ$ 。

### 4. 摆率： $\geq 5V/us$

<sup>15</sup> 此处假设由于 Miller 补偿电容的作用，主、次极点之间相距很远，二者分别位于单位增益带宽的两侧。只有在此种条件下，次极点在单位增益带宽处产生的相移才有可能不超过-30°，从而保证至少 60° 的相位裕度。

第一级输出端摆率参见图 4-14 所示。当施加一个大的差动输入时， $M_1$  或  $M_2$  断开（图中所示为  $M_2$  断开的情况）， $V_{out1}$  和  $V_{out2}$  显示出斜率为  $\pm I_{ss} / (2C_c)$  的斜坡，因此差分摆率

（转换速率）等于  $I_{ss} / C_c$ 。第二级输出端摆率易得为  $\frac{2I_{DS19,20}}{C_c + C_L}$ 。摆率设计要求：

$$\frac{I_{DS11}}{C_c} = \frac{2I_{DS1,2}}{C_c} \geq 10V/us \text{ 且 } \frac{2I_{DS19,20}}{C_c + C_L} \geq 10V/us。另由[7]可知，输入输出摆率的控制上}$$

必须满足电路总的摆率由输入端进行限制，否则会造成输出共模电平的摆动，即要求

$$\frac{2I_{DS1,2}}{C_c} \leq \frac{2I_{DS19,20}}{C_c + C_L}。故实际上摆率设计要求可表示为 \frac{2I_{DS19,20}}{C_c + C_L} \geq \frac{2I_{DS1,2}}{C_c} \geq 10V/us。此$$

处我们将 SR 直接写为  $SR = \frac{2I_{DS1,2}}{C_c} = \frac{I_{ss}}{C_c}$ ，由前文可知  $w_{GBW} = \frac{g_{m1,2}}{C_c} \Rightarrow \frac{1}{C_c} = \frac{w_{GBW}}{g_{m1,2}}$ ，

代入摆率表达式可得  $SR = \frac{I_{ss} w_{GBW}}{g_{m1,2}}$ 。在设计中各项指标预留一些余量，可取

$w_{GBW} = 25MHz$ ， $SR = 15V/us$ ，由此确定  $g_{m1,2}$  的值，在得到  $g_{m1,2} / I_{DS1,2}$  的值后，根据

$$\frac{I_{ds}}{W/L} \sim g_m / I_{ds} \text{ 关系曲线获取输入对管的栅宽长比。}$$

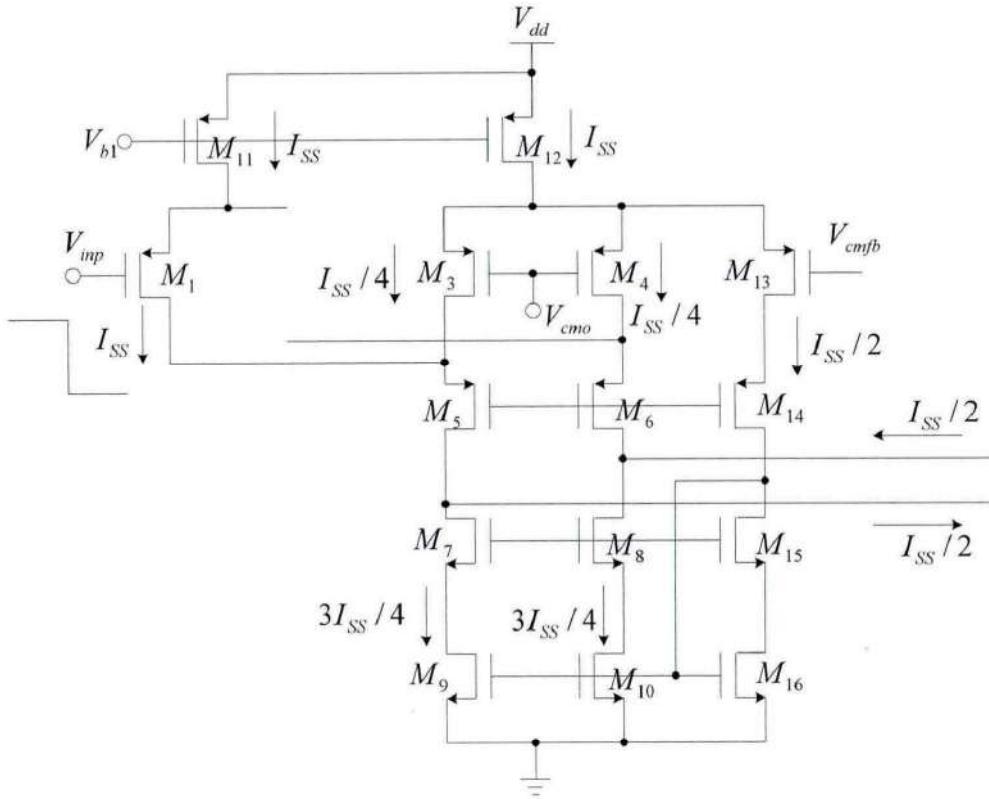


图 4-14 运放第一级摆率

### 5. 功耗: $\leq 2.5mW$

基于输出摆幅的要求, 运放采用 5V 供电, 功耗设计要求运放总电流不大于 500uA。该限制在指定各分支电流时将作为参考。有时高的转换速率设计要求与低功耗之间存在不可调和的矛盾, 这通常要求重新选择运放结构, 或者最后牺牲其中一个指标去满足另一个指标。

### 6. 输出共模电平及输出摆幅: $V_{cmo} = 1.65V, V_{out-swing-single} = \pm 1.55V$

对于折叠式共源共栅运放结构, 输出共模电平允许较大的变化范围, 故通常输出共模电平要求比较容易达到。至于输出摆幅要求, 通过选择二级运放结构, 也易满足设计需求。输出摆幅对输出级各晶体管的过驱动电压指定上具有限制, 这一点在手工计算晶体管参数时需要注意。

#### 4.4.3.3 基本设计流程

运放的设计过程是各项性能指标相互均衡的过程, 一些指标互相制约, 如摆率大小与功耗之间的制约关系, 高摆率要求大的充放电电流, 而大的电流将造成高功耗。在设计运放过程中, 通常首先根据某项指标确定晶体管跨导和尺寸, 而

后根据其他参数对计算后的数值进行调整。运放的设计流程（即对各晶体管各项参数的计算）依据计算过程中所倚重的性能参数并不唯一，如下所示步骤为较有效的一种设计流程。

1. 由上文所示步骤确定 miller 电容大小。
2. 计算运放摆率，由摆率设计要求确定输入输出级电路最小工作电流大小。
3. 由单位增益带宽要求，结合摆率要求，计算两级放大管的跨导大小，从而确定放大管的尺寸。
4. 合理设定其他晶体管工作过驱动电压，计算 cascode 管和电流源管的尺寸。
5. 估算开环增益大小，检查是否满足要求，如不满足要求，则需要调整工作电流大小，并调整影响增益的晶体管尺寸，直到增益满足设计要求。
6. 由以上计算得到的跨导，计算 miller 电阻大小。
7. 计算放大电路中各偏置点电压，以计算偏置电路以及共模反馈电路中各晶体管尺寸。
8. 基于工艺需求，对设计后电路进行仿真，确定各项指标是否满足设计要求，可对各晶体管尺寸进行微调。
9. 在仿真后，如果极个别指标不满足设计要求，可对电路进行局部重设计或调整。通常而言，在满足其他指标的情况下，功耗和等效输入噪声两个指标可能会细微超过设计要求。

由于CHRT 0.35um 及其以下工艺下的 MOS 管漏源电流并不是简单的平方关系，依据过驱动电压结合平方关系进行设计的方法变得很不准确，在进行 HSpice 仿真的过程中，还需要对各个晶体管尺寸做较大的调整。基于此，论文提出一种基于  $g_m / I_{ds}$  [9]<sup>16</sup>联合 Vod 过驱动电压，同时结合预仿真曲线的方法设计电路，此种设计方法可做到手工计算得到的晶体管尺寸在后期仿真中基本不做改变，一次完成电路设计。这种设计方法需要预先对实现工艺下的 MOS 管的一些特性曲线进行仿真，包括  $I_{ds} / (W/L) \sim g_m / I_{ds}$ ， $I_{ds} / (W/L) \sim V_{od}$ ， $V_{od} \sim g_m / I_{ds}$  以及  $g_m / g_{ds} \sim g_m / I_{ds}$ ， $f_t \sim g_m / I_{ds}$  关系曲线图<sup>17</sup>。

#### 4.4.3.4 晶体管参数估算

##### A. 基于传统电流平方律的设计方法

该方法基本设计流程为：a) 记住晶体管电流平方律公式： $I_{ds} = \frac{1}{2} uC_{ox} \left( \frac{W}{L} \right) V_{od}^2$ ，其中

$V_{od} = V_{gs} - V_{th}$  为栅过驱动电压；b) 估算出  $uC_{ox}$  数值；c) 根据  $uC_{ox}$  值估算电路中各晶

<sup>16</sup> 文献[9]中提出了一种基于  $g_m / I_{ds}$  的设计方法，然而对于  $g_m / I_{ds}$  值的选取，其是预先人为指定的，具有一定的不确定性。随着  $g_m / I_{ds}$  增大，MOS 管从强反区进入到中度反型区，再到弱反区，这一点在指定  $g_m / I_{ds}$  值的值得注意。为减小人为指定的不确定性，论文将预先仿真  $V_{od} \sim g_m / I_{ds}$  特性曲线，据此对  $g_m / I_{ds}$  的选值进行确定，大大减小了设计的不确定性。另人为指定  $g_m / I_{ds}$  的方式可能造成几个串联晶体管之间的冲突，更直观的方法是通过过驱动电压获取晶体管尺寸，故在  $g_m / I_{ds}$  的基础上，结合 Vod，将更为方便的获取晶体管尺寸参数，且不失精确性。

体管参数; d) 脱离手工计算, 不停的使用仿真工具进行仿真, 调整晶体管参数; e) 在进行了 1000 次调整后, 电路基本可以工作, 但是一个细小的改变将使得电路崩溃 (如实际中的晶体管不匹配, 环境温度的变化等)。

基于上文中给出的运放基本设计流程以及各项指标与晶体管参数之间的关系, 使用 Level-1 模型手工计算电路中各晶体管参数 (过驱动电压, 跨导, 尺寸等)。由于 NMOS 管衬偏效应以及寄生电容等二级非理想因素的影响, 手工估算得到的各晶体管的参数最终还需要通过实际仿真进行验证和微调。以下计算中工艺参数基于 CHRT 0.35um 工艺库:

### 1. 确定 Miller 补偿电容大小

由前文所示 Miller 补偿电容计算方法, 有:  $w_z \geq 10w_{GBW}$ ,  $w_{P2} \geq 2w_{GBW}$ , 也即:

$$\frac{g_{m19,20}}{C_c} \geq 10 \frac{g_{m1,2}}{C_c} \text{ 且 } \frac{g_{m19,20}}{C_L} \geq 2 \frac{g_{m1,2}}{C_c}$$

$$\Rightarrow C_c \geq 0.2C_L = 0.2 \times 10 \mu F = 2 \mu F$$

考虑到输出端寄生电容, 有  $C_{Ltot} > C_L$ , 故取  $C_c = 3 \mu F$ 。

### 2. 估算主要支路工作电流大小

对于运放第一级电路, 有  $SR = \frac{2I_{DS1,2}}{C_c} \geq 10V/\mu s \Rightarrow I_{DS1,2} \geq 15 \mu A$ , 考虑到寄生电容效

应, 取两倍关系, 即  $I_{DS1,2} = 30 \mu A$ , 则  $I_{DS11,12} = I_{SS} = 60 \mu A$ 。

对于输出级电路, 有  $SR = \frac{2I_{DS19,20}}{C_c + C_L} \geq 10V/\mu s \Rightarrow I_{DS19,20} \geq 65 \mu A$ , 考虑到共模反馈电

容未计入在内, 假设  $C_{cogfb} \approx 2 \mu F$ , 则  $I_{DS19,20} \geq 75 \mu A$ , 同样取两倍关系, 即取

$$I_{DS19,20} = 150 \mu A$$

由此可得, 运放主要电路电流大小为  $I_{main} = 2I_{DS11,12} + 2I_{DS19,20} = 420 \mu A$ , 在分配 80  $\mu A$  给偏置电路的情况下, 运放总功耗约为  $P = 5V \times 500 \mu A = 2.5 mW$ 。

### 3. 估算两级输入管跨导和尺寸

由单位增益带宽  $w_{GBW} = \frac{g_{m1,2}}{C_c} \geq 20 MHz \Rightarrow g_{m1,2} \geq 60 \mu S$ , 如取  $g_{m1,2} = 100 \mu S$ , 则有

$V_{od1,2} = \frac{2I_{DS1,2}}{g_{m1,2}} = \frac{2 \times 30\mu A}{100\mu S} = 0.6V$ ，即此时  $M_1, M_2$  输入管的过驱动电压为  $0.6V$ ，这是

一个较大的数值，由电路增益表达式可见，通过增大  $g_{m1,2}$ ，可以增大运放增益，当然由此带来的一个负面影响是输入管将具有较大的尺寸，引入较大的寄生电容，令跨导的增大也会增大输入噪声。此处从增大增益的角度考虑，取  $g_{m1,2} = 200\mu S$ ， $V_{od1,2} = 0.3V$ 。

由  $g_{m1,2}^2 = 2u_p C_{ox} \left(\frac{W}{L}\right)_{1,2} I_{DS1,2} \Rightarrow \left(\frac{W}{L}\right)_{1,2} = \frac{g_{m1,2}^2}{2K_p I_{DS1,2}} = 18.65$ ，取  $\left(\frac{W}{L}\right)_{1,2} = \frac{20\mu m}{1\mu m}$ 。

另 由  $\frac{g_{m19,20}}{C_L} = 2 \frac{g_{m1,2}}{C_c} \Rightarrow g_{m19,20} = \frac{2g_{m1,2}C_L}{Cc} = 1.6mS$ ，同理，由  $g_{m19,20}^2 = 2u_n C_{ox} \left(\frac{W}{L}\right)_{19,20} I_{DS19,20} \Rightarrow \left(\frac{W}{L}\right)_{19,20} = 114.95$ ，取  $\left(\frac{W}{L}\right)_{19,20} = \frac{115\mu m}{1\mu m}$ 。 $M_{19}, M_{20}$  管的过驱动电压为  $V_{od19,20} = \frac{2I_{DS19,20}}{g_{m19,20}} = \frac{2 \times 100\mu A}{1600\mu S} = 0.125V$ 。

### B. 基于特性曲线的设计方法

该方法需要事先得到使用工艺的一些特性曲线，这可以通过编写简单 HSpice 仿真文件得到，如图 4-15 所示，为 chartered 0.35um 工艺下 NMOS 管的  $v_{od}$  和  $id/(w/l)$  的特性曲线关系图。根据此图，可以查询得到过栅极过驱动电压  $V_{od}$  和电流与栅宽长比的关系。如知道  $V_{od}$  和  $Id$  的情况下，可以直接查询该图得到晶体管  $W/L$  的数值。另外一个常用的特性曲线是  $v_{od}$  和  $gm/id$  关系图（如图 4-16 所示）。

基于特性曲线的设计流程如下：a) 事先取得所使用工艺下的 PMOS 及 NMOS 的特性曲线；b) 根据设计要求，查询特性曲线，计算晶体管参数；c) 使用仿真软件对计算结果进行验证；d) 只需对个别晶体管参数做微小改变，电路即可正常工作，完成电路设计。

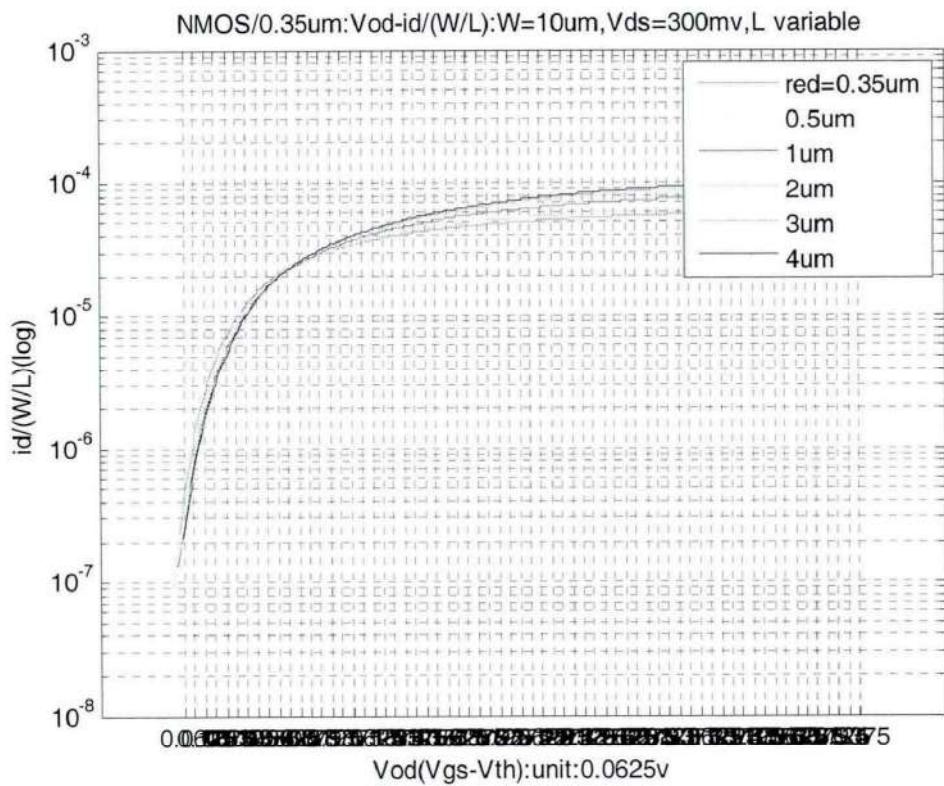


图 4- 15 Vod 与  $i_d/(w/l)$ 关系曲线

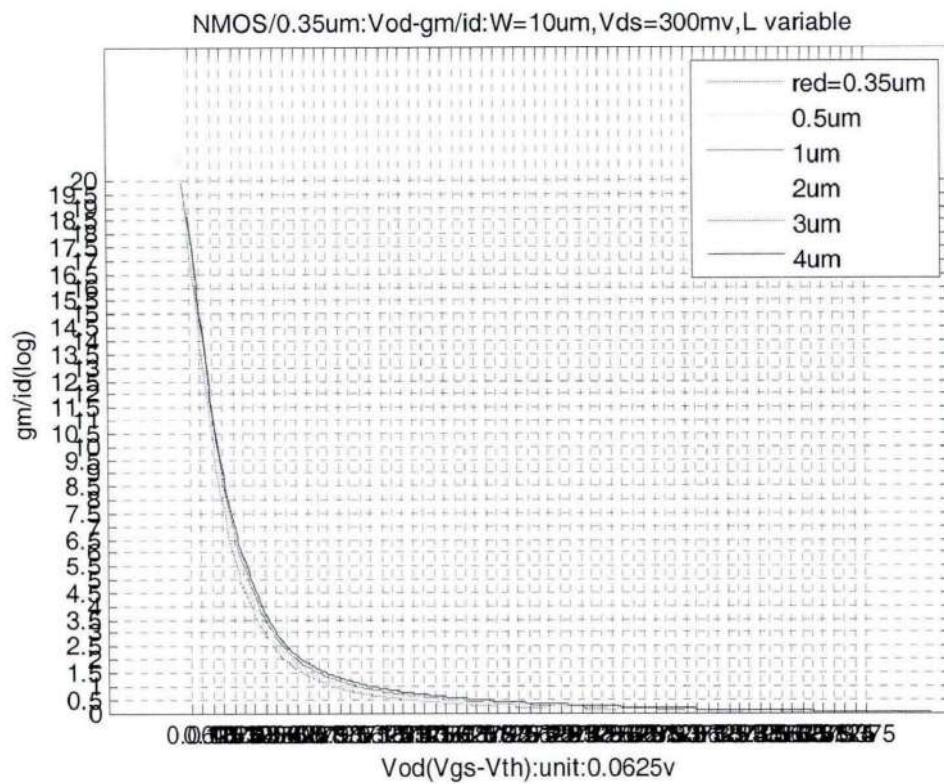


图 4- 16 Vod 与  $g_m/id$ 关系曲线

对于某种工艺而言，需要事先获取 PMOS 和 NMOS 的关系曲线图，而后在电路设计过程中使用。

由前文知  $SR = \frac{I_{SS}W_{GBW}}{g_{m1,2}}$ ，有  $I_{SS} = 60\mu A$ ，可得  $g_{m1,2} = 120\mu S$ ，由此可得

$g_{m1,2}/I_{ds1,2} = 120\mu S/30\mu A = 4$ 。考虑  $g_m/g_{ds} \sim g_m/I_{ds}$ ， $f_t \sim g_m/I_{ds}$  特性曲线，可知  $g_m/I_{ds} = 4$  时，沟道长度 L 的变化对本征增益影响不大，对本征带宽有较明显的影响，在沟道长度 L 的选取上应尽量取较高的本征带宽，即使得晶体管本身的寄生电容效应最小。

如输入对管沟道长度可直接选取为  $L=1\mu m$ ，由  $\frac{I_{ds}}{W/L} \sim g_m/I_{ds}$  特性曲线，可得：

$$\frac{I_{ds}}{W/L} \approx 2.25e-6 \Rightarrow \left(\frac{W}{L}\right)_{1,2} \approx 13 = \frac{13\mu m}{1\mu m}。此时输入对管的过驱动电压约为 0.375V。$$

由输入输出级摆率限制条件  $\frac{2I_{DS1,2}}{C_C} \leq \frac{2I_{DS19,20}}{C_C + C_L} \Rightarrow I_{DS19,20} \geq \frac{C_C + C_L}{C_C} I_{DS1,2} = 150\mu A$ ，作

为近似处理，可取  $I_{DS19,20} = 160\mu A$ 。

又由  $\frac{g_{m19,20}}{C_L} \geq 2 \frac{g_{m1,2}}{C_C} \Rightarrow g_{m19,20} \geq \frac{2C_L}{C_C} g_{m1,2} = 1440\mu S$ ，取  $g_{m19,20} = 1600\mu S$ ，得

$\left(\frac{g_m}{I_{ds}}\right)_{19,20} = 10$ 。对于输出级对管沟道长度的选择，应从尽量增加增益的角度考虑，由

$g_m/g_{ds} \sim g_m/I_{ds}$  特性曲线，取  $L_{19,20} = 2\mu m$ 。由曲线可知，进一步增大 L 的长度并不能

显著的增加增益，反而引入较多的寄生电容，故取为  $2\mu m$  较为合理。由  $\frac{I_{ds}}{W/L} \sim g_m/I_{ds}$  特

性曲线，可得  $\frac{I_{ds}}{W/L} \approx 2.0e-6 \Rightarrow \left(\frac{W}{L}\right)_{19,20} = 80 = \frac{160\mu m}{2\mu m}$ 。同时由  $V_{od} \sim g_m/I_{ds}$  曲线可

知， $M_{19}$ ， $M_{20}$  输入对管的过驱动电压约为  $0.17V$ ，满足输出电压幅度要求。

综上所述，使用  $g_m/I_{ds}$  设计方法，得到两级输入对管的参数如下：

$$M_1, M_2: \left(\frac{W}{L}\right)_{1,2} = \frac{13\mu m}{1\mu m}, V_{od} \approx 0.375V, g_{m1,2} = 120\mu S$$

$$M_{19}, M_{20}: \left(\frac{W}{L}\right)_{19,20} = \frac{160\mu m}{2\mu m}, V_{od} \approx 0.17V, g_{m19,20} = 1600\mu S$$

#### 4. 估算其他晶体管尺寸

基本平方律的设计方法：

在已知  $I_{DS}$  的情况下，其他晶体管尺寸的确定，需要预先知道各晶体管过驱动电压的大小。

在设计中，通过指定合理的值进行计算。为保证统一性，此处指定图 4-9 所示电路中，除输入管之外的其他所有晶体管的过驱动电压均为 0.3V。由

$$I_{DS} = \frac{1}{2}u_x C_{ox} \left(\frac{W}{L}\right) V_{od}^2 \Rightarrow \left(\frac{W}{L}\right) = \frac{2I_{DS}}{u_x C_{ox} V_{od}^2}, \text{ 计算可得各晶体管尺寸如下：}$$

$$\left(\frac{W}{L}\right)_{3,4} = \frac{1}{2} \left(\frac{W}{L}\right)_{1,2} = \frac{10\mu m}{1\mu m}$$

$$\left(\frac{W}{L}\right)_{5,6} = \frac{3}{2} \left(\frac{W}{L}\right)_{1,2} = \frac{30\mu m}{1\mu m}$$

$$\left(\frac{W}{L}\right)_{7,8,9,10} = \frac{9\mu m}{1\mu m}$$

$$\left(\frac{W}{L}\right)_{11,12} = 2 \left(\frac{W}{L}\right)_{1,2} = \frac{40\mu m}{1\mu m}$$

$$\left(\frac{W}{L}\right)_{13} = \left(\frac{W}{L}\right)_{1,2} = \frac{20\mu m}{1\mu m}$$

$$\left(\frac{W}{L}\right)_{14} = \frac{2}{3} \left(\frac{W}{L}\right)_{5,6} = \frac{20\mu m}{1\mu m}$$

$$\left(\frac{W}{L}\right)_{15,16} = \frac{2}{3} \left(\frac{W}{L}\right)_{7,8,9,10} = \frac{6\mu m}{1\mu m}$$

$$\left(\frac{W}{L}\right)_{17,18} = \frac{64\mu m}{1\mu m}$$

基于特性曲线的方法：

其他晶体管沟道长度从减小调制效应和增大增益的角度考虑，均采用  $L=2\mu m$ 。从输出

摆幅以及  $g_{ds}$  要求考虑，指定  $M_{17}, M_{18}$  电流源负载的过驱动电压为 0.25V，由  $\frac{I_{ds}}{W/L} \sim V_{od}$

特性曲线，可得  $\frac{I_{ds}}{W/L} \approx 1.5e-6 \Rightarrow \left(\frac{W}{L}\right)_{17,18} \approx 106.6 = \frac{210\mu m}{2\mu m}$ 。由于  $M_{11}$ ,  $M_{12}$  与  $M_{17}$ ,

$M_{18}$  偏置电压相同，即得  $M_{11}$ ,  $M_{12}$  过驱动电压亦为  $0.25V$ ，从而可得

$$\left(\frac{W}{L}\right)_{11,12} = 40 = \frac{80\mu m}{2\mu m}。$$

$M_3$ ,  $M_4$ ,  $M_{13}$  作为共模反馈网络，其过驱动电压指定为  $M_{1,2}$  输入对管的过驱动电压，即

为  $0.375V$ ，此时对应的  $\frac{I_{ds}}{W/L} \approx 2.25e-6$ ，故可得  $\left(\frac{W}{L}\right)_{3,4} = 6.7 = \frac{13\mu m}{2\mu m}$ ，

$$\left(\frac{W}{L}\right)_{13} = 13 = \frac{26\mu m}{2\mu m}。$$

共源共栅管  $M_5$ ,  $M_6$  的过驱动电压的指定主要受增益要求的限制，为了实现高增益，过驱动电压的指定应使得其本征增益最大化，由  $g_m/g_{ds} \sim V_{od}$  特性曲线可知，为获得高增益，

取  $L=2\mu m$ ,  $V_{od} \approx 0.13V$ ，此时本征增益可达  $\sim 70$ 。此时由  $\frac{I_{ds}}{W/L} \sim V_{od}$  特性曲线，可得

$$\frac{I_{ds}}{W/L} \approx 3.5e-7 \Rightarrow \left(\frac{W}{L}\right)_{5,6} \approx 128.5 \approx \frac{260\mu m}{2\mu m}, \quad \left(\frac{W}{L}\right)_{14} \approx 85 = \frac{170\mu m}{2\mu m}。$$

对于  $M_7$ ,  $M_8$  管过驱动电压的指定同样也是从增益的角度考虑，取  $L=2\mu m$ ,  $V_{od} = 0.125V$ ，

此时本征增益可达  $\sim 100$ 。由  $\frac{I_{ds}}{W/L} \sim V_{od}$  特性曲线，可得

$$\frac{I_{ds}}{W/L} \approx 1.2e-6 \Rightarrow \left(\frac{W}{L}\right)_{7,8} = 37.5 = \frac{75\mu m}{2\mu m}, \quad \left(\frac{W}{L}\right)_{15} = 25 = \frac{50\mu m}{2\mu m}。$$

对于  $M_9$ ,  $M_{10}$  管过驱动电压的指定从增大  $g_{ds}$  的角度考虑，从而实现高增益。取  $L=2\mu m$ ,

$$V_{od} = 0.125V，故得 \left(\frac{W}{L}\right)_{9,10} = \left(\frac{W}{L}\right)_{7,8} = \frac{75\mu m}{2\mu m}, \quad \left(\frac{W}{L}\right)_{16} = \left(\frac{W}{L}\right)_{15} = \frac{50\mu m}{2\mu m}。$$

综上所述，得到主放大电路中所有晶体管参数如下：

$$\left(\frac{W}{L}\right)_{1,2} = \frac{13\mu m}{1\mu m}, \quad V_{od} \approx 0.375V$$

$$\left(\frac{W}{L}\right)_{3,4} = \frac{13\mu m}{2\mu m}, \quad V_{od} = 0.375V$$

$$\left(\frac{W}{L}\right)_{5,6} = \frac{260\mu m}{2\mu m}, \quad V_{od} = 0.13V$$

$$\left(\frac{W}{L}\right)_{7,8,9,10} = \frac{75\mu m}{2\mu m}, \quad V_{od} = 0.125V$$

$$\left(\frac{W}{L}\right)_{11,12} = \frac{80\mu m}{2\mu m}, \quad V_{od} = 0.25V$$

$$\left(\frac{W}{L}\right)_{13} = \frac{26\mu m}{2\mu m}, \quad V_{od} = 0.375V$$

$$\left(\frac{W}{L}\right)_{14} = \frac{170\mu m}{2\mu m}, \quad V_{od} = 0.13V$$

$$\left(\frac{W}{L}\right)_{15,16} = \frac{50\mu m}{2\mu m}, \quad V_{od} = 0.125V$$

$$\left(\frac{W}{L}\right)_{17,18} = \frac{210\mu m}{2\mu m}, \quad V_{od} = 0.25V$$

$$\left(\frac{W}{L}\right)_{19,20} = \frac{160\mu m}{2\mu m}, \quad V_{od} \approx 0.18V$$

在保证栅宽长比的条件下，可以通过调整  $M_{5,6,7,8}$  沟道长度来细微的调整共模电平输出，其

基本原理在于随着沟道长度 L 的减小， $\frac{W_{eff}}{L_{eff}}$  的值越大（ $L_{eff} = L - 2L_D$ ， $W_{eff} = W$ ，随着

$L$  的减小， $L_D/L$  越大），即等效过驱动电压增加，会细微提升第一级输出电平值，从而减小第二级输出电平值。 $L$  增加的效果与之相反。

## 5. 估算低频增益大小

由前文可知  $A_V = A_{V1} \times A_{V2}$ ，其中：

$$A_{V1} = -g_{m1,2} \{ [g_{m5,6} r_{O5,6} (r_{O1,2} \parallel r_{O3,4})] \parallel [g_{m7,8} r_{O7,8} r_{O9,10}] \}$$

$$A_{V2} = -g_{m19,20} (r_{O17,18} \parallel r_{O19,20})$$

又  $r_o = \frac{1}{\lambda I_{DS}}$  , 暂令  $\lambda_p = \lambda_n = \lambda$  , 结合  $g_{m1,2} = 200\mu S$  ,

$$g_{m5,6} = \frac{2I_{DS5,6}}{V_{od5,6}} = \frac{2 \times 0.75 \times 60\mu A}{0.3V} = 300\mu S, g_{m7,8} = 300\mu S, g_{m19,20} = 1600\mu S, \text{ 则有:}$$

$$A_V = \frac{48e4}{3375\lambda^3} \geq 1e4 \Rightarrow \lambda \leq 0.2423.$$

对于 CHRT 0.35um 工艺, 以上计算得到的  $\lambda$  范围远远满足要求, 即在前文估算得到的晶体管参数基础上, 低频增益远满足设计要求。

#### 6. 计算 Miller 补偿电阻大小

$$[1] w_z^- = \frac{-1}{C_C(g_{m19,20}^{-1} - R_C)} = 1.5w_{GBW} = \frac{1.5g_{m1,2}}{C_C} \Rightarrow R_C = \frac{1}{1.5g_{m1,2}} + \frac{1}{g_{m19,20}} \approx 400.$$

#### 7. 计算电路各偏置点电压, 用以估算偏置电路各晶体管参数

基于平方律的设计方法:

根据估算和指定的各晶体管的过驱动电压值, 可得各栅节点的偏置电压为:

$$V_{b1} = V_{dd} - |V_{thp}| - V_{od11,12} = 3.7V$$

$$V_{b2} = V_{com-in} + |V_{thp}| + V_{od1,2} - V_{ds1,2} - |V_{thp}| - V_{od5,6} = 2.2V$$

$$V_{b3} = V_{od9,10} + V_{thn} + V_{od7,8} = 1.33V, \text{ 考虑到衬偏效应, 取 } V_{b3} = 1.4V$$

$$V_{b4} = V_{od9,10} + V_{thn} = 1.03V$$

基于特性曲线的设计方法:

$$V_{b1} = V_{dd} - |V_{thp}| - V_{od11,12} = 3.625V$$

$$V_{b2} = V_{com-in} + |V_{thp}| + V_{od1,2} - V_{ds1,2} - |V_{thp}| - V_{od5,6} = 2.2V$$

$$V_{b3} = V_{od9,10} + V_{thn} + V_{od7,8} = 0.98V$$

$$V_{b4} = V_{od9,10} + V_{thn} = 0.855V$$

#### 8. 偏置电路

偏置电路为主运放提供各节点的偏置电压。偏置电路的设计原理较为简单, 通常采用多个电流镜完成。图 4-17 所示为设计中采用的偏置电路原理图[39]。偏置电路中晶体管参数的计算采用同运放相同的方式, 即基于特性曲线的计算方式。

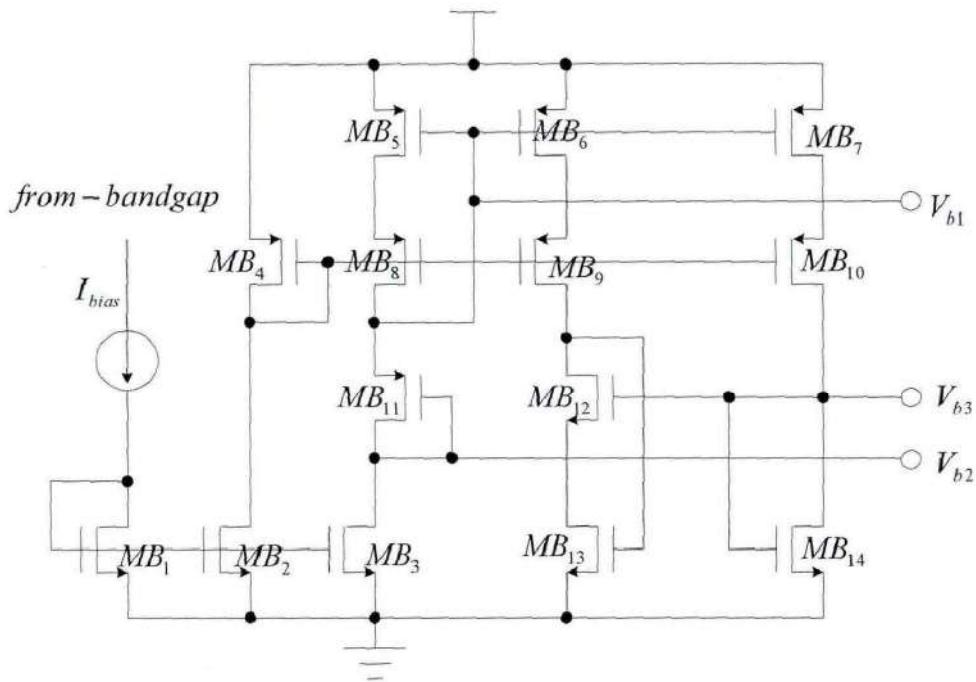


图 4-17 运放偏置电路

### 9. 仿真结果

对以上计算得到的各晶体管数值进行仿真，经过对个别晶体管的参数进行调整后，得到如图 4-18 所示频率响应曲线，各项指标如表所示。其中单位增益带宽略小于设计值，可以通过减小米勒补偿电容的值或者增大输入管的跨导达到设计要求。不过对于我们设计要求的调制器而言，该带宽已然满足要求，故不再做调整。

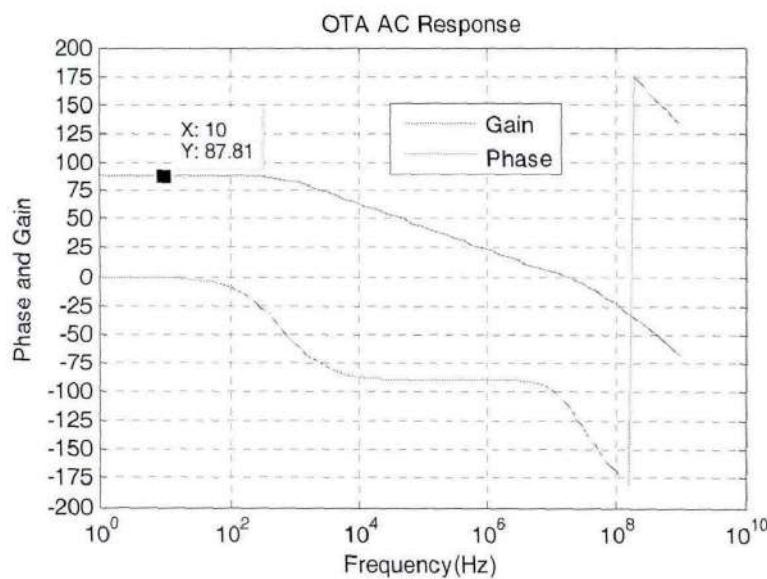


图 4-18 运放频响曲线

表 4-2 运放仿真结果

直流增益	相位裕度	功耗	单位增益带宽	共模偏移	单端输出摆幅	摆率(单端)	等效输入噪声
87.8dB	66°	2.44mW	28MHz	100nV	±2.2V	5V/us	14nV/ $\sqrt{\text{Hz}}$ (1KHz)

运放的设计过程需要兼顾多个方面，各个指标之间需要进行平衡。通常而言，先从增益和相位裕度入手，其次摆率要求，负载电容要求。对于不同的应用场景，关注的重点不同，此时可优先进行考虑。对于运放设计中各种问题，[4]给出了较为详细的说明。

## 4.5 比较器和锁存器实现

比较器和锁存器电路具有标准的实现，二者都属于数字电路，总体电路原理图如图 4-19 所示。

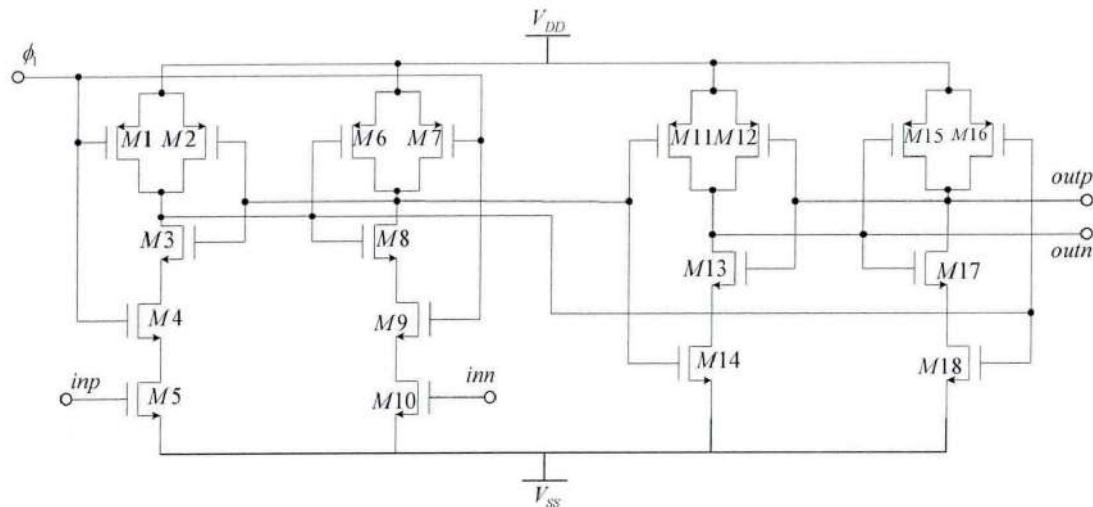


图 4-19 比较器和锁存器电路

对于比较器电路，由于噪声的影响，在阈值附近通常会出现多次触发的情况，如图 4-20 显示了使用迟滞技术前后一个快比较器对慢变化信号的响应。

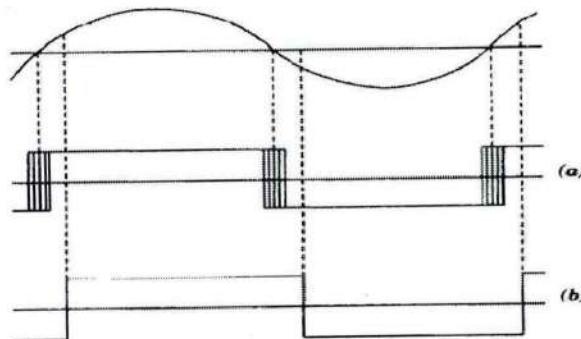


图 4-20 快比较器对慢变化信号的响应: (a)无迟滞; (b)迟滞后

迟滞技术本质上是一种正反馈技术[66], 采用迟滞技术后的触发器通常被称为施密特触发器。

在如上所示的比较器电路中, 由于多个晶体管的串联使用, 使得电路噪声相对较大, 虽然迟滞技术可以避免在阈值附近的多次波动, 但是由于噪声的影响, 触发点的位置仍然不准确, 故尽量降低噪声是比较器设计的根本。图 4-21 所示是一个相对低噪比较器的设计电路[67]。为了增大电路反应速度, 需适当的增加晶体管宽长比, 增大充放电电流。采用如图 4-21 所示电路结构, 仿真结果表明合适的晶体管宽度和长度可以大大减轻噪声引起的在阈值附近的波动(即多次触发)现象。

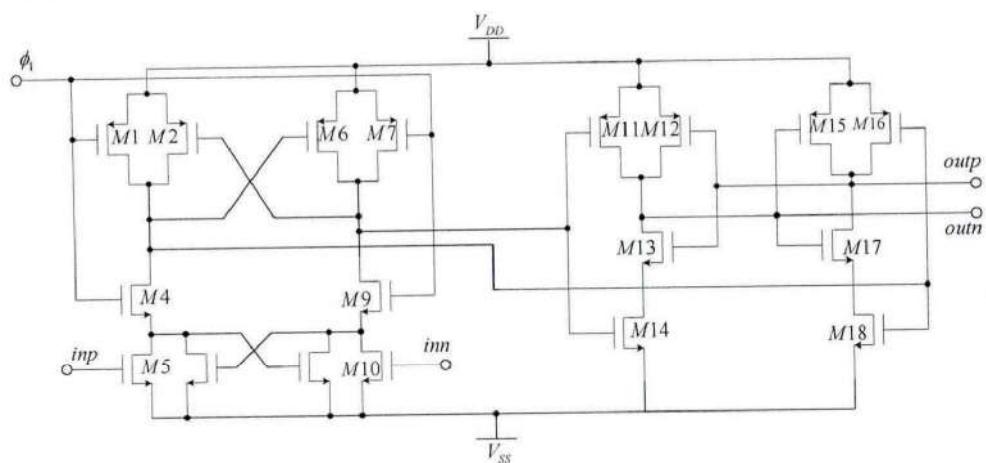


图 4-21 改进后比较器和锁存器电路

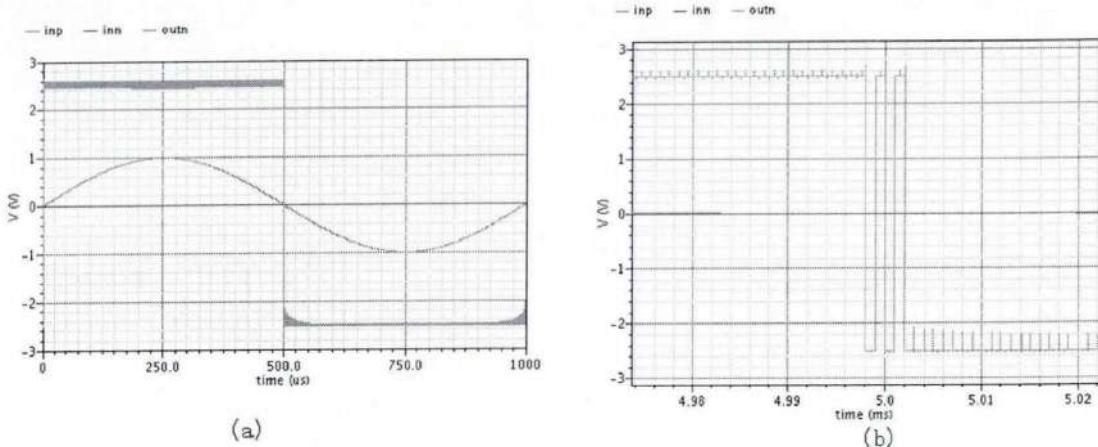
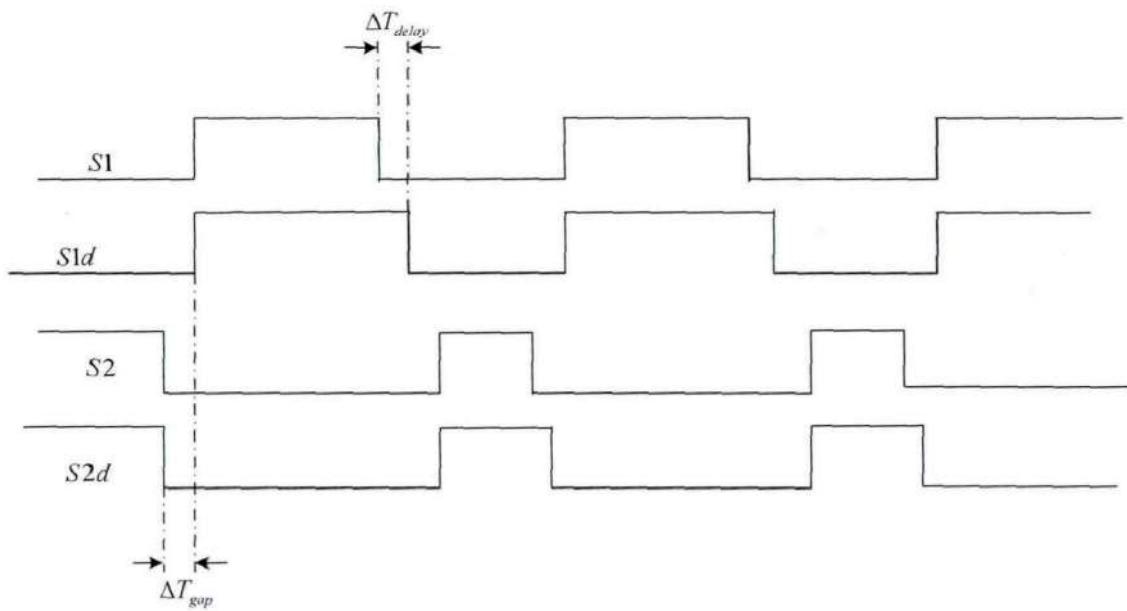


图 4-22 比较器对快信号和慢信号的响应; (a)1KHz;(b)0.1KHz

从对 Sigma-Delta 调制器整体仿真结构来看，比较器加迟滞与否不会对噪声性能构成显著影响，实际上，加迟滞后噪声性能更差。因为迟滞的效果等同于某时刻比较得到的值并不是对应时刻调制的结果，所以，在比较器电路设计中不使用迟滞。另外由于 4 阶噪声调制作用，比较器的直流偏移对整个调制器的性能影响不大[67]。

#### 4.6 时钟产生电路

在开关积分电路中，需要产生四个相位的时钟  $S_1, S_{1d}, S_2, S_{2d}$ ， $S_1, S_{1d}$  构成一组，二者具有相同时钟周期，仅仅相差一个固定延迟，同理  $S_2, S_{2d}$  构成一组，二者也仅仅相差一个固定延迟。通常其中一组时钟必须具有时间不对称的高低电平。如图 4-23 所示为保证开关电容积分电路正常工作，四个时钟必须具有的时序关系。

图 4-23  $\Sigma-\Delta$  调制器时钟相位关系

要求  $S1, S1d$  为高电平期间， $S2, S2d$  必须为低电平，同理  $S2, S2d$  为高电平期间， $S1, S1d$  必须为低电平。这样的时序要求可以采用如图 4-24 所示的电路产生<sup>18</sup>[6][12]。该电路产生各时钟之间的关系如下：

$$\Delta T_{delay}(S1, S1d) = Td2 + n \times Td3 \quad (n=1)$$

$$\Delta T_{gap}(S1, S2) = Td1 + Td2 + m \times Td3 \quad (m=3)$$

<sup>18</sup> 上升沿：考虑  $S2d$  和  $S1$  的关系，即  $S2d$  下降沿与  $S1$  上升沿之间的延迟；下降沿：考虑  $S1d$  与  $S2$  的关系，即  $S1d$  下降沿与  $S2$  上升沿之间的延迟。

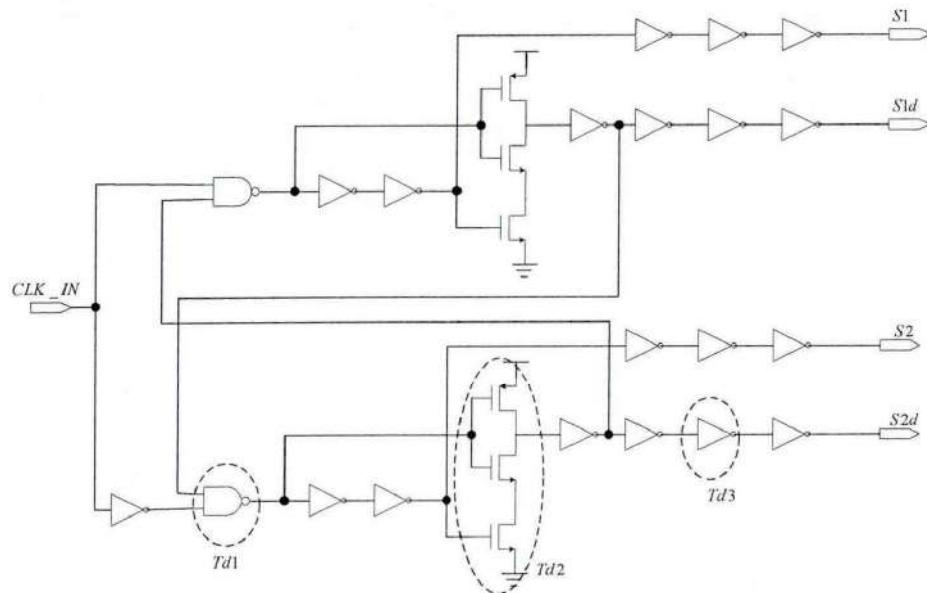


图 4-24 Σ-Δ 调制器时钟产生电路-1

产生非交叠时钟的另一种电路结构如图 4-25 所示[65]，这种结构相对更为简单，对调整各时钟之间的关系也较为方便。

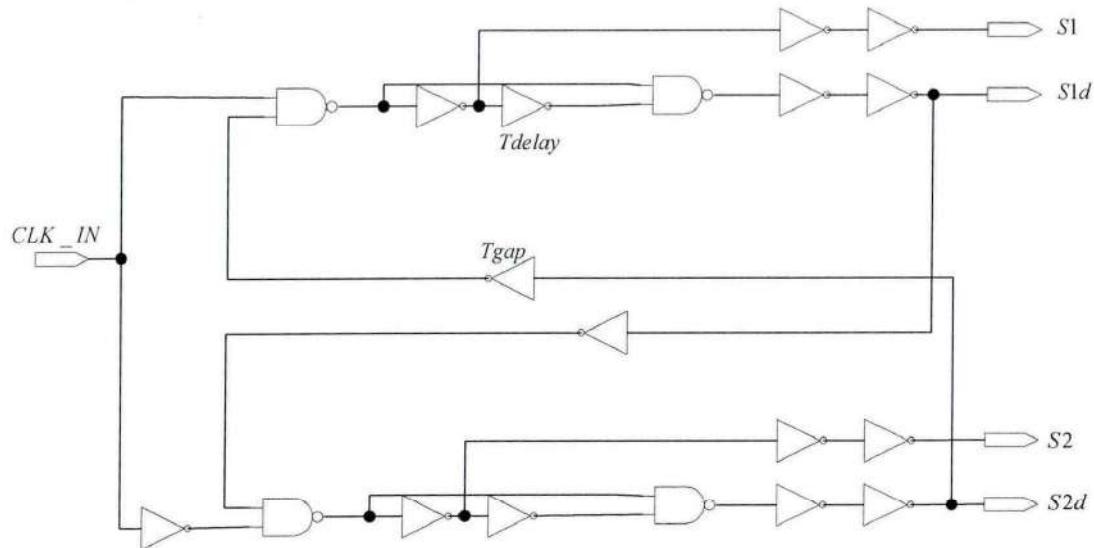


图 4-25 Σ-Δ 调制器时钟产生电路-2

图中 Tdelay 表示 S1 和 S1d 之间或者 S2 和 S2d 之间的相对延迟，可以通过添加反相器的数目来增大相对延迟，注意增加的反相器的数目必须是偶数。Tgap 则表示 S1 与 S2 之间的延迟，同理，也可以通过增加反相器的数目来达到增加延迟的目的。

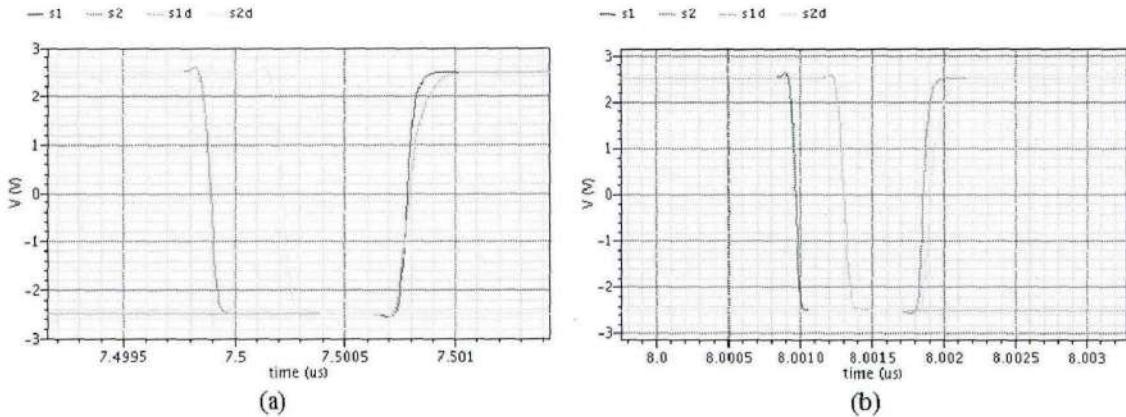
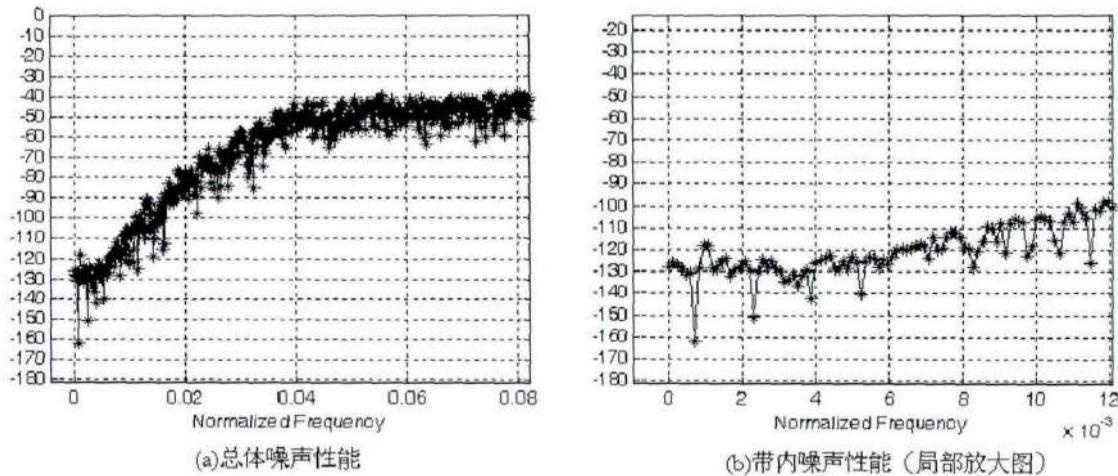


图 4-26 时钟产生电路仿真结果; (a)s2,s2d 下降沿;(b)s1,s1d 下降沿

从图 4-26 所示仿真结果来看,事实上,同相位时钟只是在下降沿进行了延迟,即开关打开时刻不同,上升沿基本一致,并没有错开,即开关关闭时刻基本相同,这正符合调制电路的要求,避免开关打开时造成的电荷注入效应。

## 4.7 SDM 前仿真结果

设置差分输入信号幅度为直流 0 电平,测试系统噪声平台,得到如图 4-27 所示前仿真结果图。

图 4-27 单环 4 阶  $\Sigma-\Delta$  调制器前仿真结果

从单环 4 阶  $\Sigma-\Delta$  调制器 (SDM-4) 仿真结果来看,带内噪声平台为 -130dB,比电路级仿真得到的噪声平台 (-140dB) 抬升了 10dB,这是由各种非线性因素造成的,这些非线性因素在前文讨论中已经进行了分析。调制器性能主要由第一

级结构决定，其中运放噪声贡献中闪烁噪声影响最大，可以通过增大运放输入晶体管的尺寸降低闪烁噪声，但是会引入较大的输入寄生电容，通过反馈电容作用进而影响到输出负载，对运放稳定性造成影响。其他两种降低运放闪烁噪声的方法是斩波-稳定（Chopper Stabilization）[68-71]以及相关采样技术[72-74]，这两种技术本质上是一致的，即在前半周期内预存噪声，而在后半周期内减去这个预存的噪声，达到消除造成影响的作用。这两种技术的使用也并非没有代价，都会引起高频热噪声向带内的叠加，如果使用电容阻值不当，非但不能降低噪声，反而会增加噪声的影响。在本设计中，为了降低电路设计的复杂度，采用了简单增加运放输入晶体管尺寸的方式降低闪烁噪声的影响，并通过采用 MOS 管并联使用作为开关实现降低开关对电路性能的影响。

如图 4-28 所示运放采用增大晶体管尺寸前后的噪声仿真曲线。

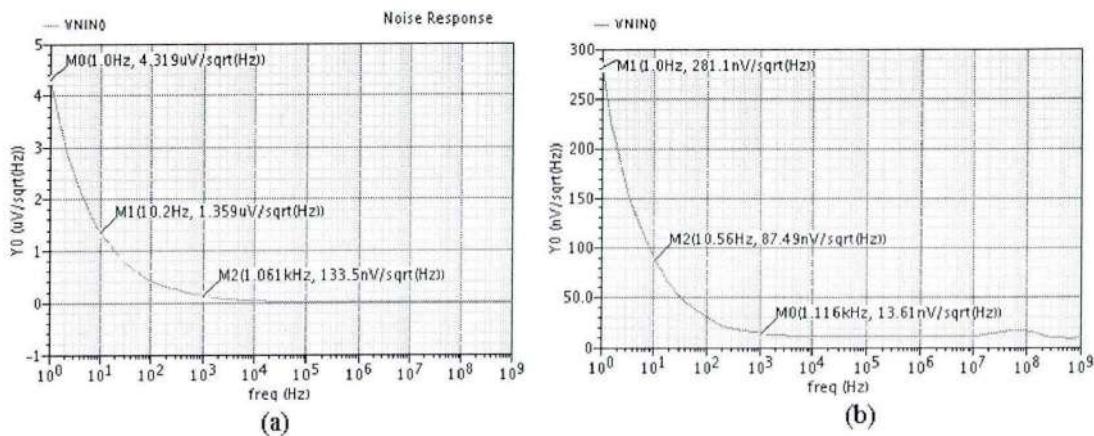


图 4-28 调整晶体管尺寸前后运放等效输入噪声性能曲线；(a) 调整前；(b)调整后

由图 4-28 可见，通过增大运放结构中关键部位的晶体管尺寸可以达到降低运放噪声的效果，然而晶体管尺寸的增加一方面增加了寄生电容，降低相位裕度，对稳定性造成负面影响；另一方面较大的尺寸也对版图布局造成麻烦，所以通过增大晶体管尺寸的方法降低噪声不可以过度。

图 4-29, 4-30, 4-31 所示为 500Hz, -6dB 正弦波输入调制结果。

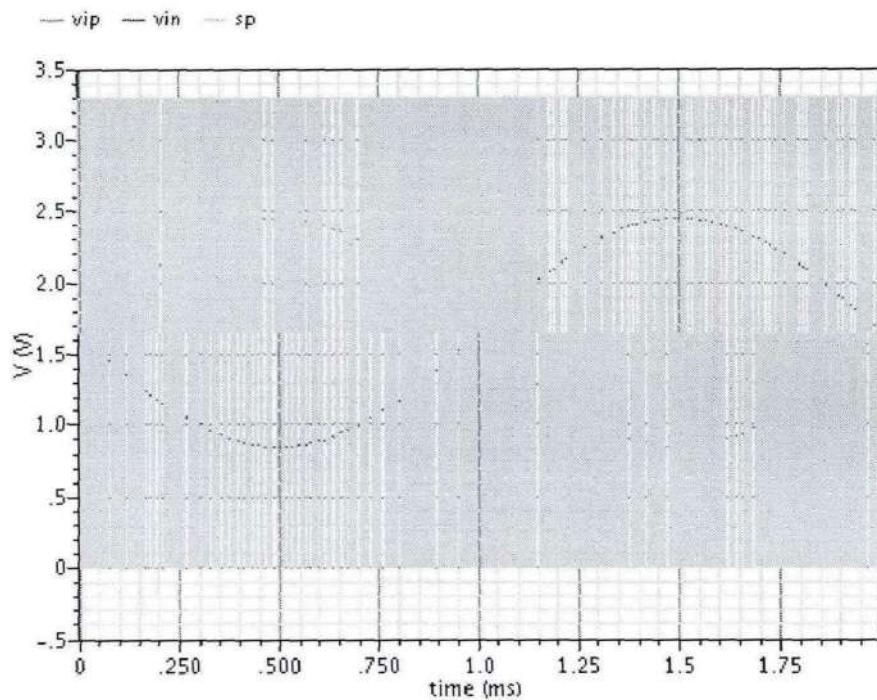


图 4- 29 500Hz, -6dB 正弦波输入信号调制时域图

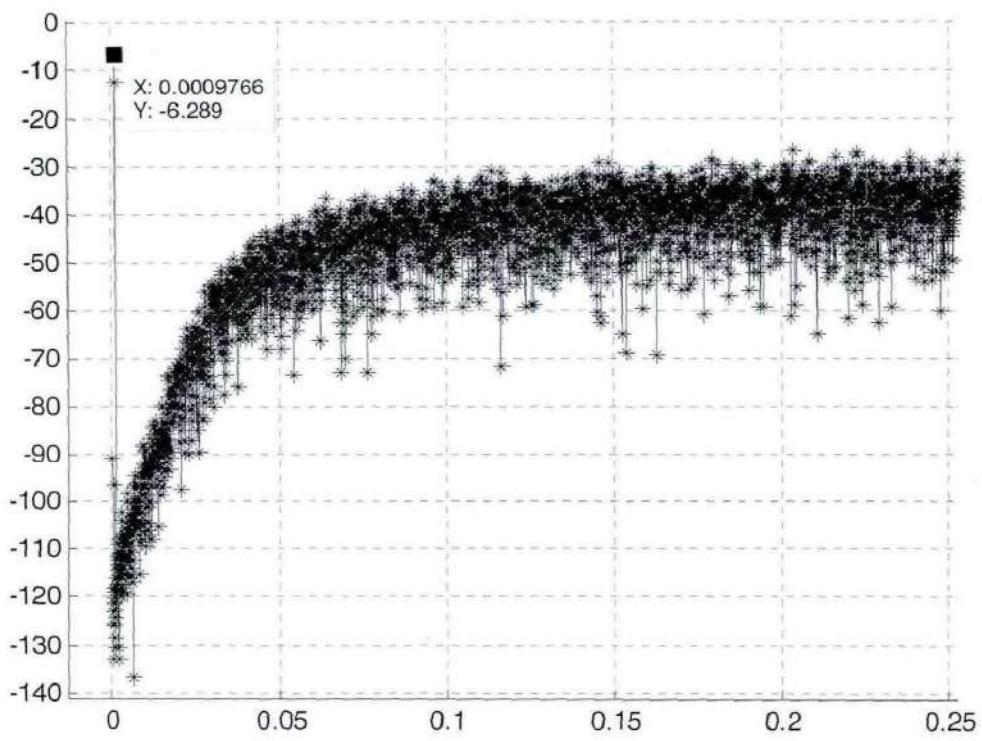


图 4- 30 500Hz, -6dB 正弦波输入信号调制频谱图

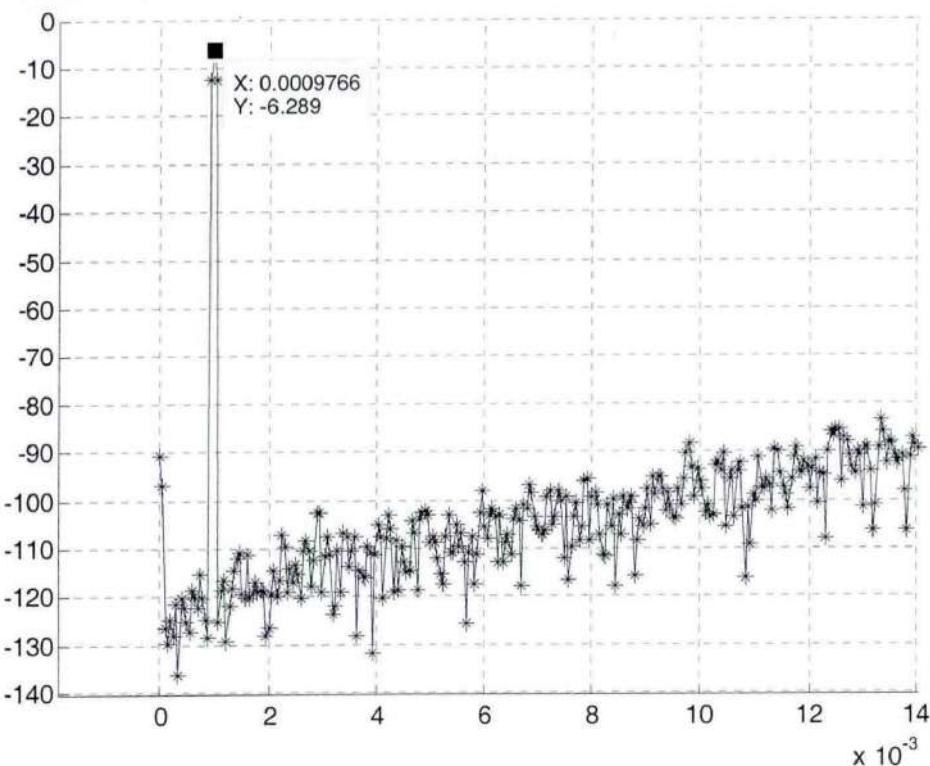


图 4-31 500Hz, -6dB 正弦波输入信号调制频谱图（局部放大）

由 4-31 可见，没有出现较大的谐波分量，这表示调制电路在-6dB 信号输入下依然具有很好的线性度。

## 4.8 本章小结

本章详细讨论了构成 SDM 结构的各模块的晶体管级实现，主要涉及如下内容：开关实现；电容，电阻实现；带隙基准电路实现；运算放大器实现；比较器和锁存器实现；时钟电路实现，这些基本模块共同构成 Sigma-Delta 调制结构。其中对性能其决定影响的是第一级结构的噪声水平，需要仔细设计用于第一级的运放以及开关，对于 2, 3, 4 级中使用的运放，无论是从增益还是噪声的角度考虑，都可以适当降低设计要求。另外参考电压的噪声水平对整个调制结构也会构成明显的影响，本设计中参考电压由芯片外提供，测试中考虑采用高精度线性电源作为电压参考源。比较器相对而言对性能影响不大，设计中没有特别对待，但是由于噪声引起的阈值附近的抖动也值得关注，设计中通过仔细设计晶体管尺寸可以将这种抖动效应降低到很低水平。

经过仿真，由并联 NMOS 和 PMOS (3.5/1: 2.4Kohm max) 构成的开关不

再是限制电路性能的主要因素，后端比较器加迟滞与否对电路性能也无明显影响，电路参数以及运放此时决定着电路性能。

## 4.9 参考文献

- [1] B. Razavi, “Design of Analog CMOS Integrated Circuits”, McGraw-Hill, International Edition 2001.
- [2] M.Banu, J.M.Khoury, Y.Tsividis, “Fully differential Operational Amplifiers with Accurate Output Balancing”, IJSSC, vol.23, no.6, pp.1410-1414, Dec.1988.
- [3] W.C.Black, D.J.Allstot, R.A.Reed, “A High Performance Low Power CMOS Channel Filter”, IJSSC, vol.25, no.6, pp.929-938, Dec.1980.
- [4] P.R.Gray, R.G.Meyer, “Mos Operational Amplifier Design – A Tutorial Overview”, IJSSC, vol.25, no.6, pp.969-982, Dec.1982.
- [5] K. R. Laker and W. M. Sansen, Design of Analog Integrated Circuits and Systems. New York: McGraw-Hill, 1994.
- [6] Libin Yao, S.J.Steyaert, W.Sansen, “A 1-V 140-uW 88-dB Audio Sigma-Delta Modulator in 90-nm CMOS”, IJSSC, vol.39, no.11, pp.1809-1818, Nov.2004.
- [7] B.Murmann, “Analog Integrated Circuit Design”, EE214, Stanford University, <http://eeclass.stanford.edu/ee214/>.
- [8] P.R.Gray, et.al, “Analysis and Design of Analog Integrated Circuits”, 4th Edition, John Wiley&Sons, Inc.2001.
- [9] F.Silveira, et.al, “A gm/Id Based Methodology for the Design of CMOS Analog Circuits and Its Application to the Synthesis of a Silicon-On-Insulator Micropower OTA”, IJSSC, vol.31, no.9, pp.1314-1319, Sep.1996.
- [10] B.Y.Kamath el al. “Relationship Between Frequency Response and Settling Time of Operational Amplifiers”, IEEE J. of Solid-State Circuits, vol.9, pp.347-352, Dec 1974.
- [11] H.C.Yang, D.J.Allstot, “Considerations for Fast Settling Operational Amplifiers”, IEEE J. of Solid-State Circuits, vol.37, pp.326-334, Mar 1990.
- [12] Libin Yao, el al. “Low-Power Low-Voltage Sigma-Delta Modulators In Nanometer CMOS”, Springer. 2006.
- [13] S.Rabii, B.A.Wooley, “A 1.8-V Digital-Audio Sigma-Delta Modulator in 0.8- $\mu$ m CMOS”, IEEE J. of Solid-State Circuits, vol.32, pp.783-796, Jun. 1997.
- [14] J.Roh, et al. “A 0.9-V 60-uW 1-Bit Fourth-Order Delta-Sigma Modulator With 83-dB Dynamic Range”, IEEE J. of Solid-State Circuits, vol.43, pp.361-370, Feb. 2008.
- [15] K.N.Leung and P.K.T.Mok, “A Sub-1-V 15-ppm/ $^{\circ}$ C CMOS Bandgap Voltage Reference Without Requiring Low Threshold Voltage Device”, IEEE J. of Solid-State Circuits, vol.37, pp.526-530, Apr. 2002.
- [16] K.N.Leung and P.K.T.Mok, “A 2-V 23-uA 5.3--ppm/ $^{\circ}$ C Curvature-Compensated CMOS Bandgap Voltage Reference”, IEEE J. of Solid-State Circuits, vol.38, pp.561-564, Mar. 2003.
- [17] I. M. Filanovsky and A. Allam, “Mutual compensation of mobility and threshold voltage temperature effects with applications in CMOS circuits,” IEEE Trans. Circuits Syst. I, vol. 48, pp. 876–884, July 2001.
- [18] G.Giustolisi el al. “A Low-Voltage Low-Power Voltage Reference based on Subthreshold MOSFETs”, IEEE J. of Solid-State Circuits, vol.38, pp.151-154, Jan 2003.
- [19] P.K.T.Mok and K.N.Leung, “Design Considerations of Recent Advanced Low-Voltage

- Low-Temperature-Coefficient CMOS Bandgap Voltage Reference”, IEEE 2004 Custom International Circuits Conference, pp.635-642, 2004.
- [20] T.L.Brooks and A.L.Westwick, “A Low-Power Differential CMOS Bandgap Reference”, ISSCC 94, Session 14, pp.248-249.
- [21] B.S.Song and P.R.Gray, “A Precision Curvature-Compensated CMOS Bandgap Reference”, IEEE J. of Solid-State Circuits, vol.sc-18, pp.634-643, Dec 1983.
- [22] A.Boni, “Op-Amps and Startup Circuits for CMOS Bandgap References With Near 1-V Supply”, IEEE J. of Solid-State Circuits, vo.37, pp.1339-1343, Oct 2002.
- [23] M.Ferro et al, “A Floating CMOS Bandgap Voltage Reference for Differential Applications”, IEEE J. of Solid-State Circuits, vol.24, pp.690-697, Jun 1989.
- [24] K.M.Tham and K.Nagaraj, “A Low Supply Voltage High PSRR Voltage Reference in CMOS Process”, IEEE J. of Solid-State Circuits, vol.30, pp.586-590, May 1995.
- [25] Y.P.Tsividis and R.W.Ulmer, “A CMOS Voltage Reference”, IEEE J. of Solid-State Circuits, vol.sc-13, pp.774-778, Dec 1978.
- [26] M.A.T.Sanduleanu et al. “Accurate low power bandgap voltage reference in 0.5um CMOS technology”, Electronics Letters, vol.34, May 1998.
- [27] H.Banba et al. “A CMOS Bandgap Reference Circuit with Sub-1-V Operation”, IEEE J. of Solid-State Circuits, vol.34, pp.670-674, May.1999.
- [28] E.Vittoz and J.Fellrath, “CMOS Analog Integrated Circuits Based on Inversion Operation”, IEEE J. of Solid-State Circuits, vol.sc-12, pp.224-231, Jun. 1977.
- [29] H.Oguey and D.Aebischer, “CMOS Current Reference without Resistance”, IEEE J. of Solid-State Circuits, vol.32, pp.1132-1135, Jul. 1997.
- [30] R.Stair et al, “A Current Mode CMOS Voltage Reference”, Southwest Symposium on Mixed-Signal Design, pp.23-26, Feb. 2000.
- [31] K.N.Leung, P.K.T.Mok and K.C.Kwok, “CMOS Voltage Reference”, US Patent 6441680, Aug, 27, 2002.
- [32] C.Y.Leung et al. “Design of a 1.5-V High-Order Curvature-compensated CMOS Bandgap Reference”, 2004.
- [33] M.Ferro, “A Floating CMOS Bandgap Voltage Reference for Differential Applications”, IEEE J. of Solid-State Circuits, vol.24, pp.690-697, Jun. 1989.
- [34] S.K.Hoon et al. “An Improved Bandgap Reference With High Power Supply Rejection”, 2002.
- [35] F.You et al. “An Improved Tail Current Source for Low-Voltage Applications”, IEEE J. of Solid-State Circuits, vol.32, pp.1173-1179, Aug. 1997.
- [36] T.B.Cho and P.R.Gray, “A 10 b, 20 Msample/s, 35 mW pipeline A/D converter”, IEEE J. of Solid-State Circuits, vol.30, pp.166-172, Mar. 1995.
- [37] Y.Nakagome et al. “An Experimental 1.5-V 64-Mb DRAM”, IEEE J. of Solid-State Circuits, vol.26, pp.465-472, Apr. 1991.
- [38] F.Wang, R.Harjani, “Power Analysis and Optimal Design of Opamps for Oversampled Converters”, IEEE Trans. on Circuits and Systems-II:Analog and Digital Signal Processing, vol.46, pp.359-369, Apr. 1999.
- [39] J.Grilo. et al. “A 1.8V 94dB Dynamic Range Delta Sigma Modulator for Voice Applications”, International Solid-State Circuits Conference, pp230-231, 1996.
- [40] R.Castello and P.R.Gray, “A High-Performance Micropower Switched-Capacitor Filter”,

- IEEE J. of Solid-State Circuits, vo.sc-20,pp.1122-1132, Dec. 1985.
- [41] S.Baswa. et al, "Low-Voltage Micropower super class AB CMOS OTA", Electronics Letters, vol.40, no.4, Feb. 2004.
- [42] V.Peluso. et al, "A 900-mV Low-Power Delta Sigma A/D Converter with 77-dB Dynamic Range", IEEE J. of Solid-State Circuits, vol.33, pp.1887-1897, Dec. 1998.
- [43] G.Błakiewicz, "Frequency Compensation for two-stage operational amplifiers with improved power supply rejection ratio characteristic", IET Circuits Devices System, vol.4,pp.458-467, 2010.
- [44] R.Klinke. et al, "A Very-High Slew-Rate CMOS Operational Amplifier", IEEE J. of Solid-State Circuits, vol.24, pp.744-746, Jun. 1989.
- [45] K.Nakamura and L.R.Carley, "An Enhanced Fully Differential Folded-Cascode Op Amp", IEEE J. of Solid-State Circuits, vol.27, pp.563-568, Apr. 1992.
- [46] B.K.Ahuja, "An Improved Frequency Compensation Technique for CMOS Operational Amplifiers", IEEE J. of Solid-State Circuits, vol.sc-18, pp.629-632, Dec. 1983.
- [47] C.T Chuang, "Analysis of the Settling Bahavior of an Operational Amplifier", IEEE J. of Solid-State Circuits, vol. sc-17, pp.74-80, Feb. 1982.
- [48] S.M.Mallya and J.H.Nevin, "Design Procedures for a Fully Differential Folded-Cascode CMOS Operational Amplifier", IEEE J. of Solid-State Circuits, vol.24, pp.1737-1740, Dec. 1989.
- [49] D.B.Ribner and M.A.Copeland, Design Techniques for Cascoded CMOS Op Amps with Improved PSRR and Common-Mode Input Range", IEEE J. of Solid-State Circuits, vol.sc-19, pp.919-925, Dec. 1984.
- [50] J.H.Huijsing and D.Linebarger, "Low-Voltage Operatinal Amplifier with Rail-to-Rail Input and Output Ranges", IEEE J. of Solid-State Circuits, vol.sc-20, pp.1144-1150, Dec. 1985.
- [51] P.K.Chan. et al, "A Low-Offset Class-AB CMOS Operational Amplifier", IEEE International Symposium on Circuits and Systems, pp.III455-III458, May. 2000.
- [52] K.Koli and K.Halonen, "A Fully Differential Class-AB Switched-Current Integrator for Signal Processing", IEEE J. of Solid-State Circuits, vol.32, pp.238-244, Feb. 1997.
- [53] R.D.Jolly and R.H.Mccharles, "A Low-Noise Amplifier for Switched Capacitor Filters", IEEE J. of Solid-State Circuits, vol.sc-17, pp.1192-1194, Dec. 1982.
- [54] T.Stockstad and H.Yoshizawa, "A 0.9-V 0.5-uA Rail-to-Rail CMOS Operational Amplifier", IEEE J. of Solid-State Circuits, vol.37, pp.286-292, Mar. 2002.
- [55] P.Godoy and J.L.Dawson, "Chopper Stabilization of Analog Multipliers, Variable Gain Amplifiers, and Mixers", IEEE J. of Solid-State Circuits, vol.43, pp.2311-2321, Oct.2008.
- [56] C.B.Wang, "A 20bit 25kHz delta sigma A/D Converter utilizing frequency-shaped chopper stabilization scheme", Proceedings of the IEEE CICC, pp.9-12, May. 2000.
- [57] L.Zhang et al. "System Design of a low noise, low offset instrumentation amplifier with chopper stabilization", 7th International Conference on ASIC, pp.627-630, 2007.
- [58] L.Toth and Y.P.Ysividis, "Generalization of the principle of chopper stabilization", IEEE trans. on Circuits and Systems I:Fundamental Theory and Applications, vol.50, pp.975-983 Aug.2003.
- [59] M.C.W.Colin, "Chopper Stabilization of MOS Operational Amplifiers Using Feed-Forward Techniques", IEEE J. of Solid-State Circuits, vol.sc-16, pp.745-748, Dec.1981.
- [60] O.Oliaei, "Noise analysis of correlated double sampling SC-integrators", IEEE international symposium on Circuits and Systems, vol.4, pp.445-448, 2002.
- [61] O.Oliaei, "Noise analysis of correlated double sampling SC-integrators with a hold capacitor",

- IEEE Trans. on Circuits and Systems I: Fundamental Theory and Applications, vol50, pp.1198-1202, Sept. 2003.
- [62] M.Hasan et al. "A 15-bit CMOS cyclic A/D converter with correlated double sampling", IEEE International Symposium on Circuits and Systems, vol.1, pp.497-500, 2002.
- [63] J.M.Pimbley and G.J.Michon, "The output power spectrum produced by correlated double sampling", vol.38, pp.1086-1090, Sept. 1991.
- [64] C.C.Enz and G.C.Temes, "Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization", Proc. IEEE, vol.84, pp.1584-1614, Nov. 1996.
- [65] S.R.Norsworthy, R.Schreier and G.C.Temes, "Delta-Sigma Data Converters: Theory, Design and Implementation," IEEE Press, 1997.
- [66] Roubik Gregorian, "Introduction to CMOS op-amp and comparators", Wiley-Interscience, Feb. 1999.
- [67] B.P.Brandt, et al. "Second-Order Sigma-Delta Modulation for Digital-Audio Signal Acquisition", IEEE J. of Solid-State Circuits, vol.26, pp.618-627, Apr. 1991.
- [68] C.C.Enz, G.C.Temes, "Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization", Proceedings of The IEEE, vol.84, pp.1584-1614, Nov. 1996.
- [69] W.Lee, "A 4-channel,18b sigma delta Modulator IC with Chopped-Offset Stabilization", IEEE International Solid-State Circuits Conference, pp.238-240, 1996.
- [70] A.Bakker et al. "A CMOS Nested-Chopper Instrumentation Amplifier with 100-nV Offset", IEEE J. of Solid-State Circuits, vol.35, pp.1877-1883, Dec 2000.
- [71] K.C.Hsieh et al, "A Low-Noise Chopper-Stabilization Differential Switched-Capacitor Filtering Technique", IEEE J. of Solid-State Circuits, vol.sc-16, pp.708-715, Dec 1981.
- [72] T.Kajita et al, "Correlated Double Sampling integrator insensitive to parasitic capacitance", Electronics Letters, vol.37, pp.151-153, Feb 2001.
- [73] O.Oliaei, "Noise Analysis of Correlated Double Sampling SC Integrators with a Hold Capacitor", IEEE Trans. on Circuits and Systems-I: Fundamental theory and Applications, vol.50, pp.1198-1204, Sep 2003.
- [74] H.M.Wey and W.Guggenbuhl, "Noise Transfer Characteristics of a Correlated Double Sampling Circuit", IEEE Trans. on Circuits and Systems, vol.cas-33, pp.1028-1030, Oct. 1986.
- [75] 魏微, 基于 Wilkinson ADC 的多通道模数变换 ASIC 的设计与实现. 博士学位论文, 中国科学院研究生院, 2010。

## 第5章 版图实现及后仿真

版图设计是 ASIC 芯片设计过程中非常关键的一步，直接关系着最终流片能否成功，电路能否按照预设的功能工作。即使电路原理上设计无误，如果版图设计不合格，由寄生效应造成的非理想因素也会导致最后芯片设计的失败。对于模拟电路版图布局，必须尽量保证器件匹配以及降低寄生因素（尤其是寄生电容效应）。Sigma-Delta 调制器主要由如下基本单元构成：1) 开关；2) 运放；3) 比较器；4) 时钟产生电路；5) 带隙基准电路；6) 电阻，电容。基于 Chartered 0.35 $\mu\text{m}$  工艺限制，其中调制器顶层结构中电容分别采用 PIP（多晶硅到多晶硅）方式实现，其他子电路中电阻采用多晶硅（`upoly_f_1k`）电阻，电容仍然采用 PIP 实现方式；其中有一点值得注意的是电容区分正负极，对于 Chrt35um 工艺中 PIP 电容实现方式，Poly3 作为正极使用，Poly2 作为负极使用，这在进行版图设计时需要注意与原理图中相一致，否则在做 LVS 会报错。下文将详细介绍其他几个组件的实际版图实现以及后仿真结果。

### 5.1 开关版图实现与后仿真

开关是 Sigma-Delta 调制器的一个核心构成单元，其对整个调制器性能起着关键作用，通过上一章对 MOS 管开关实现的讨论和仿真得到由 NMOS 和 PMOS 并联组成的开关在信号变化范围内可保持最大的导通电阻恒定性。由于调制器中开关数量较多，直接使用时钟产生电路输出的信号难以直接进行驱动，故每个开关内部增加了缓冲器，如图 5-1 所示。

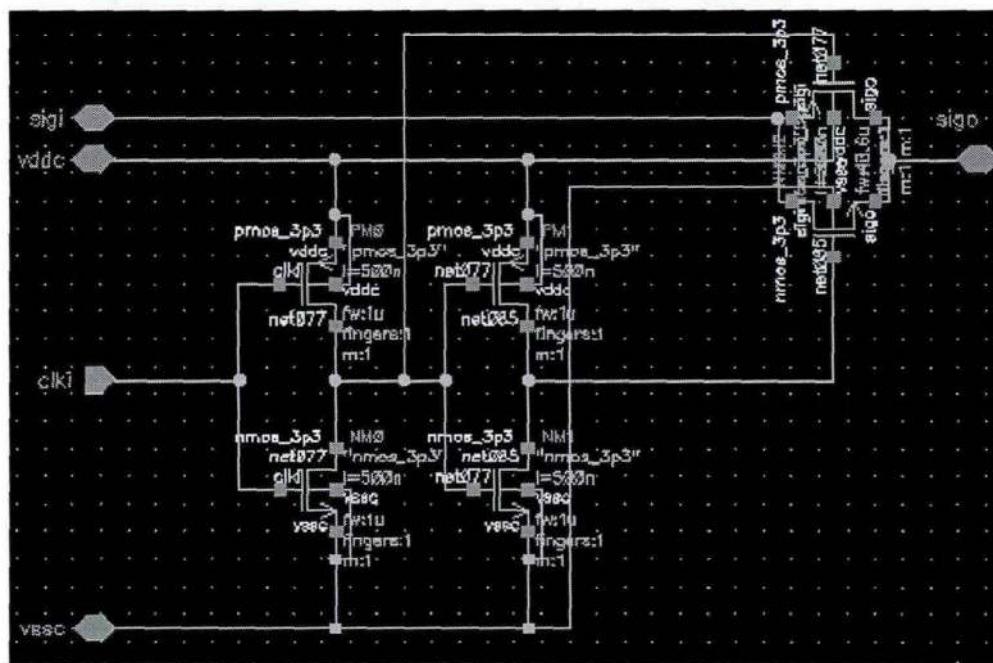


图 5-1 调制器中单个开关实现原理图

从图 5-1 可见，每个开关内部采用两个反相器进行驱动，同时提供互补时钟给 MOS 管，由于反相器的延时，PMOS 和 NMOS 管开启和关闭时刻存在偏差，增加了电路非线性，降低了系统性能，可以考虑在第一级反相器后增加一个缓冲器补偿第二个反相器的延时，但也无法做到精确地同时关闭和开启 CMOS 管，且从整个电路性能考虑，开关的这个缺点并不是瓶颈，故实际实现中不另外增加缓冲器进行延时补偿。如图 5-2 所示为开关版图实现。

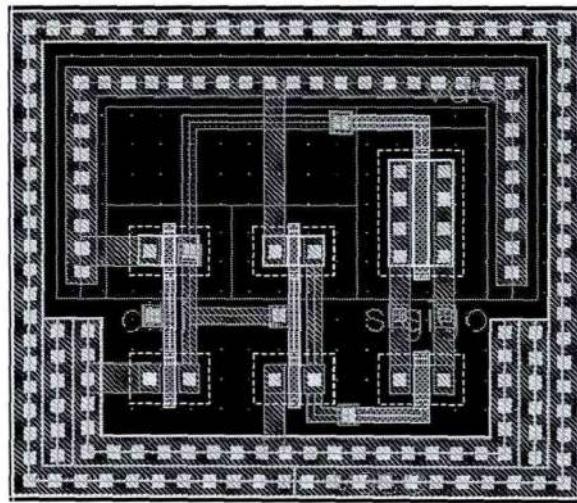


图 5-2 开关版图实现

对于开关性能的后仿真，需要在输出端口添加一个负载电容以稳定输出（考虑到寄生电容，也可以不另加负载电容），同时可以观察到正常工作状态下的开

关存储电荷效应（在小的负载电容下可以明显的观察到存储电荷效应）[3]。如图 5-3 所示为频率为 10kHz 的正弦波输入响应，时钟频率为 1MHz，负载电容为 10pF。由图 5-3 可见，在开关闭合器件，输出跟随输入变化，当开关打开后，输出保持不变，在开关打开瞬间存在的电平跳动是由开关的存储电荷效应造成的，采用差分结构可以降低这种效应，但是由于开关存储电荷数与输入电平有关，故即便差分结构也无法消除开关的存储电荷效应，这将增加调制器电路的非线性，影响调制性能。Sigma-Delta 调制器设计中采用了多相位时钟尽量消除开关的存储电荷效应。

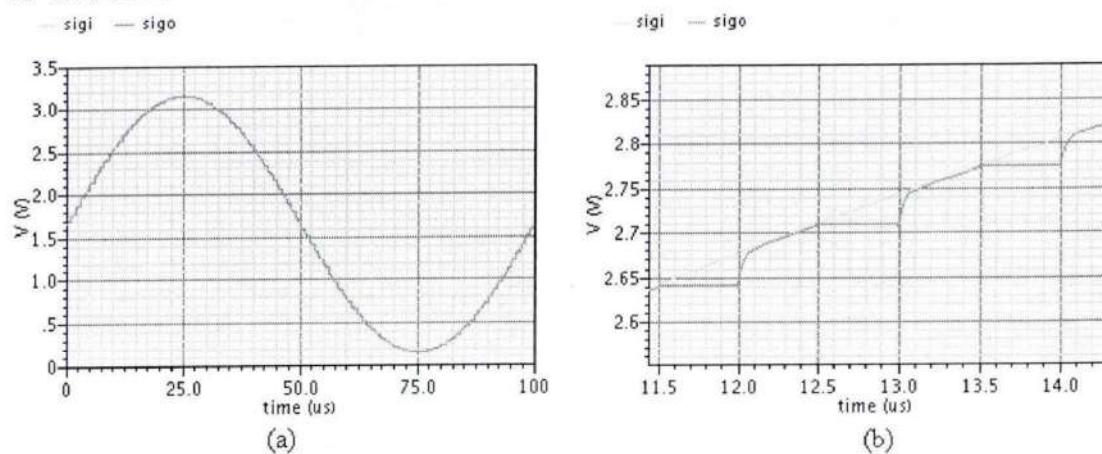


图 5-3 开关性能后仿真结果；(a)全局图；(b)局部放大图

## 5.2 运放版图实现与后仿真

运放是整个 Sigma-Delta 调制器的核心单元，故其版图设计十分关键。对于差分信号，输入对管的匹配性决定了输出偏移电压大小。运放放大器版图的设计充分考虑了差分对管的对称性和匹配性，采用 interdigitated 布局方式，同时采用 dummy 晶体管保证处于边缘的晶体管与内部晶体管具有相同的外界环境，运算放大器实际版图如图 5-4 所示。

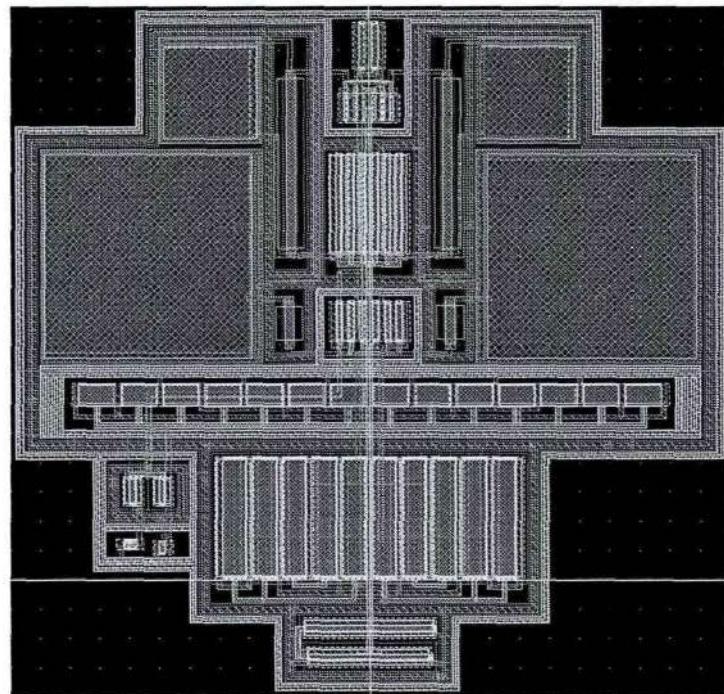


图 5-4 运放版图实现

图 5-5 为负载电容为  $5\text{pF}$  时的 AC 响应曲线，由图可见，后仿真得到的放大器低频增益约为  $75\text{dB}$ ，单位增益带宽约为  $15\text{MHz}$ 。

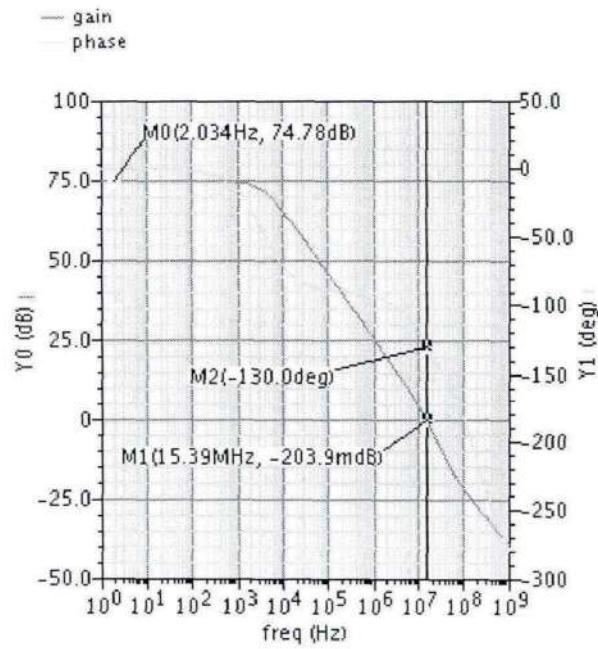


图 5-5 运放版图实现提取参数后仿真频响曲线

图 5-6 为后仿真得到的输出共模电平，此时差分输入为正弦波。由图 5-6 可见，输出共模电平偏移约为  $33\mu\text{V}$ 。

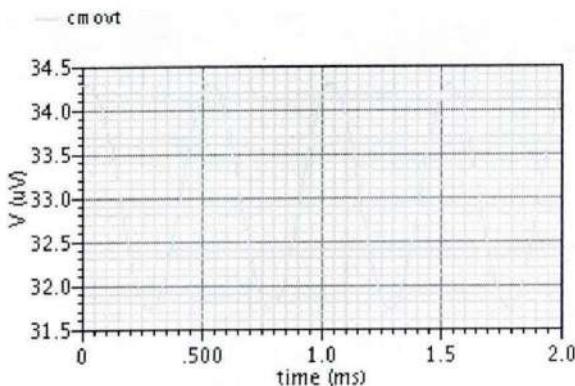


图 5-6 运放共模电平变化曲线

由于失配的存在，后仿真得到差分输出 OUTP 和 OUTN 存在固定的偏移，OUTP 直流偏移为 115uV，OUTN 直流偏移为 -47uV。

### 5.3 比较器版图实现与后仿真

比较器在 Sigma-Delta 调制器中作为 1-bit 量化器使用，由于经过 4 阶调制结构后才进行比较，故比较器噪声和直流漂移对整个电路性能影响很小[1]，这对比较器版图设计提供了很大的自由度。比较器原理设计中是一个对称结构，在版图实现中尽量保持了对管的匹配度，具有匹配要求的晶体管采用共中心布局方式[2]，并采用 Dummy 晶体管补偿外部晶体管边界，从仿真结果来看，此种补偿可以减小直流偏移，增加匹配程度。如图 5-7 所示为比较器版图的具体实现。

由于比较器电路实际是一个数字电路，故采用保护环（GuardRing）隔离噪声，防止噪声耦合到调制器的核心调制模拟电路部分。图 5-8 所示为前仿真和后仿真结果比较，与前仿真结果一样，对于慢信号在过零点附近存在跳动现象，后仿真相对前仿真直流漂移较大，在输入正弦信号频率为 500Hz 情况下，前仿真直流漂移约为 -75uV，后仿真得到的结果约为 -15mV，这表示比较器版图实现中存在一定的失配度，不过这对于整个调制器的性能不会造成影响。

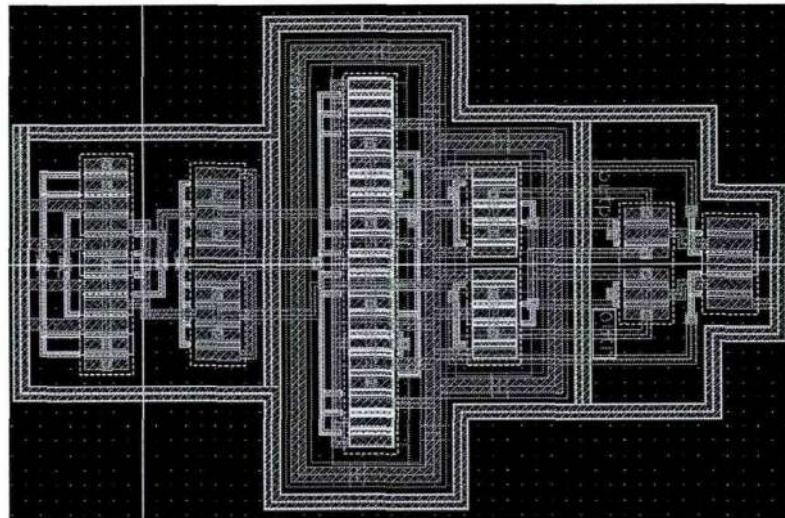


图 5-7 比较器版图实现

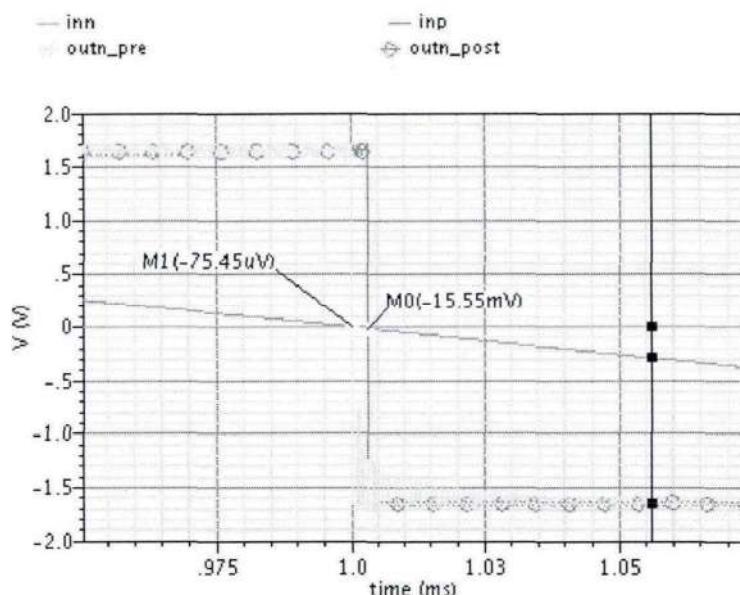


图 5-8 比较器前仿真与后仿真结果比较

#### 5.4 时钟产生电路版图实现与后仿真

时钟产生电路是一个纯数字电路，其版图实现上对于匹配性要求不高。时钟产生电路从外部接收一个 512KHz 的时钟，输出 4 路不同相位的时钟，提供给调制器各部分开关，完成对信号的调制作用。如图 5-9 所示为时钟产生电路的版图实现，图 5-10 为后仿真结果，其与前仿真结果比较，仅仅延迟了一段时间，各时钟之间的相位关系没有发生变化。从仿真结果来看，时钟产生电路版图实现满

足设计要求。

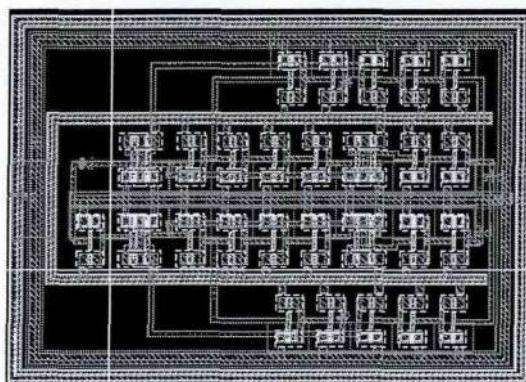


图 5-9 时钟产生电路版图实现

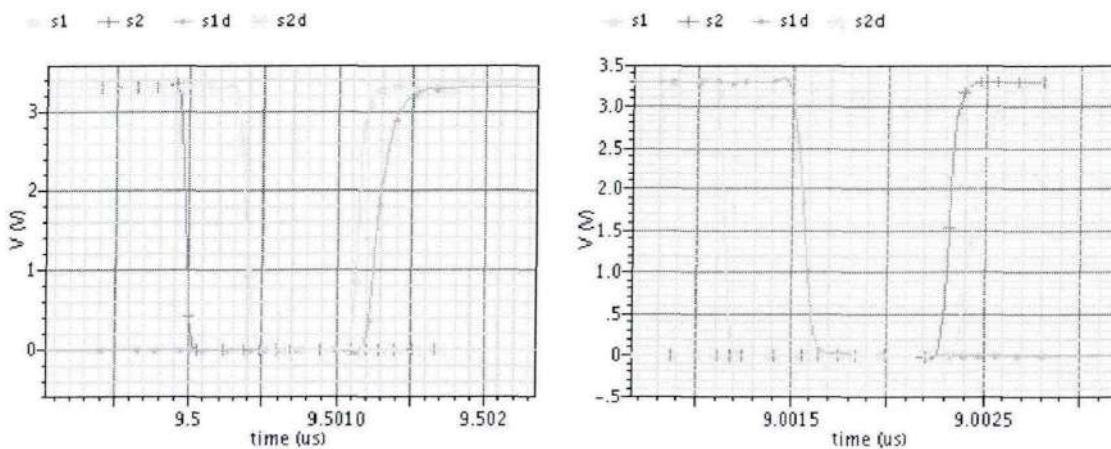


图 5-10 时钟产生电路后仿真结果

## 5.5 带隙基准版图实现与后仿真

带隙基准为调制器提供基准电压源，通常带隙基准版图设计后的基准电压偏移是一个重要问题。由于运放偏置电路由基准电压提供，故大的基准电压偏移将会直接影响运放的性能。基准电压版图设计中需要注意如下几个问题：1) 基准电压电路中运算放大器的匹配性设计；2) BJT 管的匹配性设计；3) 电阻的匹配性设计。带隙基准版图实现如图 5-11 所示<sup>19</sup>。图 5-12 所示为提取 RC 参数后的后仿真结果：带隙基准输出随温度的变化曲线。注意到在 T=27°C 时，基准输出

<sup>19</sup>本设计所采用的工艺无法实现两级 BJT 的级联，故最终版图设计采用了中科院魏微博士论文[14]中的带隙基准原理图。

为 1.213V，与前仿真得到的 1.212V 相差 1mV，这通常不会对电路工作造成影响。

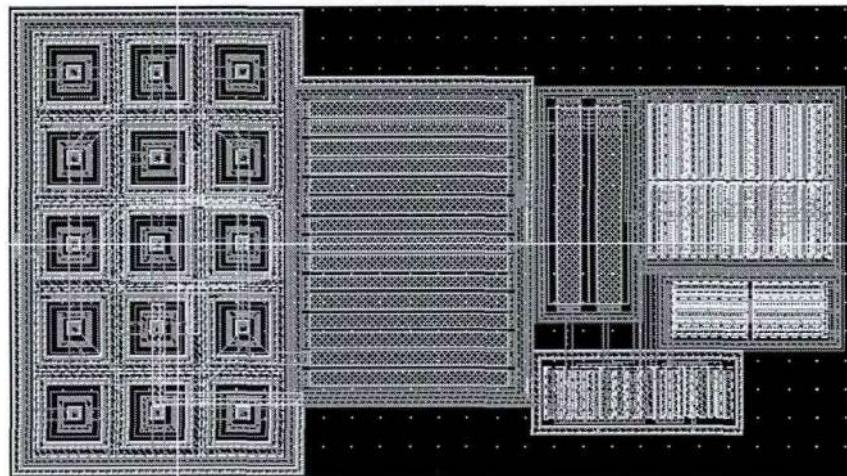


图 5-11 带息基准版图实现

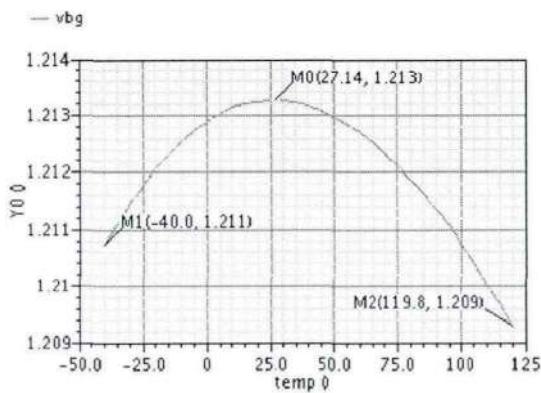
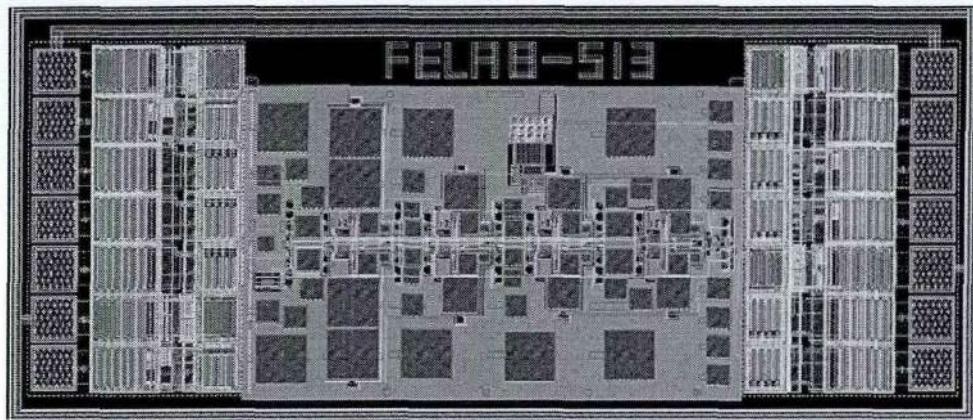


图 5-12 带息基准仿真结果

## 5.6 Sigma-Delta 调制器总体版图实现与后仿真

通过将如上各子模块版图进行组合，严格考虑差分对称性，Sigma-Delta 调制器总体版图如图 5-13 所示，面积为  $1720 \times 745 \mu\text{m}^2$ 。对于版图中空余空间一律采用电容进行填充，实现为片内电源滤波作用。

图 5-13  $\Sigma-\Delta$  调制器总体版图

在调制器的版图实现中，为了节省器件，对调制器原理图中反馈电路做了细微更改，如图 5-14 所示，作此修改的好处有两点[6]：1) 降低运放摆率要求；2) 降低功耗。

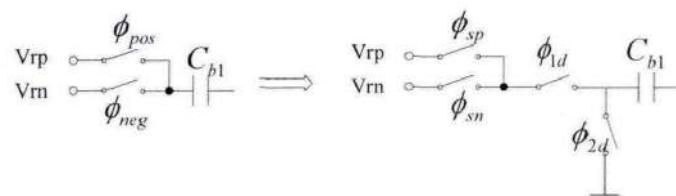
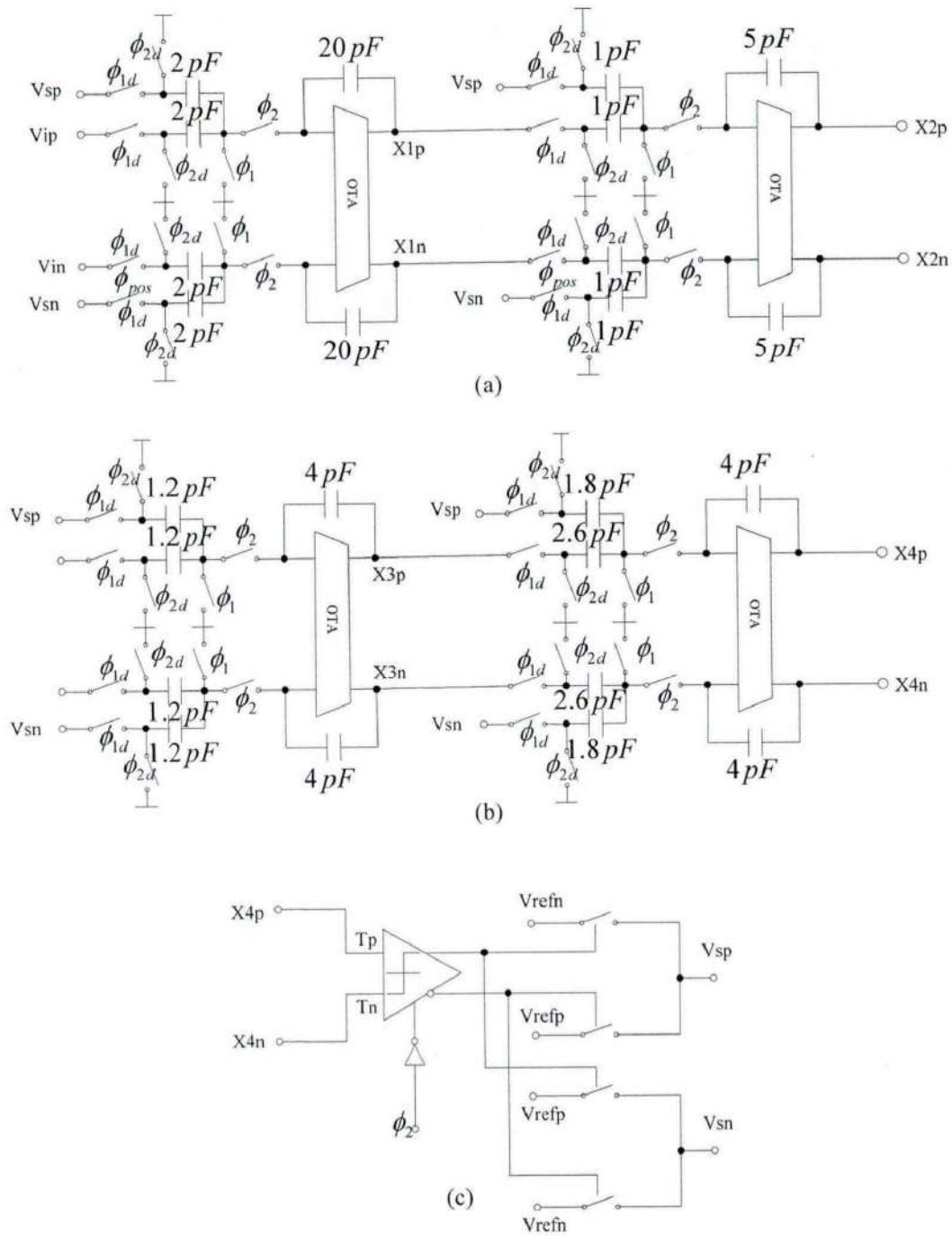


图 5-14 反馈电路调整

经过调整后的实际版图对应的调制器原理图如图 5-15 所示。

图 5-15 调整后  $\Sigma-\Delta$  调制器原理图

相对于原始调制器原理图，调制后原理图主要作如下几点改动：1) 从版图实现的角度考虑，将第一级采样电容从 5pF 降低为 2pF，这是牺牲部分性能以提高流片的成功率；2) 第 2, 3, 4 级采样电容值都做了降低调整，主要原因是由前级电路的调制作用，降低电容值不会影响性能，同时降低版图实现的难度，减小芯片面积；3) 反馈子电路被去除，原因在于反馈系数过小，造成反馈电容

过大，从版图实现的角度，很难处理。

Sigma-Delta 调制器版图顺利通过 Calibre DRC, LVS 检查，通过 PEX 提取寄生 RC 参数后，得到 Calibre View 类型原理图并对此进行后仿真，仿真得到的零输入调制结果如图 5-16 所示，图中同时给出了对原理图做如上所述更改后的前仿真结果。

由图 5-16 可见，后仿真基带内噪声平台在 -138dB 左右，而前仿真则在 -130dB，后仿真得到的系统噪声平台较好于前仿真结果！这可以解释为寄生电容对调制参数进行微调使得调制器的噪声调制效果更好。

另外从结果来看，无论前仿真还是后仿真都存在相对较大的低频噪声，这主要是运放的闪烁噪声（ $1/f$  噪声）贡献的。虽然在运放的设计中，已经采用了增大关键点处晶体管尺寸对闪烁噪声进行降低处理，然而并不能解决这个问题，其他两种降低运放闪烁噪声的方法是斩波-稳定（Chopper Stabilization）[7-10]以及相关采样技术[11-13]，基于降低设计复杂度的考虑，本设计中没有采用。

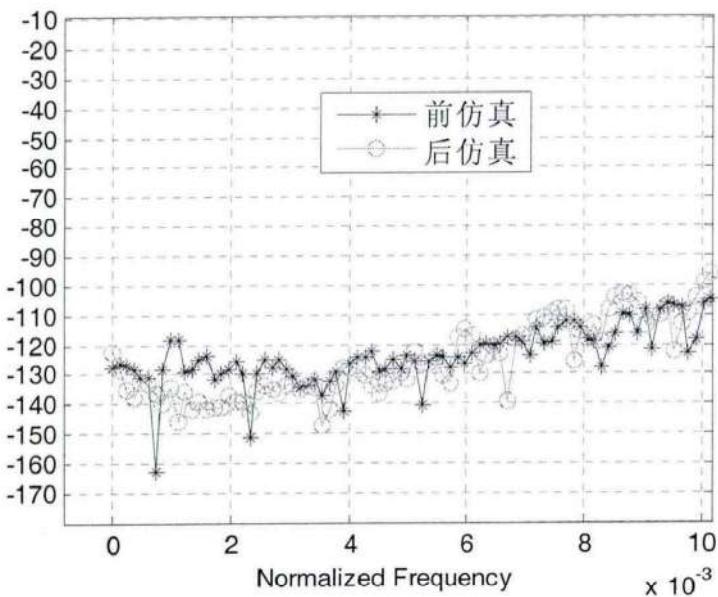


图 5-16  $\Sigma-\Delta$  调制器前仿真，后仿真结果对比

### 供电电源电压波动对平台噪声的影响

在供电电压 3.3V 上加上一个波动信号，幅值为 50mV，频率分别为 500Hz, 10kHz, 10MHz，观察参考电压的周期性波动对调制器噪声调制性能的影响。得到的后仿真结果如图 5-17 所示。

由图 5-17 可见，电源电压的变化并未对基带内噪声性能产生明显影响，表示整个调制器电路的电源抑制性能较好，对电路的动态性能并未造成显著的负面

影响，而且随着频率的增加，性能基本未发生变化。相对于电压不变的情况，直流分量会有明显的增加，这很容易解释：由于叠加正弦波的影响，对于电路而言，电路的直流工作点发生了变化，造成了电路的直流输出分量产生了漂移，这主要是调制器电路中的运算放大器的效果。

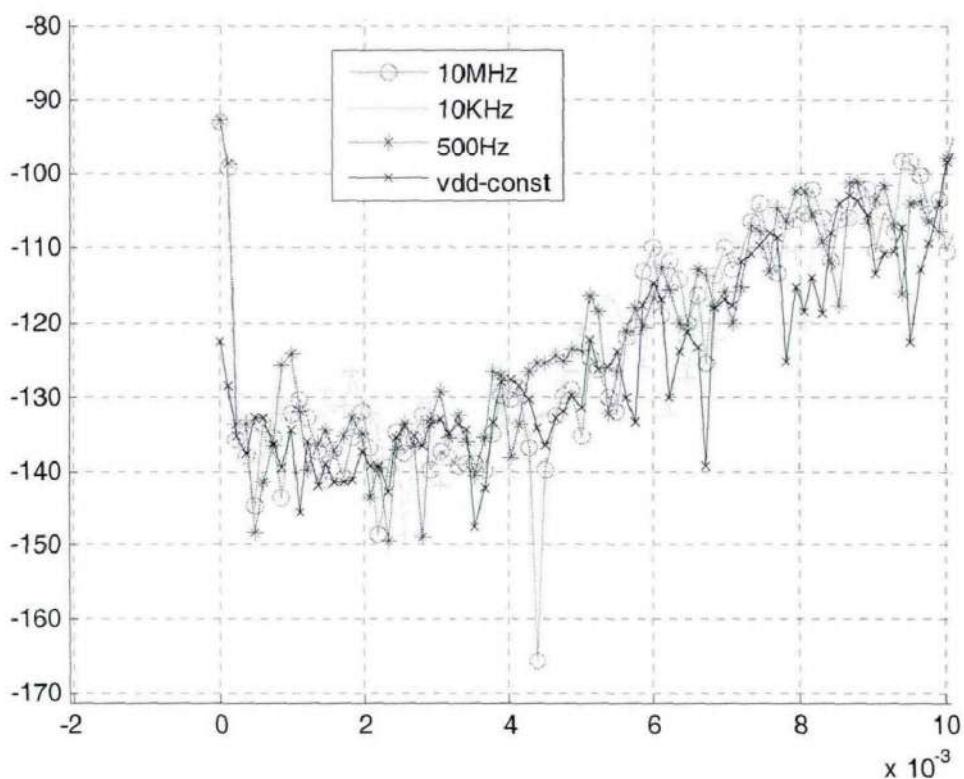


图 5-17 供电电压变化对噪声调制性能的影响

### 参考电压波动对平台噪声的影响

在参考电压 3.3V 上加上一个小正弦信号，幅值为 50mV，频率分别为 500Hz，10kHz，50kHz。观察参考电压的周期性波动对调制器噪声调制结果的影响，后仿真结果如图 5-18 所示。由图 5-18 可见，参考电压的周期性波动对基带内噪声调制效果有很大影响，参考电压的剧烈波动将造成基带噪声迅速增加，可见，在电路设计中，必须尽量保证参考电压的稳定性，必要时采用滤波网络对参考电压进行滤波处理。究其原因，参考电压的波动会在输入端引入差分噪声，这个差分噪声将混合到信号中，造成输入信号质量严重变差。

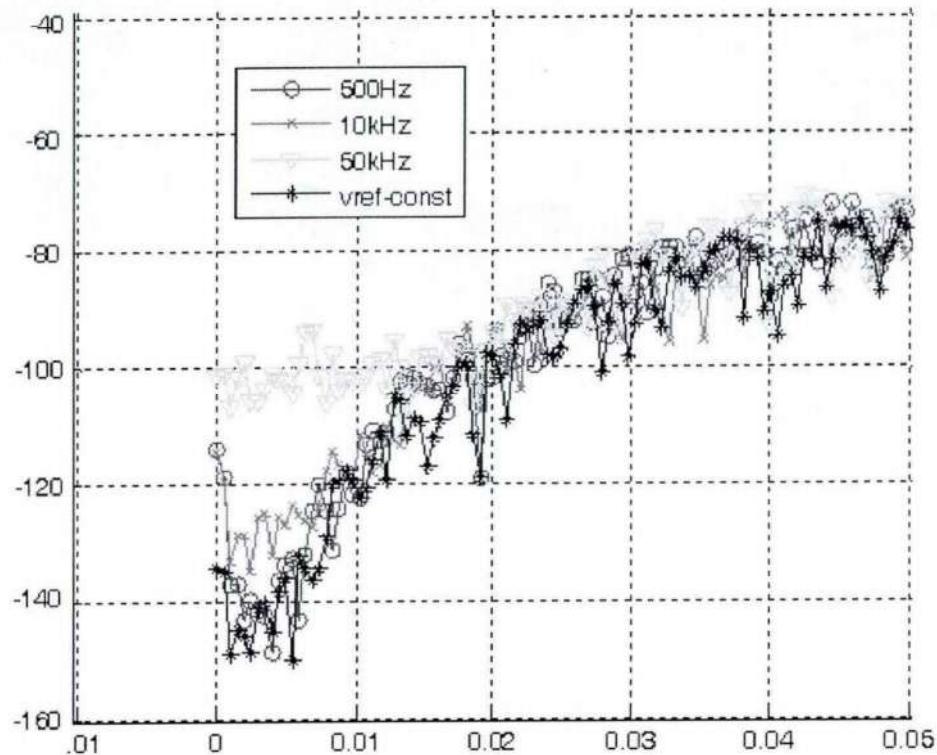


图 5-18 参考电压波动对噪声调制性能的影响

### 工艺角仿真

对 SDM 做 typical, slow-slow (ss), slow-fast (sf), fast-fast (ff), fast-slow (fs) 工艺角后仿真，得到如图 5-19, 5-20 仿真结果。

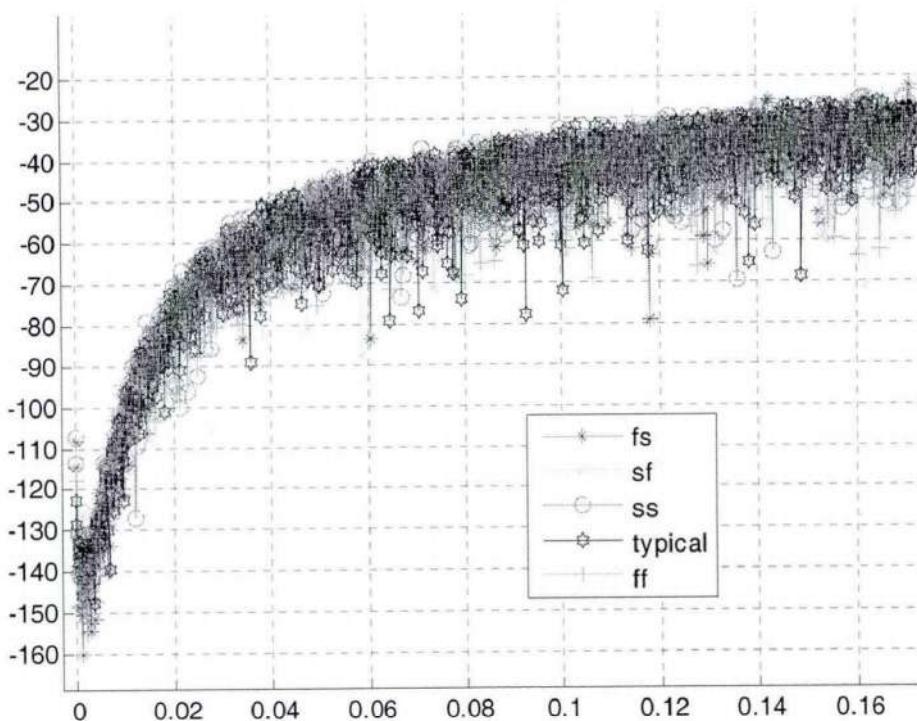


图 5-19 工艺角后仿真结果（全局图）

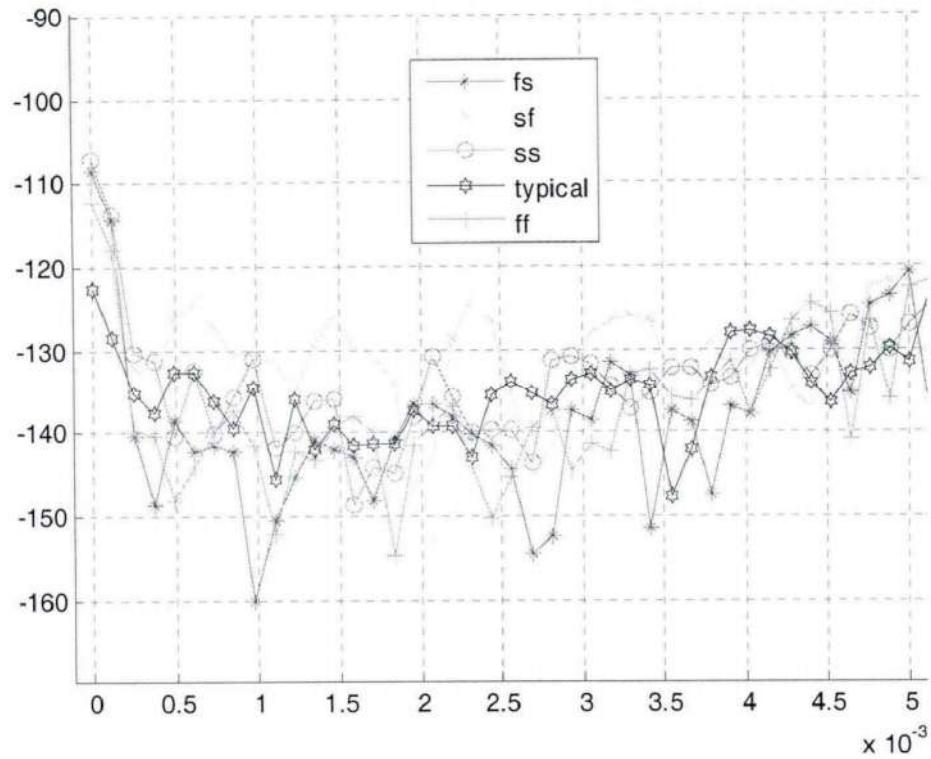


图 5-20 工艺角后仿真结果（局部图）

由图5-19, 5-20中可见, 在sf工艺下, SDM噪声平台略微抬升, 其他工艺角下噪声平台基本维持在-140dB左右。故考虑工艺波动后, 从仿真结果来看, SDM版图设计也较为合理。

图5-21, 5-22所示为-7.5dB, 500Hz正弦波测试信号输入时后仿真得到的时域和频域曲线。

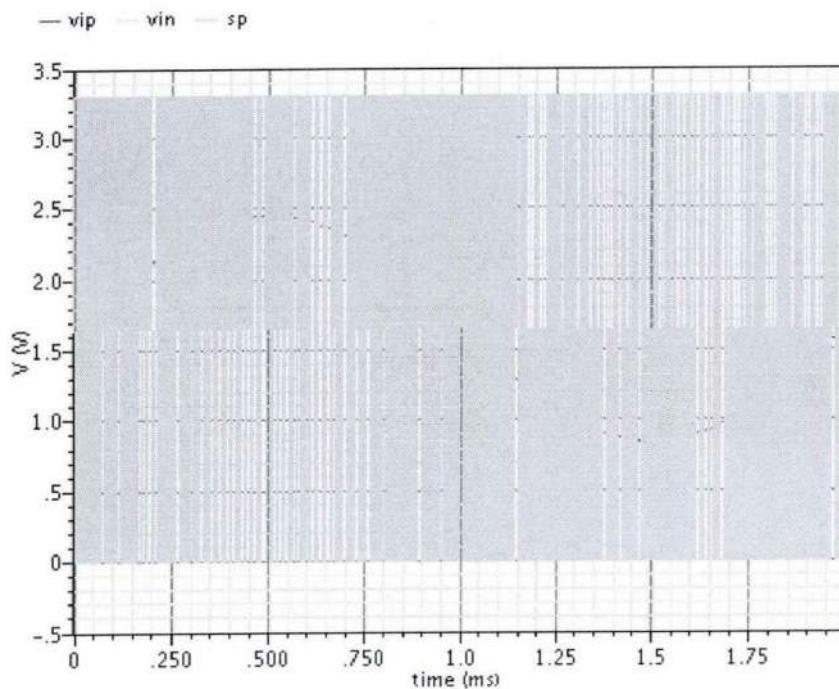


图5-21 500Hz, -7.5dB正弦波测试输入信号调制时域图

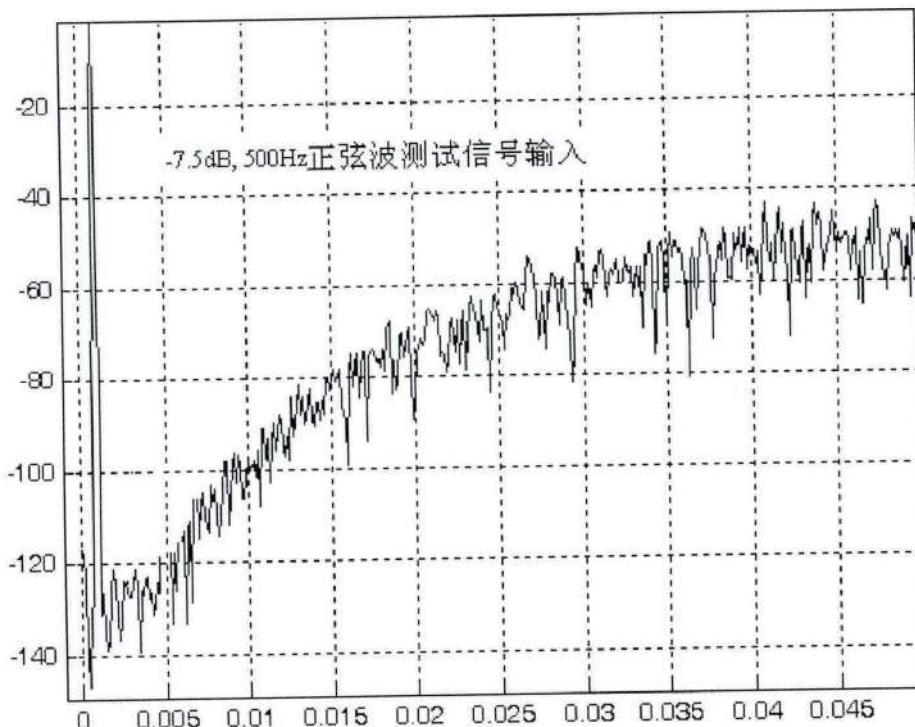


图 5-22 500Hz, -7.5dB 正弦波测试输入信号调制频谱图

由图 5-22 可见, 版图实现后的电路基本满足设计要求, 谐波失真较小, 这说明设计电路在基带内具有较好的信号响应。

#### 供电电源波动对信号调制效果的影响

在 3.3V 供电电源上叠加一个 10k, 幅度为 50mV 的正弦波信号, 同时差分输入 500Hz, 幅度为-6dB 的正弦信号, 观察供电电源电压波动对信号调制效果的影响, 仿真结果如图 5-23, 5-24 所示。

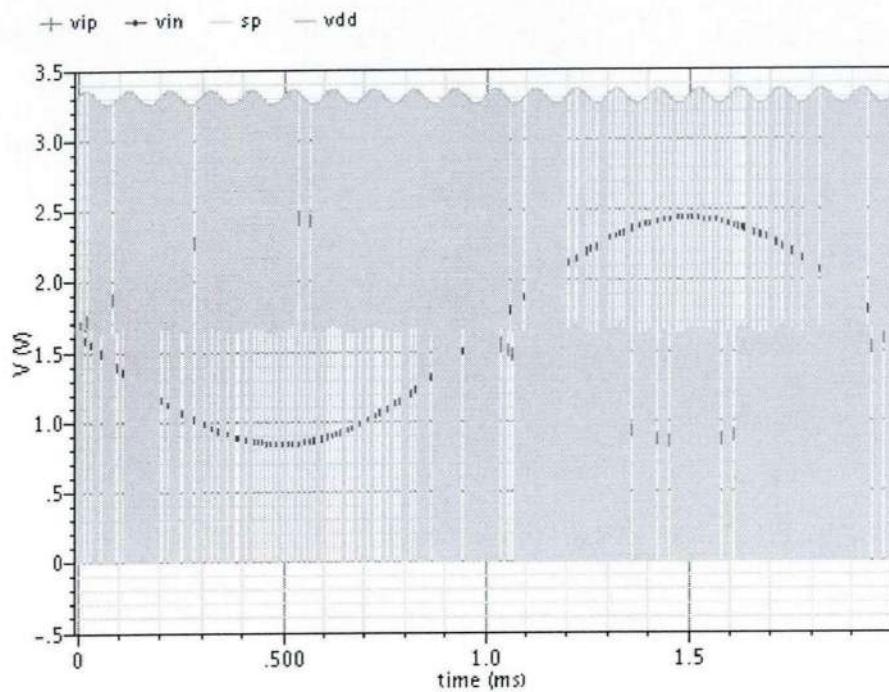


图 5-23 供电电源电压变化时信号调制效果时域图

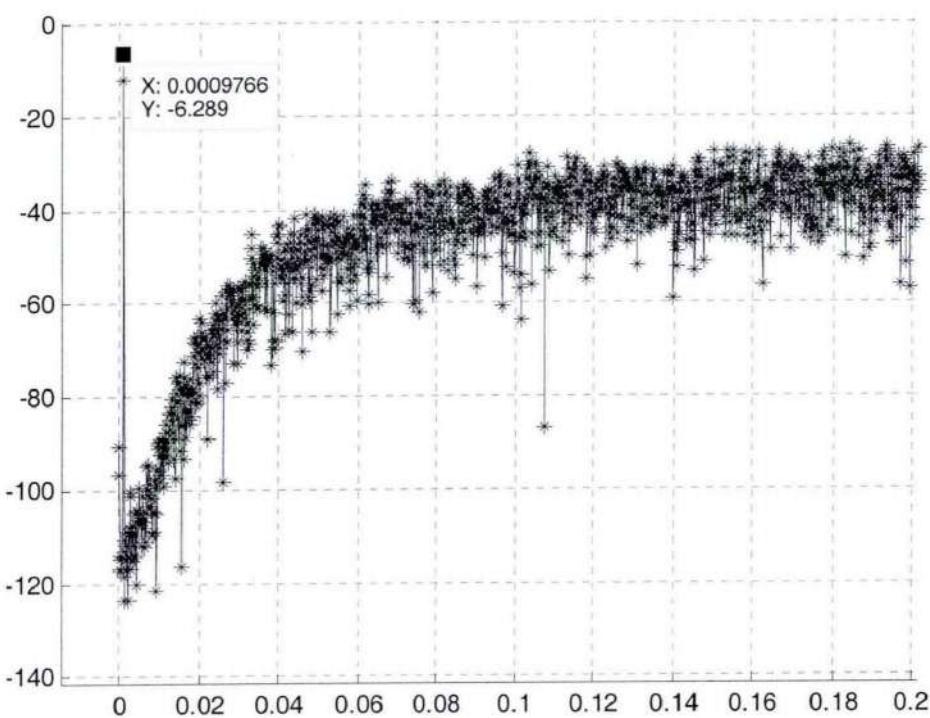


图 5-24 供电电源电压变化时信号调制效果频谱图

由图 5-24 所示，供电电源电压的波动并未对信号调制结果产生明显影响（基

带内噪声平台有抬升), 也并未产生其他谐波分量。从下文来看, 参考电压的周期性波动会引入较大的谐波分量, 如同在输入端加入了该波动频率的信号, 而供电电压的周期性波动被完全抑制。这与上文中其对平台噪声也无明显影响的仿真结果相一致, 说明这个调制器电路的电源抑制比比较好, 在一定范围内, 电源电压的波动不会造成调制器性能的降低。

#### 参考电压波动对信号调制效果的影响

在 3.3V 参考电压上叠加一个 10k, 幅度为 50mV 的波动电压, 同时差分输入 500Hz, 幅度为 -6dB 的正弦信号, 观察参考电压波动对输入信号调制结果的影响。仿真结果如图 5-25, 5-26 所示。

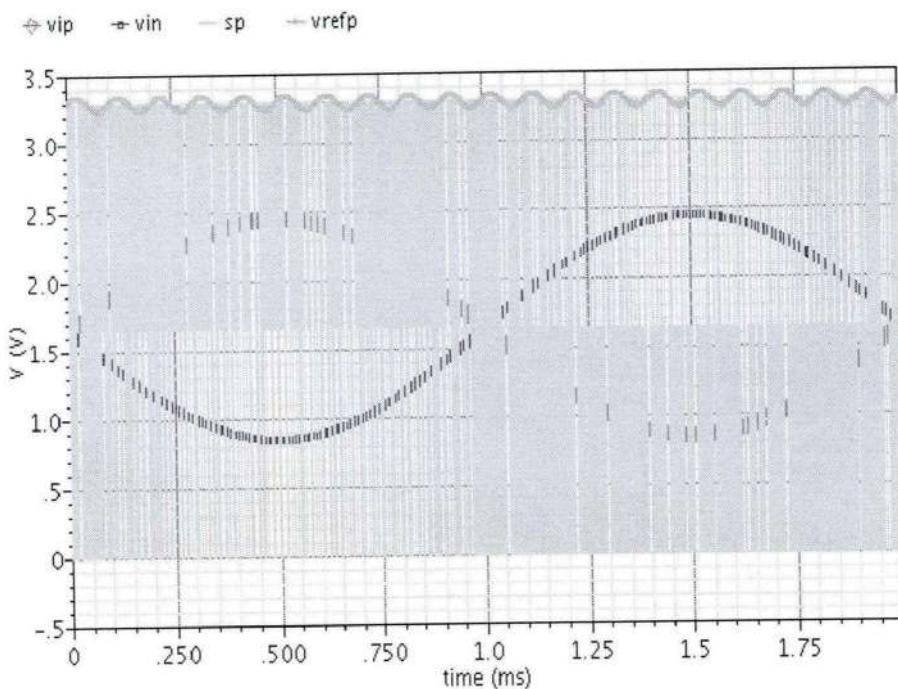


图 5-25 参考电压变化时信号调制效果时域图

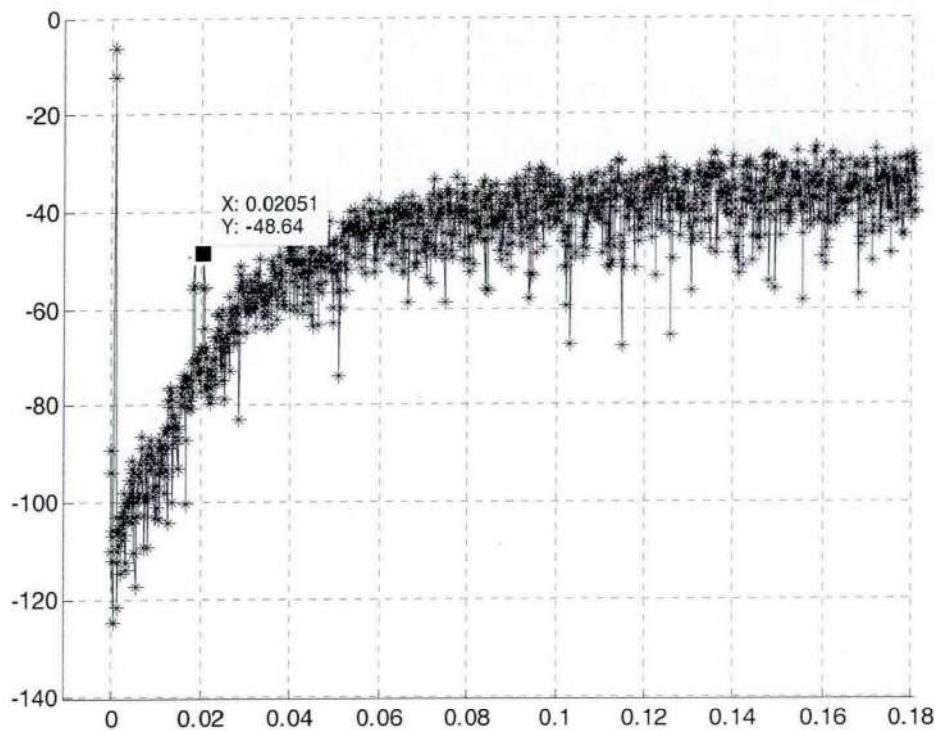


图 5-26 参考电压变化时信号调制效果频谱图

由图 5-26 可见，参考电压的波动一方面引起基带内噪声平台的提高，这与前文中仿真得到的结果一致，同时还引起了两个较大的谐波失真，其频率为  $10k \pm 500$ ，即分别为  $9.5\text{kHz}$ ,  $10.5\text{kHz}$ ，这是一次项叠加效果。可见，参考电压上叠加的正弦波被当做了正常的输入信号进行了调制。由于我们的感兴趣信号带宽在  $2\text{kHz}$  以内，以外的区域可以通过后端的数字滤波器进行滤除，所以此处叠加的带外谐波对最终 AD 变换精度不会造成明显影响。但从仿真结果看，必须注意引入的带内谐波分量，所以在电路设计中，必须保证参考电压的稳定性，可以考虑使用 LC 滤波网络对电源进行滤波，将可能混叠入基带的谐波滤除掉，然而对于已存在于基带的谐波分量则无法进行滤除，这将是影响实际调制器性能的一个重要因素。

## 5.7 本章小结

本章主要对构成 Sigma-Delta 调制器的各个子模块的版图实现进行了介绍，并同时对各子电路模块进行了后仿真以确认各子模块的性能。从后仿真结构来看，各子模块版图实现基本合理，达到了电路设计要求。最后通过将各子模块组

合，完成了整个 Sigma-Delta 调制器的版图设计，基于实现的需要和实现工艺的要求以及尽可能的保证流片成功，对 Sigma-Delta 调制器部分子电路以及采样，积分电容值进行了调整，从整个调制器的后仿真结果来看，达到了设计要求。下一章将介绍 Sigma-Delta 调制器的测试平台与芯片实测结果。

## 5.8 参考文献

- [1] B.P.Brandt et al. "Second-Order Sigma-Delta Modulation for Digital-Audio Signal Acquisition", IEEE J. of Solid-State Circuits, vol.26, pp.618-627, Apr. 1991.
- [2] F.Maloberti, "Layout of Analog CMOS Integrated Circuits", Lecture Notes, Texas A&M University.
- [3] B. Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, International Edition 2001.
- [4] C.Saint and J.Saint, "IC Mask Design: Essential Layout Techniques", McGraw-Hill Company, 2006.
- [5] R.J.Baker, "CMOS Circuit Design, Layout and Simulation", 2nd Edition, John Wiley&Sons, Inc. 2005.
- [6] Libin Yao, S.J.Steyaert, W.Sansen, "A 1-V 140- $\mu$ W 88-dB Audio Sigma-Delta Modulator in 90-nm CMOS", IJSSC, vol.39, no.11, pp.1809-1818, Nov.2004.
- [7] C.C.Enz, G.C.Temes, "Circuit Techniques for Reducing the Effects of Op-Amp Imperfections: Autozeroing, Correlated Double Sampling, and Chopper Stabilization", Proceedings of The IEEE, vol.84, pp.1584-1614, Nov. 1996.
- [8] W.Lee, "A 4-channel,18b sigma delta Modulator IC with Chopped-Offset Stabilization", IEEE International Solid-State Circuits Conference, pp.238-240, 1996.
- [9] A.Bakker et al. "A CMOS Nested-Chopper Instrumentation Amplifier with 100-nV Offset", IEEE J. of Solid-State Circuits, vol.35, pp.1877-1883, Dec 2000.
- [10] K.C.Hsieh et al, "A Low-Noise Chopper-Stabilization Differential Switched-Capacitor Filtering Technique", IEEE J. of Solid-State Circuits, vol.sc-16, pp.708-715, Dec 1981.
- [11] T.Kajita et al, "Correlated Double Sampling integrator insensitive to parasitic capacitance", Electronics Letters, vol.37, pp.151-153, Feb 2001.
- [12] O.Oliaei, "Noise Analysis of Correlated Double Sampling SC Integrators with a Hold Capacitor", IEEE Trans. on Circuits and Systems-I:Fundamental theory and Applications, vol.50, pp.1198-1204, Sep 2003.
- [13] H.M.Wey and W.Guggenbuhl, "Noise Transfer Characteristics of a Correlated Double Sampling Circuit", IEEE Trans. on Circuits and Systems, vol.cas-33, pp.1028-1030, Oct. 1986.
- [14] 魏微, 基于 Wilkinson ADC 的多通道模数变换 ASIC 的设计与实现. 博士学位论文, 中国科学院研究生院, 2010。



## 第6章 测试平台与测试结果

测试是调制器设计中重要的环节，是对之前所有设计工作的最终验证。本章将介绍 Sigma-Delta 调制器芯片照片图，版图布局，封装，测试平台，以及实测结果。

### 6.1 版图布局

本芯片采用  $0.35\mu\text{m}$  工艺实现，对整个芯片版图实现完成 DRC，LVS 等验证后，提取寄生参数进行了后仿真，以对版图进行投片前的最终验证。整个调制器芯片面积约为  $1.72 \times 0.75\text{mm}^2$ ，整个芯片如图 6-1 所示（图中切割线以下部分。注意：由于封装时间的原因，整个晶圆采用了单一封装 LQFP64，没有对内部电路进行切割，故测试电路基于该封装，在完成功能性验证后，可切割后进行封装），版图布局如图 6-2 所示。实际流片后得到的芯片图如图 6-3 所示。

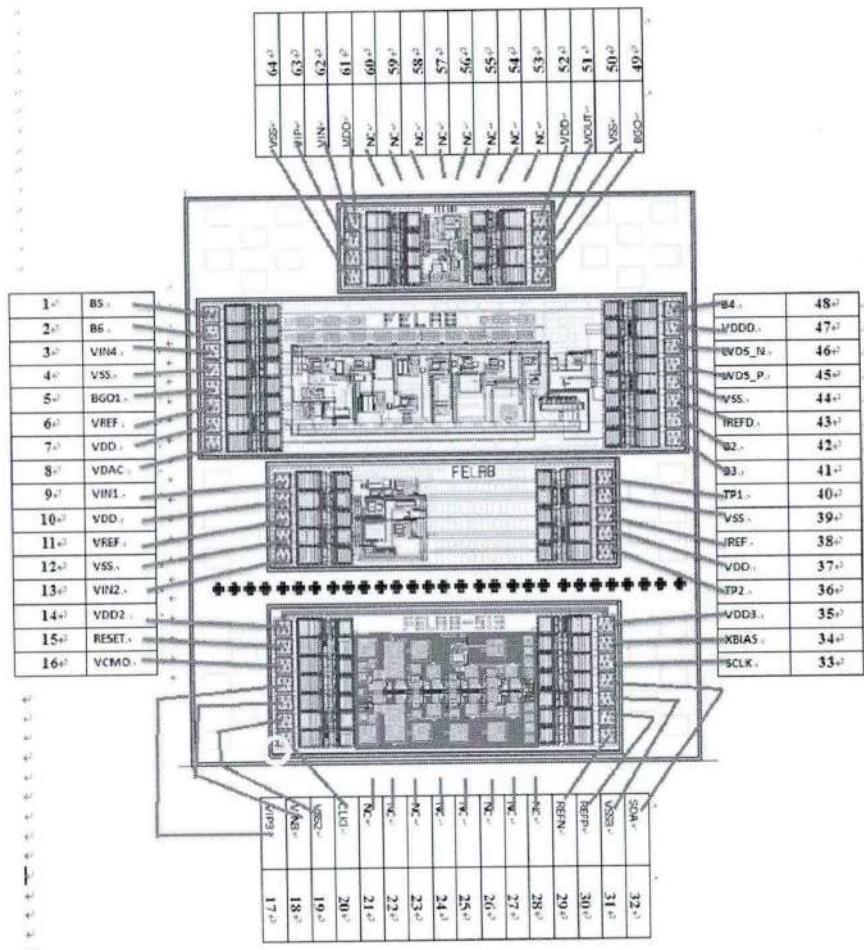


图 6-1 调制器芯片图（没有进行切割，图中虚线以上部分为其他电路）

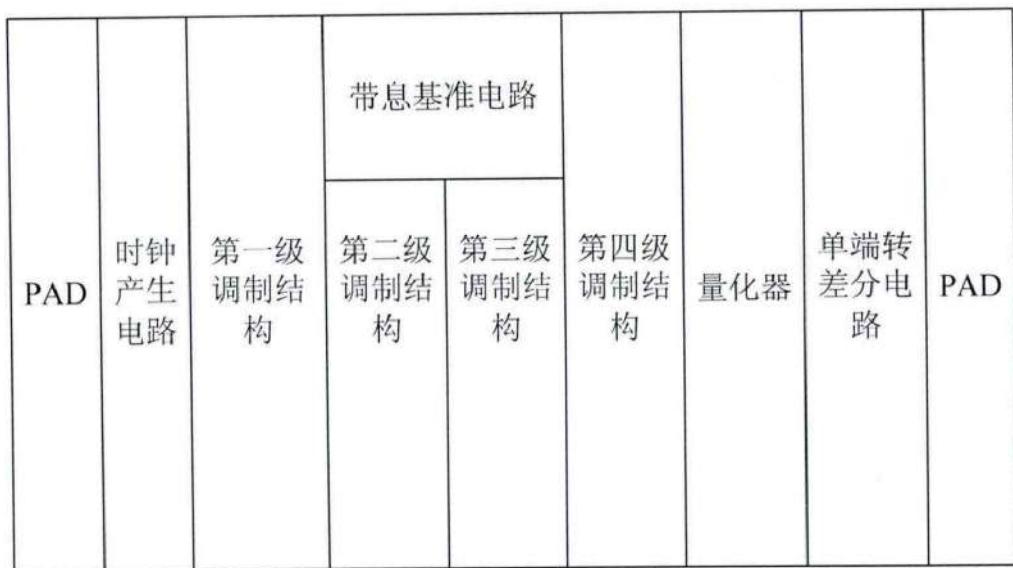


图 6-2 调制器版图布局图



图 6-3 流片后芯片

## 6.2 器件封装

调制器芯片可用管脚共 14 个，采用 SSOP-14 封装<sup>20</sup>，各管脚定义如表 6-1 所示。

表 6-1  $\Sigma$ - $\Delta$  调制器管脚分布

管脚	符号	I/O	功能描述
1	VDD	电源	供电电源
2	RESET	输入	复位管脚
3	VMCO	输入	共模参考电平
4	VIP	输入	差分信号输入
5	VIN	输入	差分信号输入
6	VSS	电源	参考地
7	CLKI	输入	输入驱动时钟
8	REFN	输入	参考电平
9	REFP	输入	参考电平
10	VSS	电源	参考地
11	SDA	输出	输出比特流
12	SCK	输出	输出时钟
13	XBIAS	-	内部参考电压
14	VDD	电源	供电电源

<sup>20</sup>注意：由于封装时间限制，没有对同一晶圆上的其他电路进行切割，即整个晶圆采用了单一封装 LQFP64，测试电路基于该封装进行了设计。在完成测试后，可让封装厂家对晶圆进行切割，完成各单元电路的各自封装。

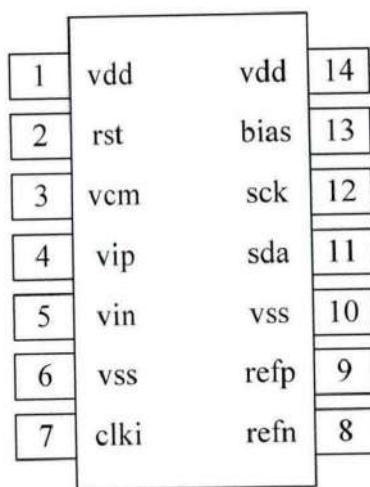
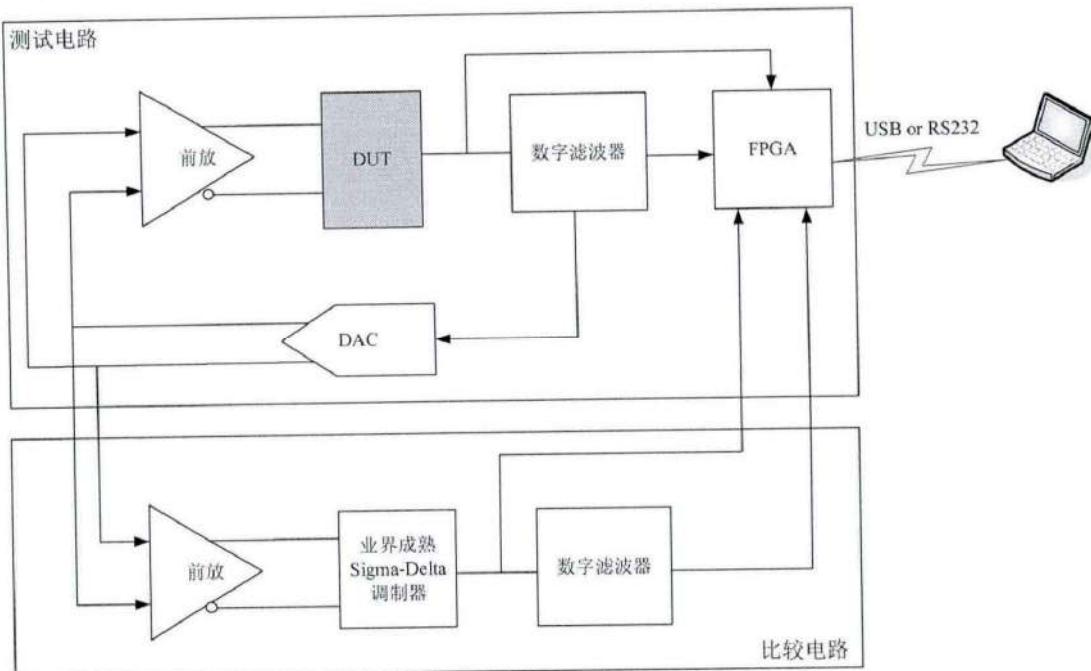


图 6-4 引脚排列图

### 6.3 测试方案

对于 Sigma-Delta 调制器的测试基于如下考虑：设计 Sigma-Delta 调制器的目的在于研制出高精度的调制电路，并使用其替换采集板中已有模块，故测试平台的建立即保留采集板中除调制器之外的所有电路，基本测试平台原理框图如图 6-5 所示。

图 6-5  $\Sigma - \Delta$  调制器测试平台

调制器输出一方面提供给数字滤波器，进行数字滤波和抽取，抽取后的结果最后输出到 FPGA，其通过 USB 或者 RS232 接口传输给计算机进行最终的处理；另一方面调制器将调制结果直接传给 FPGA，对调制器的原始输出结果直接进行处理。在测试平台中，前放，数字滤波器以及 DAC 均采用业界成熟的芯片，从而避免其他原因对测试结果造成影响。另外数字滤波器和 DAC 共同产生正弦波测试源，从而对芯片各项指标进行测试。除了芯片测试电路外，测试平台中还包含一个比较电路，其中所有的器件（包括 Sigma-Delta 调制器）均采用业界成熟芯片。比较电路设计的目的在于通过对同一参考源采集数据的比较，确定被测试芯片与业界成熟芯片的性能差别。

测试分为如下几个部分：1) 平台噪声测试；2) 稳定信号输入范围测试；3) 各项指标如信噪比，谐波畸变等的测试。如图 6-6 所示为芯片测试系统配置示意图。图 6-7 为测试板实物图。

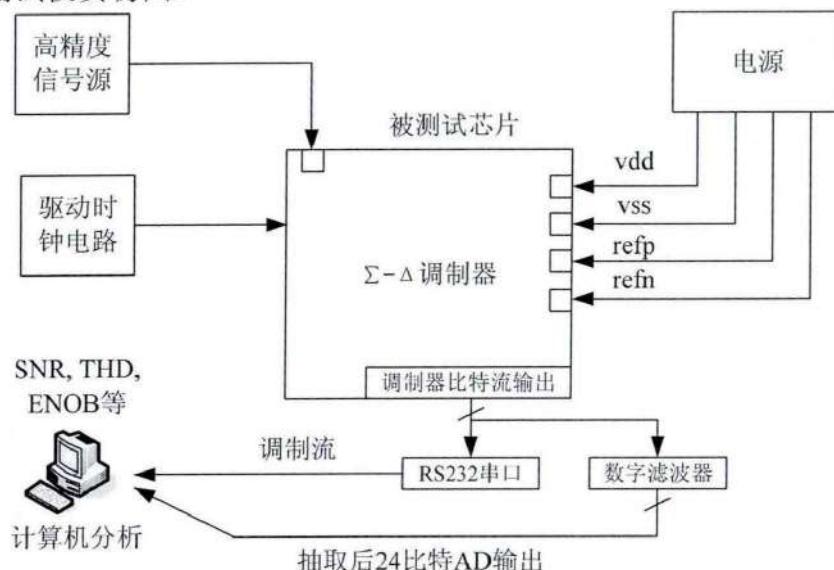


图 6-6 芯片测试系统配置图

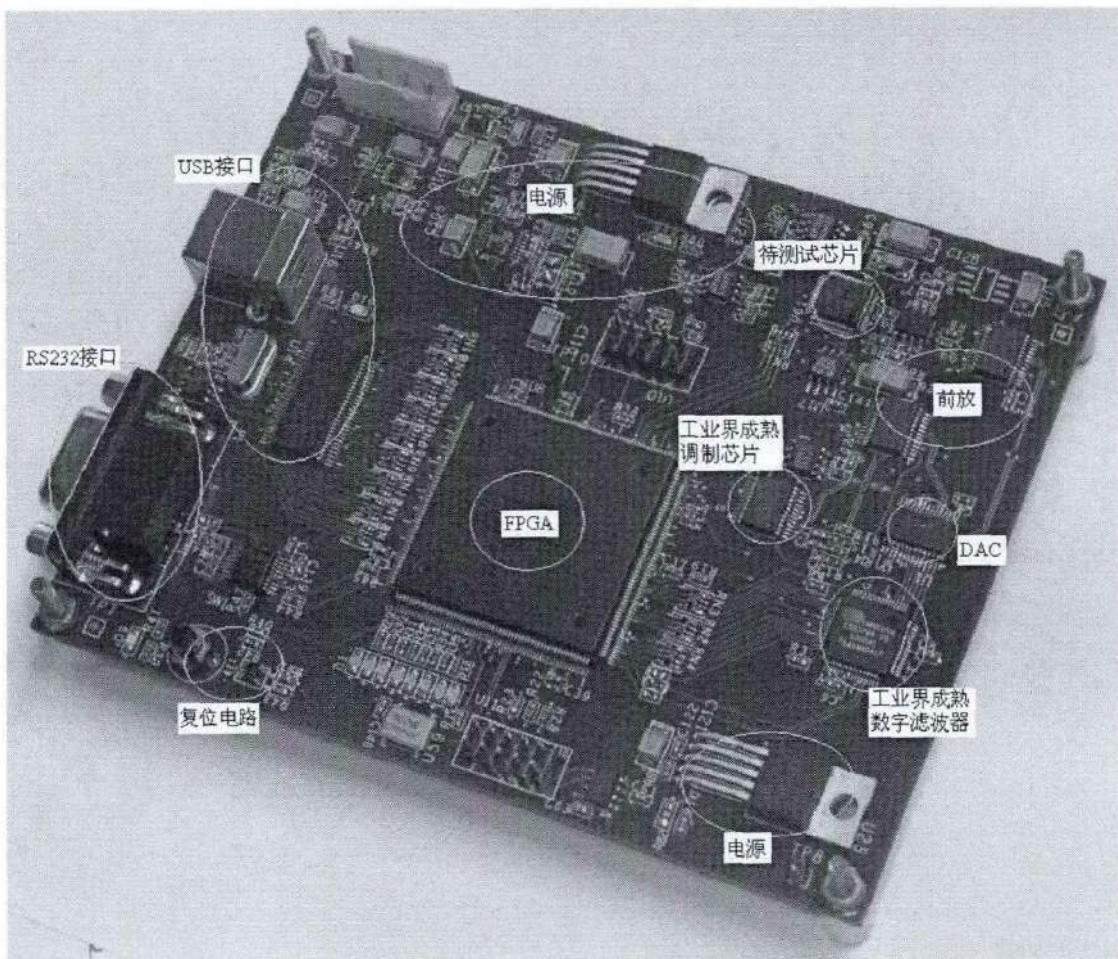


图 6-7 测试板实物图

对芯片输出原始比特流以及经过数字滤波器抽取的 AD 输出数据进行 FFT 变换，得到频域分布图，对各项指标进行计算。FFT 变换是一个简单的频谱分析工具，可以观察变换后得到的数字信号的谐波分量和噪声。

六种常用衡量 ADC 性能的指标为：SINAD (signal-to-noise-and-distortion ratio)，ENOB (effective number of bits)，SNR (signal-to-noise ratio)，THD (total harmonic distortion)，THD + N (total harmonic distortion plus noise)，and SFDR (spurious free dynamic range)。

有很多种方式衡量 ADC 的失真和噪声特性，然而这些都建立在 FFT 频谱分析的基础上，图 6-8 给出了 FFT 分析的基本过程。

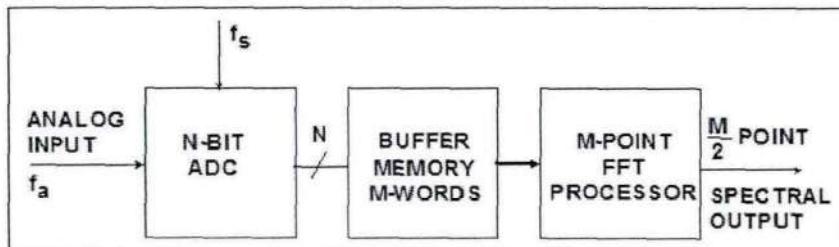


图 6-8 FFT 分析建立过程

FFT 输出是在频域中的一系列点(令点数为  $M/2$ , 其中  $M$  为 FFT 计算用的点数)。点之间的间距  $fs/M$  称为频率分辨率, 整个频谱范围是从直流 (DC) 到  $fs/2$ , 其中  $fs$  为 ADC 的采样频率。图 6-9 给出了一个理想 12-bit ADC 的 FFT 变换结果。

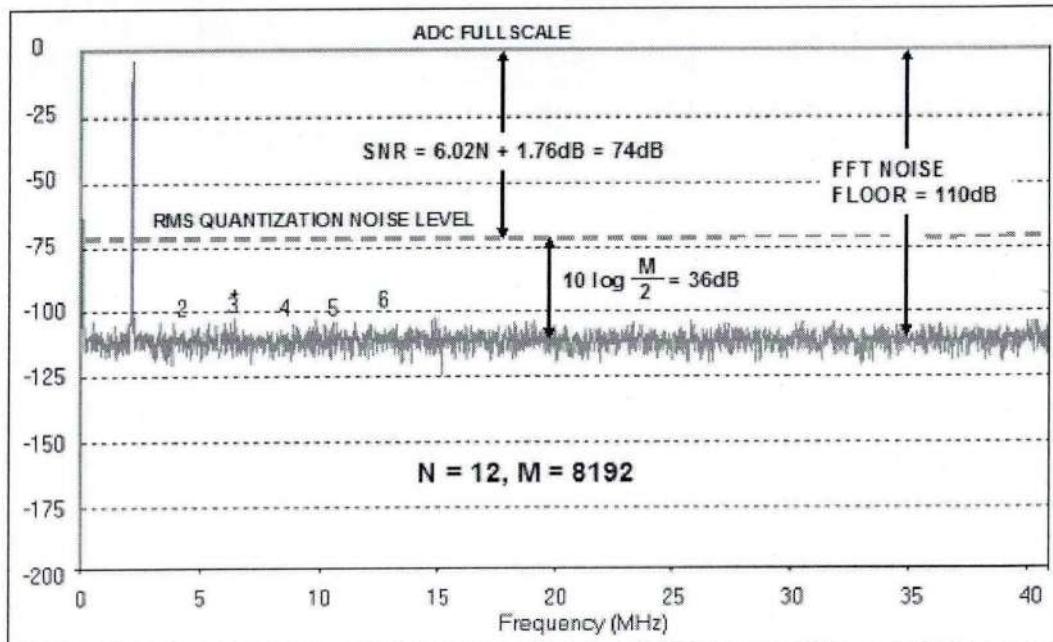


图 6-9 12-bit 理想 ADC 的 FFT 输出结果

注意到 FFT 变换得到的噪声平台等于 SNR 值加上 FFT 的变换增益 ( $10\log(M/2)$ )。SNR 计算中使用的噪声范围为 DC 到  $fs/2$ , 而 FFT 是一个窄带频谱分析方法, 频谱范围为  $fs/M$ , 由此叠加形成整个频谱区间 (DC- $fs/2$ ), 这就引入了变换增益, 和模拟频谱分析仪进行频谱限制时具有相同的效果。

由于实际电路工作单元的非线性, 任何单一频率的输入信号经过 ADC 变换后都会产生失真, 即形成新的频率分量。假设输入的单一信号频率为  $fa$ , ADC 采样频率为  $fs$ , 则产生的新的所有频率分量为  $|\pm Kfs \pm nfa|$ , 其中  $n$  为谐波分量阶数,  $K=0, 1, 2, \dots$ 。通常关注  $n=2, 3$  下的分量, 因为这两个分量幅度通常较大。

谐波失真 THD 通常表示为  $\text{dBc}$ , 是输入信号的 RMS 值与感兴趣谐波 (一般为前 5 个谐波) 分量的 RMS 值的比值。THD+N 是输入信号 RMS 值与感兴趣谐波和带内噪声总和的比值。带内噪声的范围通常取为 DC 到  $fs/2$ 。SFDR 是输入信号 RMS 值与带内最大伪信号 RMS 值的比值。带内最大伪信号通常是谐波分量, 但并不总是如此。SFDR 指标在通信系统中非常重要, 这表示了可区分的最小输入信号大小。SFDR 可以标示为  $\text{dBFS}$  或者  $\text{dBc}$ , 图 6-10 显示了之间的关系。

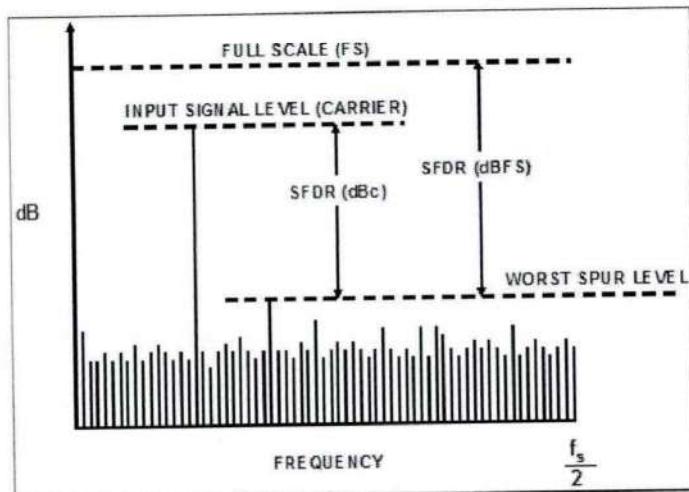


图 6-10 SFDR 不同表示方式的区别

如果二者计算采用的噪声范围一致, SINAD 和 THD+N 在数值上相同。SINAD 为输入信号 RMS 值和其他所有频谱分量总和的比值, 包括谐波分量, 不包括直流分量。SINAD 是衡量 ADC 动态性能的一个很好的指标, 其包含了频带内所有的分量。SINAD 通常被用来计算 ENOB。利用理想 N 位 ADC 有效位和 SNR 之间的关系:  $SNR = 6.02N + 1.76 \text{ dB}$ , 同时使用 SINAD 替换 SNR, 可以得到:

$$ENOB = \frac{SINAD - 1.76 \text{ dB}}{6.02} \quad (1)$$

注意(1)式中假定了输入信号为满幅度, 如果输入信号非满幅度, 则 SINAD 值将减小, 造成 ENOB 减小, 故在非满幅度情况下, 需要对(1)式进行修正:

$$ENOB = \frac{SINAD_{MEASURED} - 1.76 \text{ dB} + 20 \log \left( \frac{\text{Fullscale - Amplitude}}{\text{Input - Amplitude}} \right)}{6.02} \quad (2)$$

SNR 的计算类似 SINAD, 只是分母中去除了所有谐波分量 (通常去除前 5 个谐波分量), 而只包含了噪声分量。

除了以上 6 种衡量 ADC 的指标外, 还有两个重要的衡量 ADC 精度的指标: 即积分非线性 (Intege NonLinear, Linearity error) 和差分非线性 (Differential NonLinear)。(1) INL 精度: 理解为单值数据误差, 对应该点模拟数据由于元器件及结构造成的不能精确测量产生的误差, 表示了 ADC 器件在所有的数值点上对应的模拟值, 和真实值之间误差最大的那一点的误差值。(2) DNL 差分非线性值: 理解为刻度间的差值, 即对每个模拟数据按点量化, 由于量化产生的误差, ADC 相邻两刻度之间最大的差异就叫差分非线性值。

## 6.4 测试结果

对流片芯片和工业界成熟芯片进行对比测试，输入相同的信号，测试输出信号性能上的差异，从而验证芯片的性能。基本测试环境如图 6-11 所示，3.3V 供电下，芯片功耗约为 22mW。

测试源：CS4373，输出高精度正弦波信号，信噪比 114dB。

数字滤波器：CS5376，专用于地震勘探领域的数字滤波器，内有可配置梳状滤波器，FIR 滤波器，IIR 滤波器。

比较电路：CS5372，高精度 Sigma-Delta 调制器，专用于地震勘探领域的 Sigma-Delta 模拟调制器。

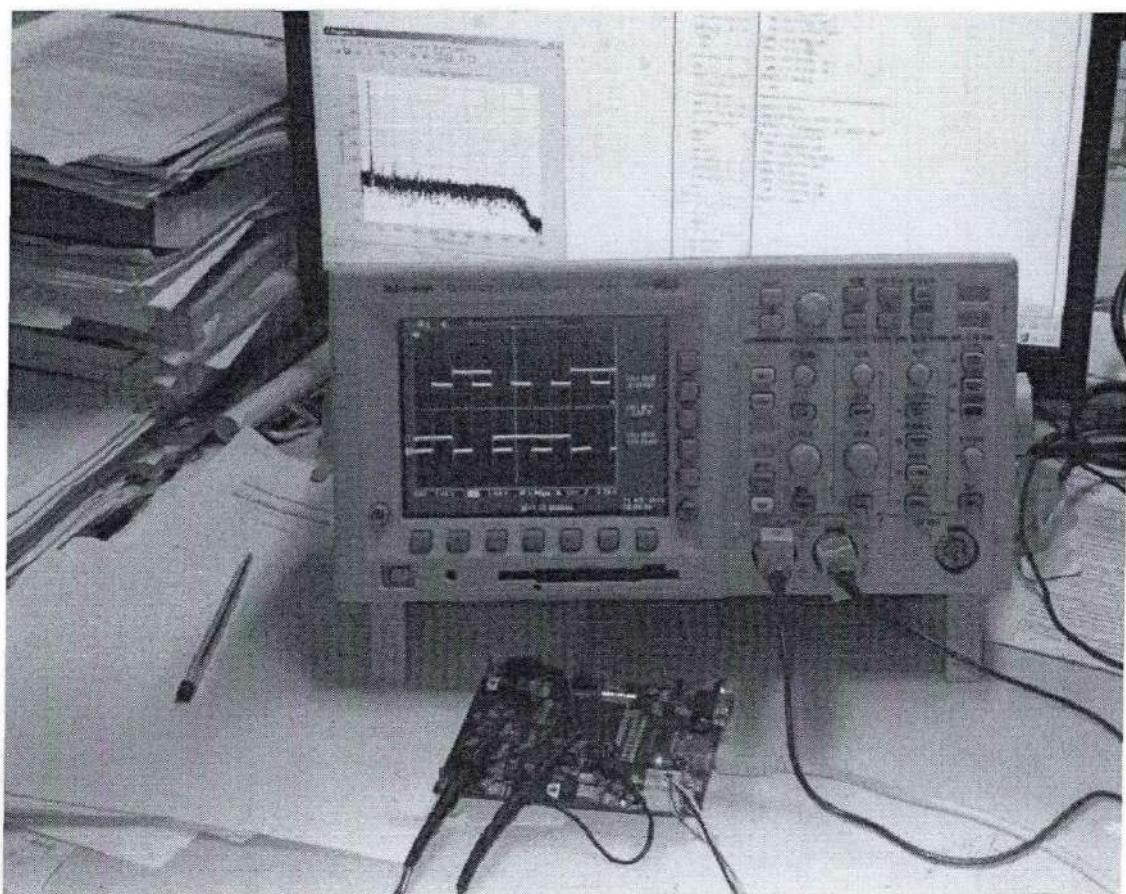


图 6-11 芯片测试环境

图 6-12 为所设计芯片实测输出波形，其中 C1 为调制信号输出 SDA(图 6-4 中管脚 11)，C2 为对应的输出时钟 SCK(图 6-4 中管脚 12)，频率为 512KHz。调制信号在时钟的下降沿输出，外部逻辑使用时钟上升沿进行数据读取，输出比特流为 512kbps。

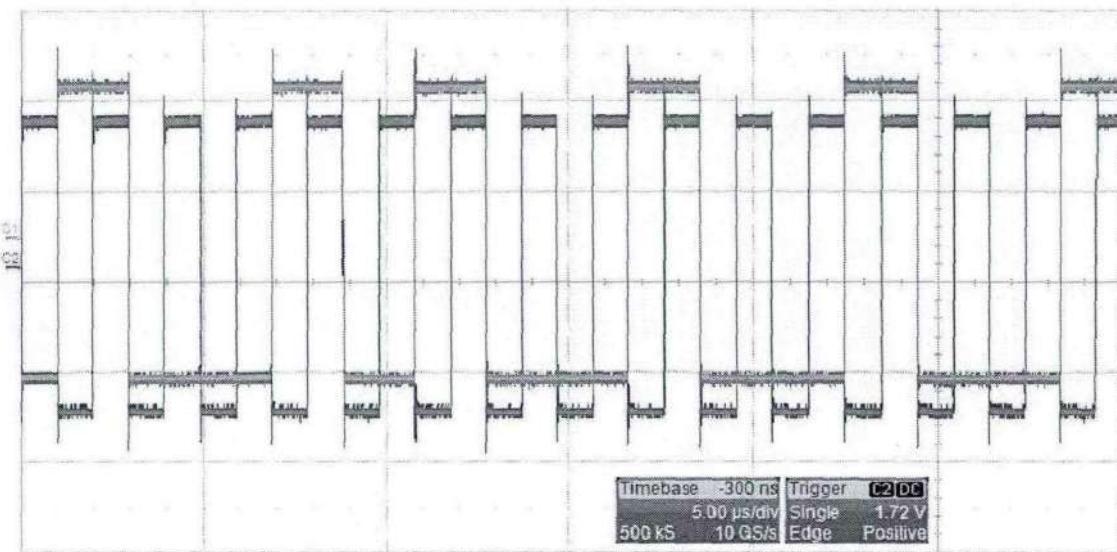
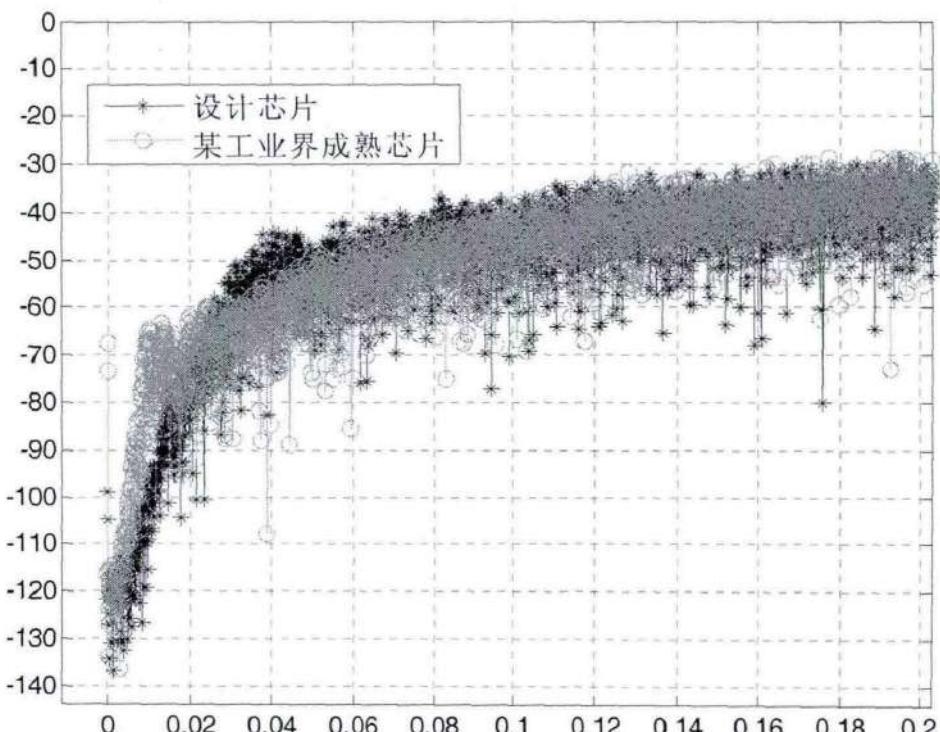
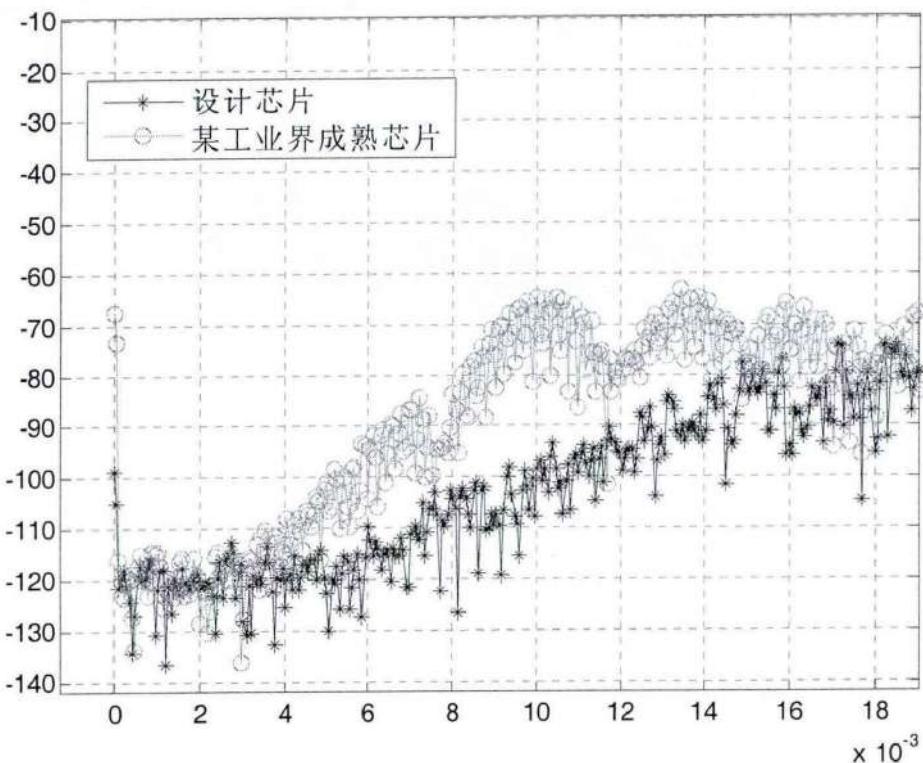


图 6-12 SDM 芯片实际输出波形

图 6-13 为输入直流 0 电平时, 设计芯片 SDM 输出的调制信号和工业界成熟芯片 CS5372 (Cirrus Logic 公司生产, 专用于地震勘探领域的调制器芯片) 输出的调制信号比较。



(a) 全局频谱图



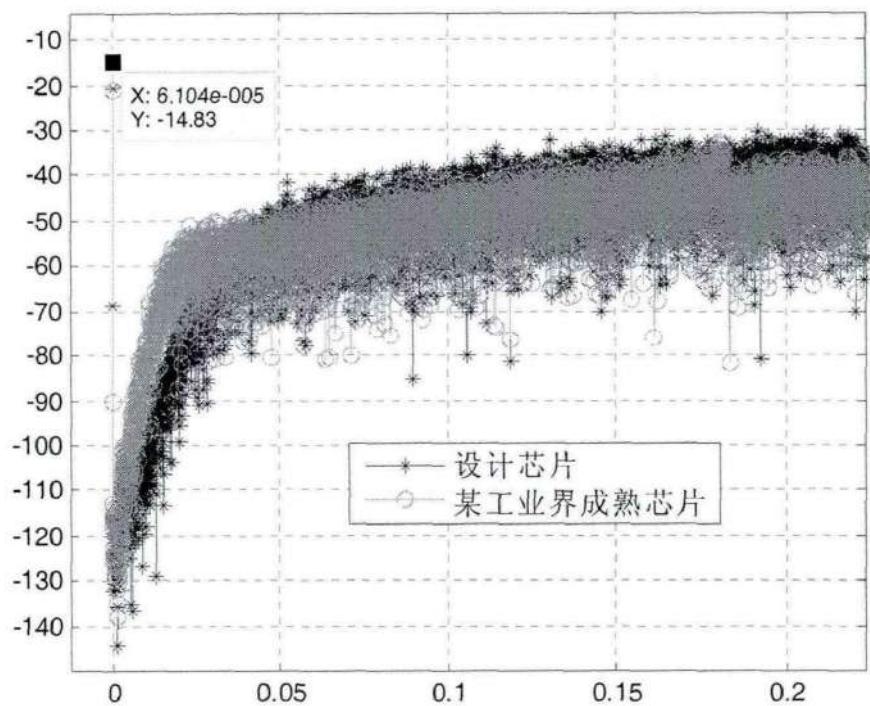
(b) 基带内局部放大图

图 6-13 设计芯片与工业界成熟芯片输出噪声调制结果比较

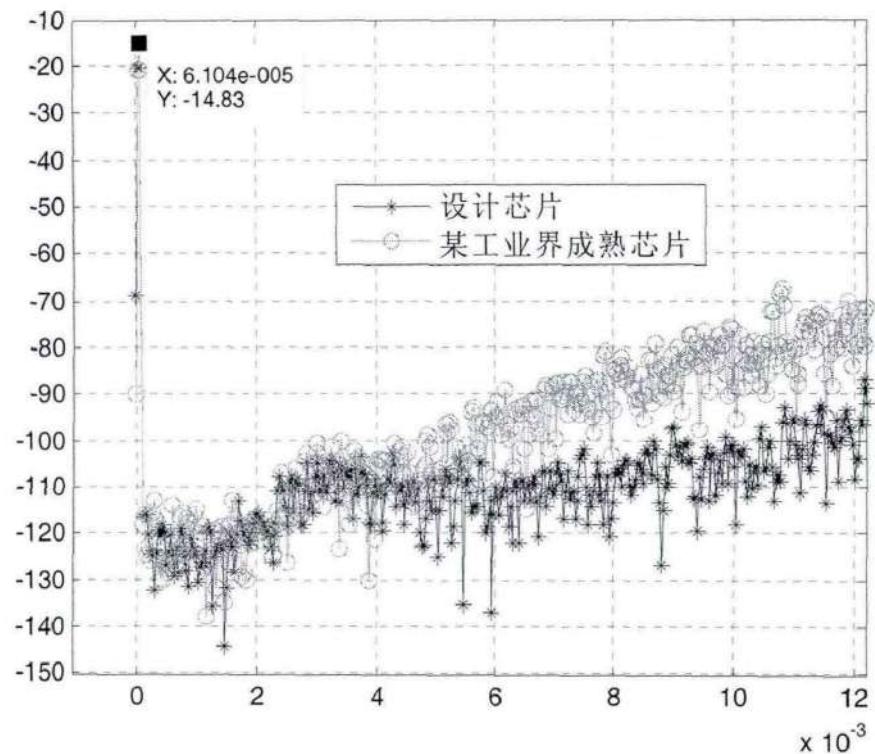
由图 6-13 可见，所设计芯片（SDM）在基带内噪声调制性能基本与工业界成熟芯片（CS5372）持平。区别是 SDM 直流附近噪声相对较低，这是在设计中对此专门处理的结果，通过增加输入对管的尺寸来降低闪烁噪声。CS5372 在基带外噪声调制性能上升速度高于 SDM，这对后端的高切滤波器设计提出了相对较高的要求，否则基带外噪声将较多的混叠到基带中，对 Sigma-Delta ADC 的整体性能产生影响。

从实际测试结果来看，噪声平台比后仿真有抬升，这是由于参考电压存在纹波造成的，这在前文中参考电压对调制器性能影响的仿真中已得到验证。

图 6-14 所示为频率为 31.25Hz, -14.8dB 正弦波输入调制结果对比。从图中可见在基带内所设计芯片 SDM 与工业界成熟芯片 CS5372 调制效果基本相同，在向高频移动时，SDM 上升速度低于 CS5372，与前文中噪声调制的输出结果一致。上升速度相对较慢对后端的数字滤波器的滚降系数相对要求较低。直流附近噪声二者基本相同，且由于后端滤波器通常会存在低切滤波器来滤除闪烁噪声，故影响通常不是很大。



(a) 全局图



(b) 局部放大图

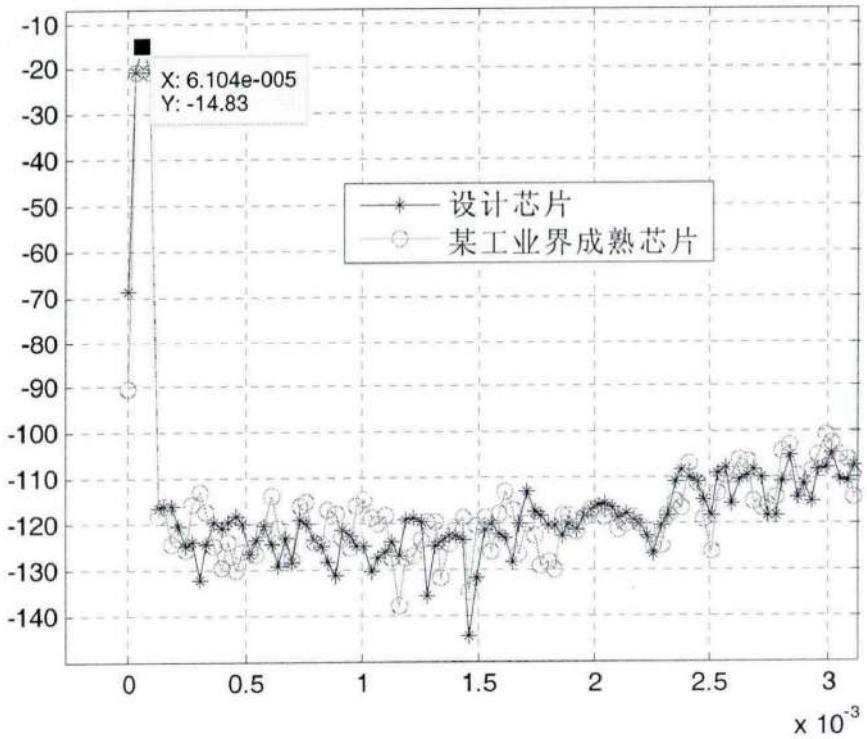
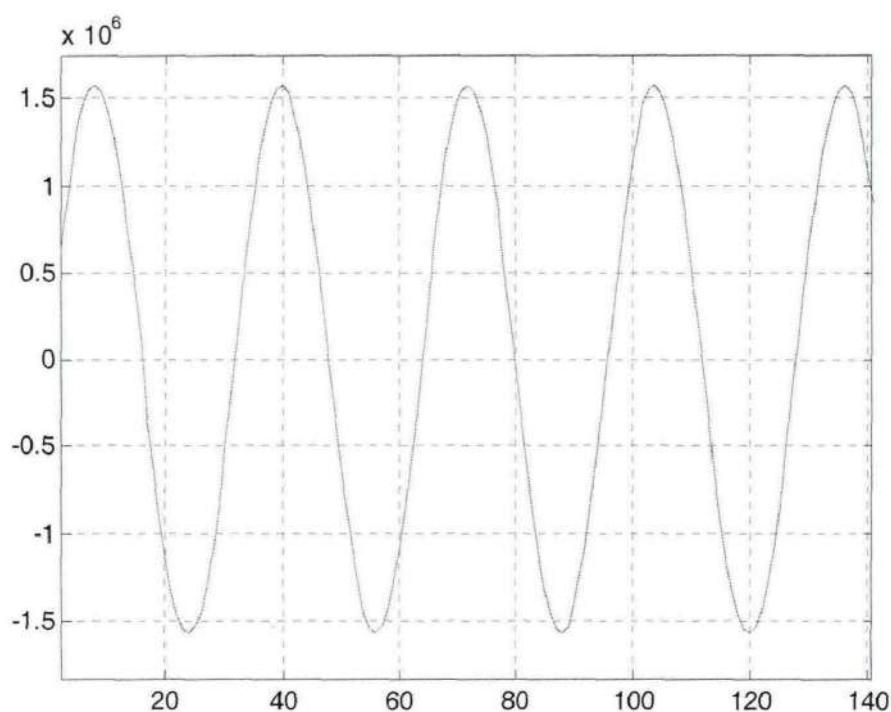
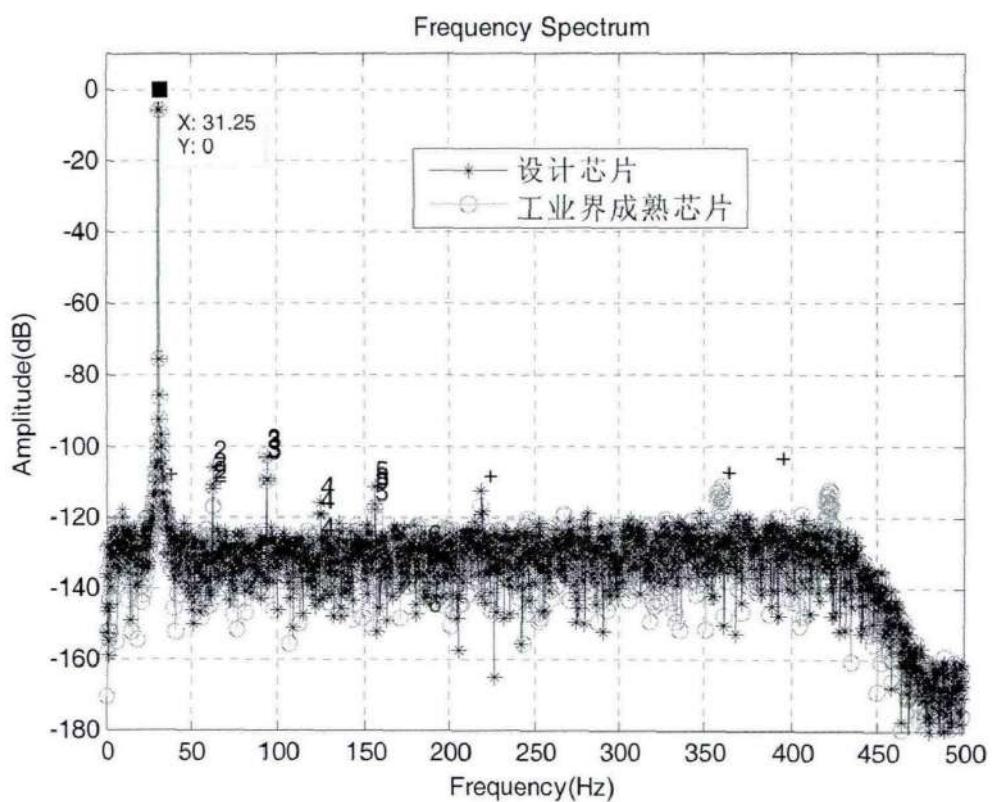


图 6-14 正弦波输入调制结果比较

图 6-15 所示为频率为 31.25Hz，-14.8dB 正弦波输入经过调制，滤波后的时域波形和 FFT 变换结果对比。



(a) ADC 输出时域图



(b) ADC 输出频域图

图 6-15 ADC 输出比较

由图 6-15 可见，经过数字滤波之后，SDM 与 CS5372 输出频谱图基本一致（SDM 噪声平台在直流附件略微高些，这与调制器的输出结果相一致），噪声平台在-120dB。各项指标对比如表 6-2 所示。

表 6-2 设计芯片与工业界成熟芯片各项指标对比

指标	SDM	CS5372
SNR	93.79dB	93.09dB
THD	-101.64dB	-102.22dB
SINAD	93.13dB	92.59dB
ENOB	15.18-bit	15.09-bit
SFDR	104.82dB	105.09dB
ENOB@FS	17.65-bit	17.56-bit

图 6-16 所示为 SDM 芯片 SNR 随输入幅度关系曲线。由图可见，输入幅度达到一定程度后，SNR 急剧下降，这表示输入幅度超过了调制器的稳定输入范围造成调制器已无法进行正常调制。从测试得到的数据来看，调制稳定输入范围大约在-3.5dB 左右，即单端输入幅度 1.1V（满幅度为 1.65V），这与第二章中估计的稳定输入范围基本一致（参考图 2-31 及相关说明）！

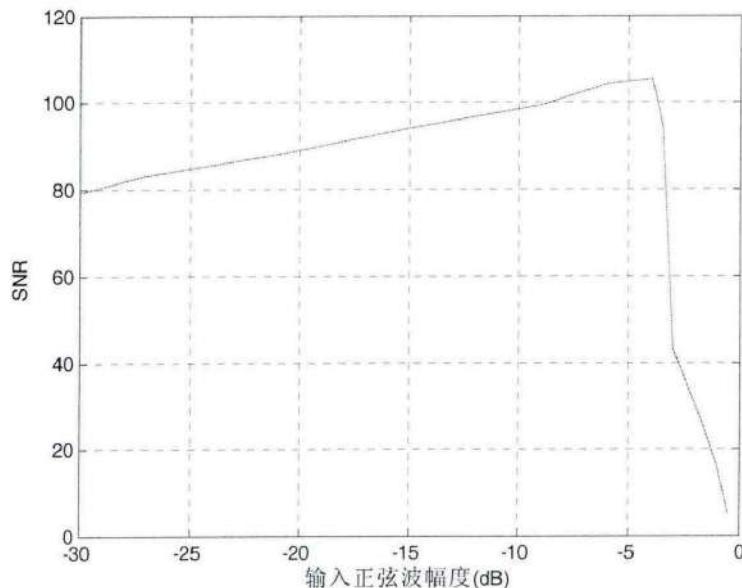


图 6-16 SNR 随输入正弦波幅度关系曲线

表 6-3 所示为 SDM 芯片各项指标随输入信号频率的变化关系。从表中可见

按满幅度输入计算，有效位达到了近 18-bit；且由于测试信号源质量限制，这个有效位可能由信号源质量所限。相比较 CS5372 的调制结果，SDM 调制效果均不差于 CS5372。

表 6-3 SDM 芯片各项指标随输入正弦波频率变化关系

指标	31.25Hz	50Hz	100Hz	250Hz <sup>21</sup>
SNR	93.79dB	93.78dB	93.63dB	94.61dB
THD	-101.64dB	-98.71dB	-94.62dB	-
SINAD	93.13dB	92.57dB	91.09dB	94.61dB
ENOB	15.18-bit	15.08-bit	14.84-bit	15.42-bit
SFDR	104.82dB	99.98dB	95.02dB	-
ENOB@FS	17.65-bit	17.55-bit	17.31-bit	17.89-bit

## 6.5 调制器性能比较

$\Sigma\Delta$  ADC 是目前研究的热点，已出现了很多  $\Sigma\Delta$  ADC 的设计样例，大多采用不同的工艺，供电电压，输出比特流速率，精度也各有差异，为了对各种调制器性能进行比较，Mediero[1]提出了一个  $\Sigma\Delta$  调制器的通用评价指标 FOM-w(figure of Merit-w)。在这个评价指标中，调制器的性能主要由功耗，有效分辨率和数字输出速率（DOR）来决定。FOM-w 计算公式如下。

$$FOM - w = \frac{Power(W)}{2^{resolution(bit)} \times DOR(sample/s)} \times 10^{12}$$

除了 FOM-w 评价指标外，还有考虑供电电压，分辨率和 DOR 的 FOM-v[2] 评价指标。这两种评价指标为比较各种  $\Sigma\Delta$  调制器性能提供了一个很好的依据。通常 FOM 的值越低，表示调制器的性能越优。表 6-4 给出了近些年一些高阶  $\Sigma\Delta$  调制器的性能对比，表中最后一行为论文设计的调制器指标参数。通常认为 FOM-w<10 都属于较好的设计[3]，论文设计的调制器 FOM-w 为 1.63，说明设计的  $\Sigma\Delta$  调制器性能较好。

<sup>21</sup>经数字滤波器抽取后，输出 Fs=1k 采样率，对于 250Hz 正弦波输入，谐波超出 Fs/2，故 THD，SFDR 此处不做计算。

表 6-4  $\Sigma\Delta$  调制器性能比较

设计者	有效位数	DOF	功耗(mW)	工艺 CMOS	供电电压	调制阶数	OSR	量化器位数	FOM-w
Geets[4]	11.5	12.5Msps	152	0.65μm	5V	3	8	1-bit	4.20
Balmelli[5]	13.6	2.5Msps	200	0.18μm	1.8V	5	8	4-bit	6.44
Brigati[6]	16.9	400sps	50	0.6μm	5V	4	320	1-bit	1022.1
Gerosa[7]	9.1	256sps	0.0018	0.8μm	1.8V	3	16	8-bit	12.8
Yao[8]	14.3	500ksps	7.4	0.13μm	1.0V	4	64	1-bit	0.73
Chen[9]	12.0	48ksps	30	0.5μm	5V	5	64	1-bit	8.30
本文	17.6	512ksps	22	0.35μm	3.3V	4	128	1-bit	1.63

## 6.6 参考文献

- [1] F. Medeiro, B. Perez-Verdu and J. Manuel, "Fourth-order Cascade SC Sigma Delta Modulator: A Comparative Study", IEEE Transactions on Circuits and Systems-I: Fundamental Theory and Applications, vol.45, no.10. Pp.1041-1051, Oct. 1998.
- [2] M. Nance Ericson, "High-Temperature, High-Resolution A/D Conversion Using 2<sup>nd</sup> and 4<sup>th</sup>-order Sigma Delta Modulation in 3.3V 0.5um SOS-CMOS", Ph.D Thesis, the university of Tennessee, Aug. 2002.
- [3] F.Medeiro et al. "Top-Down Design of High-Performance Sigma Delta Modulator", Kluwer Academic Publishers, London, 1999.
- [4] Y.Geets, M.Steyaert and W.Sansen, "A 2.5MSample/s Multi-Bit Sigma Delta CMOS ADC with 95dB SNR", Digest of Technical Papers, pp.336-337,468, Solid-State Circuits Conference, 2000.
- [5] P. Balmelli, Q. Huang, "A 25MS/s 14b 200mW  $\Sigma\Delta$  Modulator in 0.18μmCMOS," ISSCC Dig. Tech. Papers, pp. 74-75, Feb., 2005.
- [6] S.Brigati, F.Francesconi and P.Malcovati, "A Fourth-order singla-bit Switched capacitor sigma delta modulator for distributed sensor applications", IEEE Transactions on Instrumentation and Measurement, vol.53, no.2 pp.266-270, Apr. 2004.
- [7] A.Gerosa and A.Neviani, "A 1.8uW Sigma Delta Modulator for 8-bit Digitization of Cardiac Signals in Implantable Pacemakers operating Down to 1.8V", IEEE Transactions on Circuits and Systems-II, vol.52, no.2, pp.71-76, Feb. 2005.
- [8] Libin Yao, M. Steyaert and Willy Sansen, "A 1-V, 1MS/s, 88-dB Sigma Delta Modulator in 0.13-um Digital CMOS Technology", Symposium on VLSI Circuits Digest of Technical, pp.180-183, 2005.
- [9] 陈雷, "高精度 $\Sigma\Delta$  ADC的研究", 博士论文, 西北工业大学, 2006.



## 第7章 总结与展望

论文先从理论上详细介绍了 Sigma-Delta 调制器的基本原理以及设计中常见的多种调制结构，对 Sigma-Delta 调制器的稳定性做了细致的分析，提出了一种 Sigma-Delta 调制器的设计流程，依照此流程可完成任意调制阶数的调制器设计。在调制器各子模块原理图设计中，提出了一种基于  $gm_{id}$  和  $v_{od}$  特征曲线的模拟电路设计方法，相对于传统的基于电流平方律的设计方法，该方法不受具体工艺水平的限制，同时可以达到较高的设计精度，大大降低了模拟电路的设计难度，减少了设计时间。

基于 Chartered 0.35 $\mu\text{m}$  CMOS 工艺，自主设计完成一款有效位近 18-bit 单环 4 阶 1 位 CIBF 型  $\Sigma\Delta$  模拟调制器设计和测试工作，芯片成功流片。论文针对单环高阶  $\Sigma\Delta$  调制器的设计，实现进行了广泛的讨论和分析。所做的主要研究工作和创新点概述如下：

1. 对各种单环高阶调制结构进行了对比分析，并总结了各种调制器结构的噪声函数，按照设计指标，重点考虑功耗，面积等因素，合理选取了一个单环 4 阶 1 位 CIBF 调制器结构，结合滤波器的设计方法，总结出了详细的调制器设计流程。
2. 对调制器各构成单元：运算放大器，比较器，时钟产生电路，带隙基准电路等设计给出了详细的设计流程，并对各构成单元非线性因素及其对整个调制器性能的影响进行了分析，以此指导后期的调制器整体结构的设计和实现。
3. 设计建立了考虑各种运放电路非线性和开关非理想因素的调制器的数学模型并对此进行了系统级仿真，得出指导系统设计的关键点。
4. 在原有的基础上，完善了基于  $gm_{id}$  和  $v_{od}$  特性曲线的模拟电路设计方法。相比较与电流平方定律设计方法，这种方法不受具体工艺水平的限制，且具有很高的精确性，在完成初步计算后，只需对个别晶体管参数进行很小的参数调整后即可达到设计要求，完成电路设计。
5. 高阶  $\Sigma\Delta$  模拟调制器的稳定性一直是一个问题，暂没有系统的理论基础和设计方法保证高阶调制器的稳定性，通常都是通过后期仿真获得稳定输入范围。论文基于根轨迹图给出了高阶调制器稳定性的一种分析方法，可在设计过程中对稳定性进行预测。
6. 独立完成整个  $\Sigma\Delta$  调制器前期研究工作，原理图设计，前仿真，版图设计，后仿真，成功完成流片；并完成芯片的后期测试方案和测试评估板设计，搭建测试平台，对芯片性能进行了验证。测试结果表明设计芯片达到了

设计要求，其调制性能达到甚至超过了工业界成熟调制芯片。由于测试源精度的限制，目前测试所得调制器有效位达到近 18-bit。

### 工作展望

论文研究的最终目的是完成高集成度的石油勘探用前端 AD 变换芯片，其中包含芯片内前端滤波网络，可变增益放大器以及  $\Sigma$ - $\Delta$  ADC。作为这个工作的第一阶段，目前仅仅完成  $\Sigma$ - $\Delta$  调制器的设计和实现工作，接下来需要继续进行  $\Sigma$ - $\Delta$  ADC 中数字滤波器的设计和实现，并在此基础上，将调制器和滤波器集成到一片芯片中。在完成  $\Sigma$ - $\Delta$  ADC 设计后，继续将前端滤波网络和可变增益放大器集成其中，最终完成前端 AD 变换芯片的设计和实现。

目前完成的  $\Sigma$ - $\Delta$  调制器依然有一些需要改进的地方，首先 4 阶调制结构中都采用了相同的运算放大器结构，而对调制器性能影响因素的分析来看，第 1 阶起着决定性影响，故可以相应增加第 1 阶中各个单元特别是运算放大器的设计指标，而相应的降低后续 3 阶的设计指标，从而使设计达到合理化，并进一步降低功耗。另外在调制器实现过程中，反馈单元由于系数过小，电容过大的原因被删除了，导致了调制器对应的滤波器类型从 inverse-chebyshev 型退化到 Butterworth 型，降低了噪声调制性能。在以后的设计中可以通过选择其他结构类型的调制器结构保留反馈单元，保存零点，增大噪声调制性能。在版图实现中，目前并未仔细考虑减小面积，在完成功能性验证后，可以从减小面积出发，对版图实现进行进一步优化，进一步减小芯片面积。通过实测，调制器的稳定输入范围约在 -3.5dB，即稳定输入范围还有待提高。

## 致 谢

光阴荏苒，转眼间，五年一晃而过，又是一年毕业季，而我也终于要离开了。

首先要感谢我的导师王砚方教授对我的关心和指导，在实验室五年的求学过程中，王老师渊博的知识，严谨的治学态度以及活到老学到老的精神让我深受影响，给我树立了学习的榜样。

特别感谢宋克柱老师五年来的信任和支持，使我在这五年中有所作为，而非无所事事，虚度光阴。

感谢杨俊峰老师，自从我进入实验室以来，一直得到你的指导和帮助，每当项目中遇到困难，在和你讨论之后，总能得到解决，在此十分感谢，你帮我逐渐树立了正确的做事态度：沉着冷静，迎难而上，问题终会得到解决。

感谢程伊敏老师，你是实验室坚强的后盾，我们的工作始终无法离开你的支持和帮助。特别感谢程老师五年中对我的关心。

感谢快电子实验室给予我帮助和关爱的老师们，他们是安琪教授，王永纲教授，刘树彬教授，武杰老师，赵雷老师，曹平老师。同时感谢实验室一起工作和学习的同学，你们让我感受到真正的生活，学会乐观。

感谢我的好友黄守霆，廖佳军，谢子亮等，感谢你们远方的支持，兄弟同在，天涯咫尺。

最后，谨以此文献给我的父亲和母亲。

2012 年 05 月

## 在读期间发表的学术论文与取得的其他研究成果

已发表论文：

- [1] GuiPing Cao, KeZhu Song, JunFeng Yang. Adaptive Low Power Design based on Vxworks Kernel Scheduler and Hook Mechanism. 2010 Second IITA International Conference on Geoscience and Remote Sensing (IITA-GRS), vol.2, pp.59-62, 2010.
- [2] 曹桂平, VxWorks END 网口驱动程序设计, 微计算机应用, 第 29 卷第 12 期, 2008 年 12 月。

待发表论文：

- [1] 曹桂平, 宋克柱, 杨俊峰, 王砚方, Class-AB 型低功耗轨到轨 CMOS 模拟缓冲器设计, 微电子学, 2012 年第 42 卷第 4 期, 已录用。
- [2] 曹桂平, 宋克柱, 杨俊峰, 王砚方, 海洋地震拖缆模拟系统设计与实现, 核电子学与探测技术, 已录用。

已出版书籍：

- [1] 曹桂平, Linux 内核网络栈源代码情景分析, 人民邮电出版社, 810 页, 123.6 万字, 2010 年 01 月出版, ISBN: 978-7-115-21626-7。
- [2] 曹桂平 等, VxWorks 设备驱动开发详解, 电子工业出版社博文视点, 409 页, 67.2 万字, 2011 年 03 月出版, ISBN: 978-7-121-12828-8。

发明专利：

- [1] 杨俊峰; 谢荣清; 宋克柱; 阮福明; 曹桂平; 安健飞; 邱永成, 一种用于地球物理勘探的拖缆模拟器板, No. CN101975966A, 2011 年 2 月。
- [2] 杨俊峰; 谢荣清; 曹桂平; 阮福明; 安健飞; 邱永成, 一种用于地球物理勘探的拖缆模拟系统, No. CN101975967, 2011 年 2 月。