

EMERSON ELETRÔNICOS



MANUAL DO KIT FPGA

EE01

www.professoremersonmartins.com.br

2014 REV-01

MANUAL DE UTILIZAÇÃO DO KIT FPGA-EE01

Primeiramente a Emerson Eletrônicos, em nome do professor Emerson Martins agradece pela aquisição e utilização de um de nossos produtos, produtos esses que tem como finalidade ajudar a difundir conhecimentos técnicos nas áreas de eletroeletrônica e programação para a inserção de alunos e desenvolvedores nestas áreas tão importantes inclusive para o desenvolvimento mundial.



Figura 1

O FPGA-EE01 é um kit de desenvolvimento completo com módulos de entradas e saídas para que o desenvolvedor possa testar os programas na prática antes da construção do projeto final.

O kit é baseado no modelo **FPGA EP2C5T144CN da família ciclone II** que tem 4068 células configuráveis, dando ao a tranquilidade de desenvolver circuitos de grande complexidade.

O modelo de FPGA utilizado possui 144 pinos, sendo que destes estão disponíveis para utilização nesse kit em 57 pinos disponíveis nos conectores de expansão devidamente sinalizados por nomes e os outros ligados aos módulos correspondentes.

A alimentação do kit possui uma chave para escolha de tensões de entrada, que pode ser escolhida entre 220Vca a 127Vca.

A fonte de alimentação possui proteção contra curto circuito e sobre corrente, corrente esta que está fixada em 1A, +/- 10%, ou seja caso a corrente ultrapasse essa valor, a fonte de alimentação desarma fornecendo um aviso sonoro (apito) de sinalização, para que o kit volte a funcionar, deve ser corrigido o erro que provocou a ativação da proteção da fonte, e o kit ser **desligado por aproximadamente 10 segundos e religado**.

- Obs: caso ocorra o desarme da fonte, ou desligamento pela chave geral, o gravador USB poderá perder a comunicação com o computador, necessitando ser desconectado e conectado novamente da porta USB para novo reconhecimento.

APRESENTAÇÃO DOS MÓDULOS DO KIT

**Serão apresentados a seguir a descrição dos módulos presentes no kit
FPGA-EE01**

CRISTAL HIBRIDO

- O cristal híbrido mostrado na figura 2 é um oscilador de quartzo que está ligado diretamente ao pino 17 (clock 0) do FPGA, dessa forma para execução de programas que utilizem clock, este pino deve ser configurado como fonte de clock, o oscilador presente na figura 2 é de **20MHZ** mas pode variar em função do lote de kits, portanto deve ser observado para o desenvolvimento dos programas.



Figura 2

MEMÓRIA FLASH

- Este modelo de FPGA, tal como a maioria dos modelos de fpgas não possui memória eeprom ou memória flash interna, dessa forma, depois de gravado, sempre que o mesmo for desligado ou resetado, o programa será apagado da memória, sendo necessário regravá-lo. Assim foi adicionada uma memória serial flash externa modelo **EPCS4** apresentada na figura 3, que armazenará o programa quando for gravado o arquivo .jic gerado do arquivo .sof, e toda vez que o FPGA for energizado, o mesmo buscará o programa na memória externa automaticamente e começará a executar o programa.
- No item - **tutorial para gravação da memória externa** é apresentado como gravar a memória externa EPCS4.

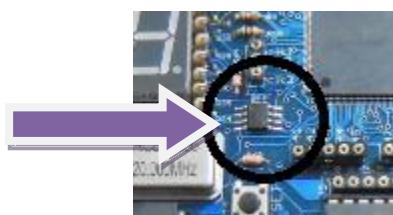


Figura 3

- O botão de **RESET** da figura 4 tem a função de reiniciar o programa em execução toda vez que for pressionado, relembrando que se o programa estiver somente na memória do FPGA será apagado toda vez que resetado.

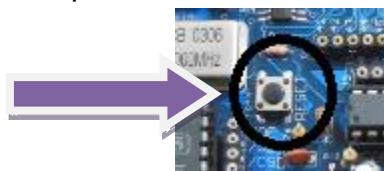


Figura 4

- O conector de gravação **JTAG** é utilizado no momento da gravação, nele deve ser conectado o gravador da figura 5 fornecido com o kit, o gravador modelo USB blaster clone está embutido no gabinete do kit e já ligado ao conector JTAG, portanto o seu acesso é feito pelo cabo USB que deverá ser ligado ao computador.

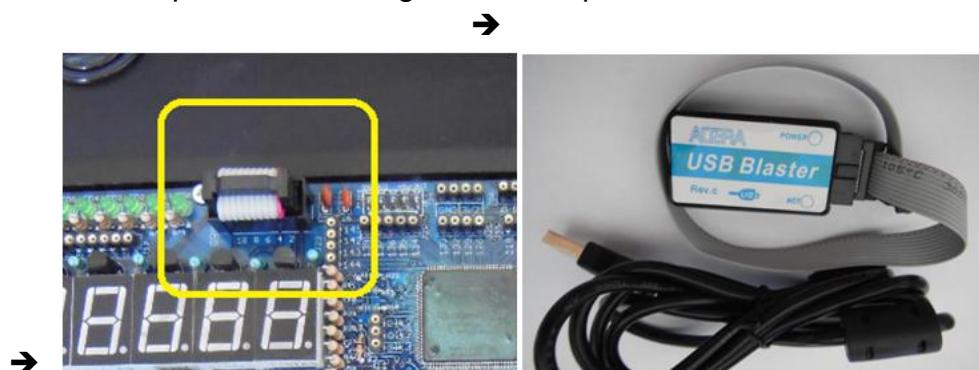


Figura 5

- Os conectores de saída de tensão (GND E 3V3) da figura 6, podem ser utilizados para alimentar outros circuitos com essa tensão, devendo ser respeitada a corrente de **1A máxima**, que é o limite de corrente da fonte de alimentação do kit.

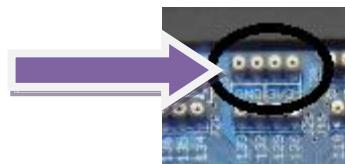


Figura 6

- Nos conectores de expansão da figura 7, sinalizados respectivamente pelos números dos pinos do fpga, podem ser ligados sensores, botões leds entre outros periféricos, e para o funcionamento dos programas e devem ser respeitadas as seguintes limitações.

- **Pinos utilizados como entradas – máximo de 3,3Vcc de tensão.**
- **Pinos utilizados como saídas – máximo de 20mA de corrente em cada pino.**

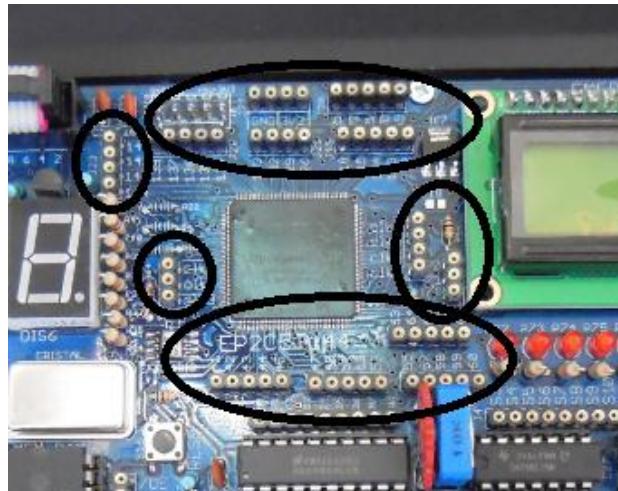


Figura 7

MÓDULO OSCILADOR

- O Kit CPLD_EE01 conta com um circuito gerador de pulsos de clock com 6 frequências diferentes que poder ser utilizadas como fontes de clock para sistemas de contadores, multiplexadores e temporizadores. As frequências disponíveis nos bornes de saídas do módulo oscilador são apresentadas na tabela 1, (as frequências apresentadas podem ter variações de $\pm 10\%$):
- Os Trimpots R56, R57, R58, R59, R60 e R61, são utilizados para ajuste das frequências em caso de necessidade de acordo com a tabela 1.

Tabela 1

FREQ 1	1HZ	R56
FREQ 2	10HZ	R57
FREQ 3	100HZ	R58
FREQ 4	1KHZ	R59
FREQ 5	10KHZ	R60
FREQ 6	100KZ	R61

A figura 8 apresenta a localização dos sinais disponíveis no módulo oscilador.

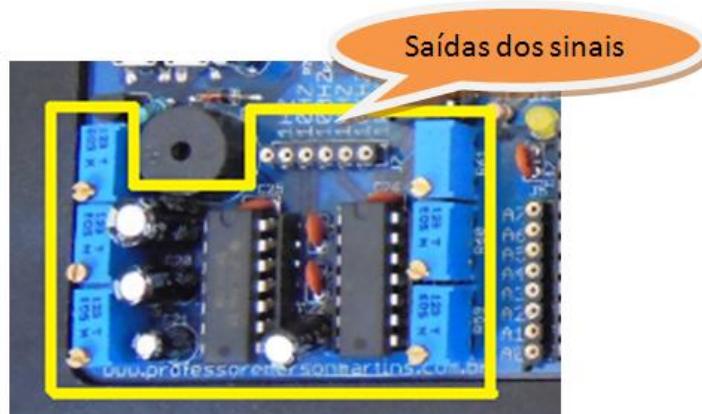


Figura 8

MÓDULO DE ENTRADAS DIGITAIS COM RETENÇÃO

→ O Módulo de chaves com retenção é composto por 12 chaves (S3 à S14), que possuem filtros RC em cada uma para que não promova ruído no circuito devido ao contato mecânico. As chaves com retenção são utilizadas para simular entradas de níveis lógicos para operações digitais, como também entradas de preset e clear de circuitos sequenciais.

A figura 9 apresenta a localização do módulo de entradas com retenção e a localização dos bornes de sinais.

- Este módulo não é interligado ao fpga, dessa forma a ligação do mesmo é efetuada por fios jumpers fornecidos junto com os kits.

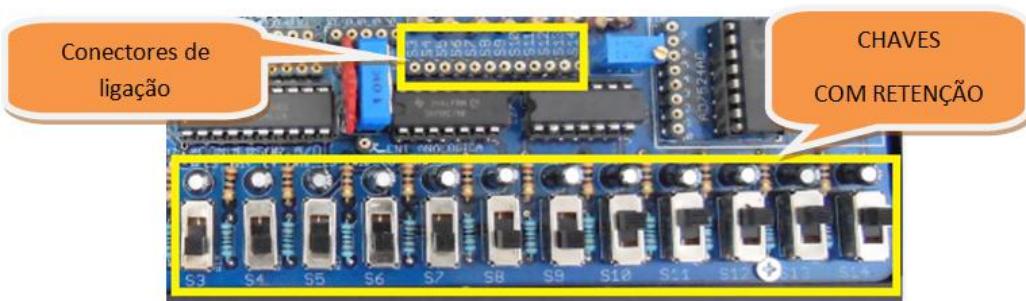


Figura 9

MÓDULO DE DISPLAYS DE SETE SEGMENTOS MULTIPLEXADO

O módulo de display de sete segmentos é formado por 6 displays multiplexados, ou seja, todos os segmentos de a à dp de todos os displays são interligados, formando um barramento só. Para que seja escolhido o display que irá apresentar a informação desejada deverá ser acionado o respectivo sinal do catôdo do mesmo.

Para informações de mais de um dígito deverá ser acionado um catodo por vez, o esquema elétrico do módulo é apresentado na figura 10.

- Este módulo já é ligado ao fpga conforme os números dos pinos do esquema elétrico e da tabela de ligação dos pinos apresentada no apêndice A.

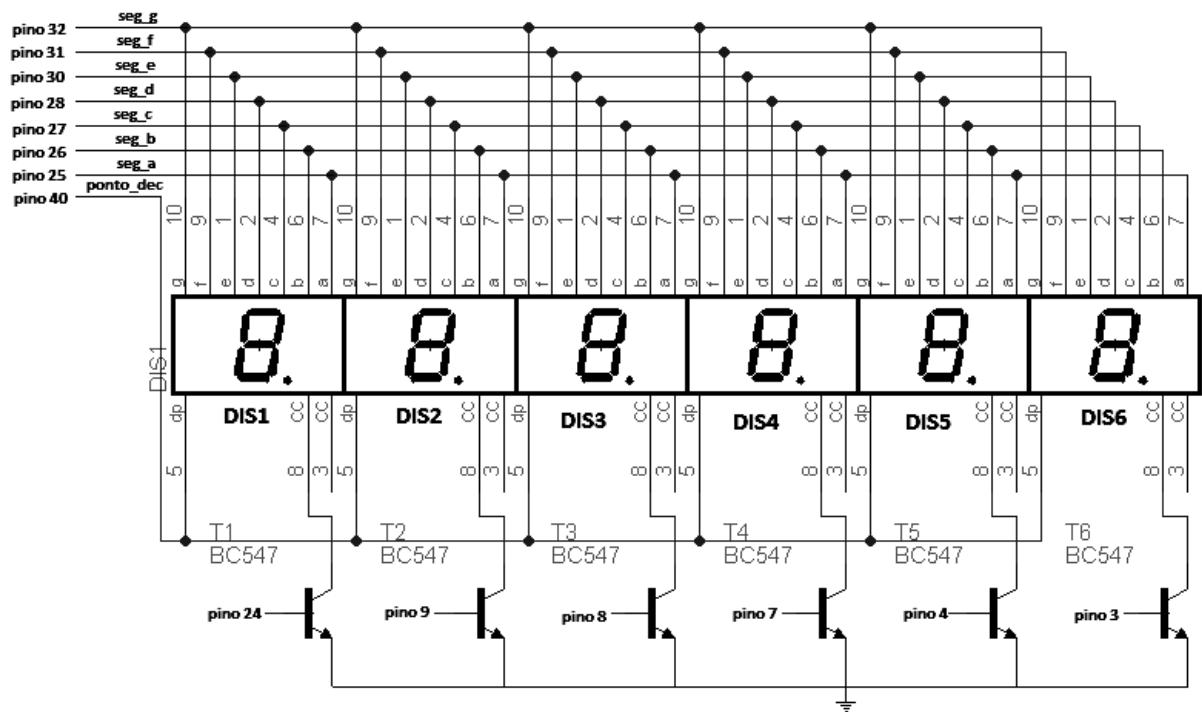


Figura 10

A localização do módulo de display de sete segmentos é apresentada na figura 11

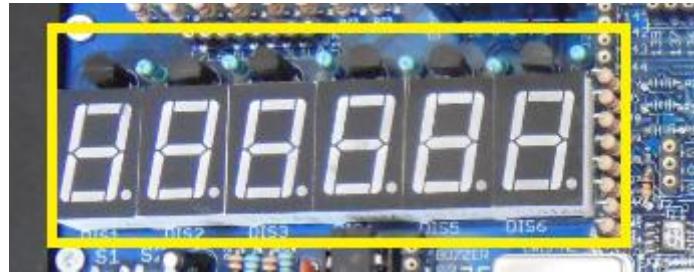


Figura 11

Módulo de entradas digitais de pulso (sem retenção).

- Este módulo é composto por 2 chaves tácteis sem retenção, e podem fornecer sinais de borda de subida e descida.
- Os níveis de tensão fornecidos nas saídas são: Nível lógico zero=0V e Nível lógico 1= 3V3.
- Todas as chaves são compostas por filtros RC individualmente para evitar os ruídos provenientes dos contatos mecânicos, dessa forma podem ser utilizadas como fornecedoras de clock manual para circuitos sequenciais tais como os contadores.

A figura 12 apresenta a localização do módulo na placa e os bornes de saídas dos sinais.

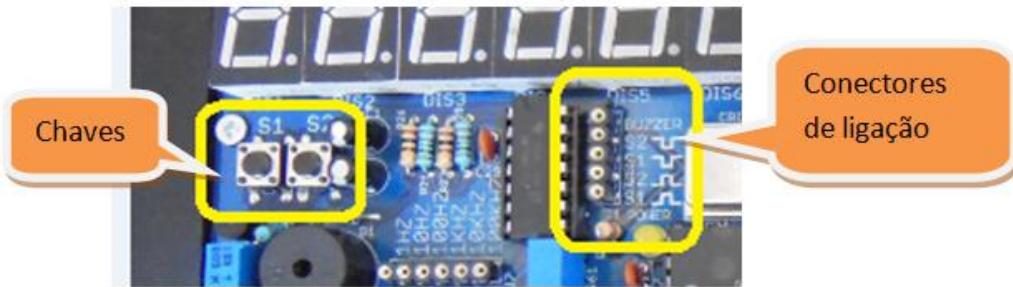


Figura 12

De acordo com a tabela 2, é descrita a função de cada saída do módulo de chaves de pulso.

Tabela 2

CHAVE	BORDA DE SUBIDA	BORDA DE DESCIDA
S1	SIM	SIM
S2	SIM	SIM

MÓDULOS DE LEDS DE SINALIZAÇÃO

- Para facilitar a visualização dos resultados dos circuitos digitais, foi implementado **dois** módulos composto por 8 leds cada um.
- O primeiro módulo (leds vermelhos) já está interligados aos pinos do FPGA, dispensando então a ligação por meio de jumpers.
- Os pinos e seus respectivos leds do módulo I são apresentados na tabela 3.
- Os resistores dos leds estão dimensionados para acionamento com 3V3, que é a tensão de alimentação do kit, e presente nas saídas do FPGA.

Tabela 1 – MÓDULO I

LED	PINO DO FPGA
LED0	PINO 86
LED1	PINO 81
LED2	PINO 80
LED3	PINO 79
LED4	PINO 75
LED5	PINO 74
LED6	PINO 73
LED7	PINO 72

A localização do módulo I de leds é apresentada na figura 13.

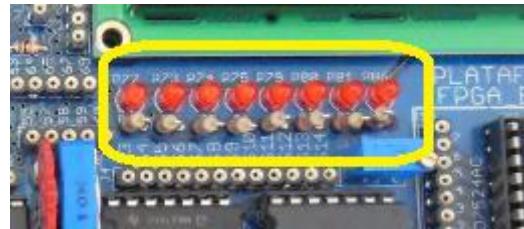


Figura 13

- ➔ O módulo 2 de leds (leds verdes) não é interligado ao fpga, ou seja, para utilizá-lo deverá ser efetuada a ligação por meio de jumpers ao conector do pino desejado.
- A localização do módulo II de leds juntamente com seus conectores é apresentada na figura 14.

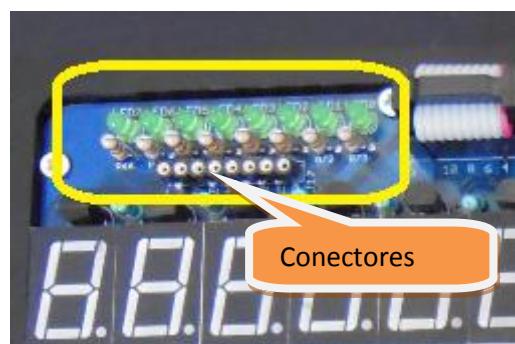


Figura 14

MÓDULO SINALIZADOR DE ÁUDIO

- ➔ O módulo de áudio é formado por um buzzer, este dispositivo tem a capacidade de se dilatar e comprimir de acordo com a aplicação de tensão em seus terminais, dessa forma é muito utilizado para gerar áudio em sistemas de telefonia, alarmes entre outros.
- ➔ O buzzer não é interligado ao fpga, assim para sua utilização deverá ser efetuada a ligação por meio de jumper ao pino selecionado.
- Dever-se evitar mantê-lo ligado sem oscilação, pode-se utilizá-lo para gerar áudio com aplicação de qualquer frequência entre 20Hz e 20khz que é a faixa audível para os humanos. A figura 15 apresenta sua localização na placa e o esquema elétrico.



Figura 15

MÓDULO CONVERSOR ANALÓGICO – DIGITAL

- O módulo conversor A/D é composto por um circuito integrado conversor A/D de 8 bits, mas o mesmo também necessita de um clock externo para fazer a conversão analógica de tempos em tempos.
- O circuito integrado utilizado é o ADC0804LCN que com o auxílio de um **potenciômetro** e um buffer de tensão executado pelo ci LM358 faz a conversão do valor de tensão analógico ajustado no **potenciômetro R77** para um valor digital de 8bits.
- O sinal de clock de 10Hz do circuito gerador de sinais pode ser utilizado para fazer a conversão analógico-digital em uma quantidade de 10 conversões por segundo.
- Abaixo do potenciômetro R77 existe um ponto de teste que pode ser monitorado com um voltímetro para que seja conferido o valor analógico com o digital.

A localização do módulo conversor A/D e seus conectores são apresentados na figura 16.

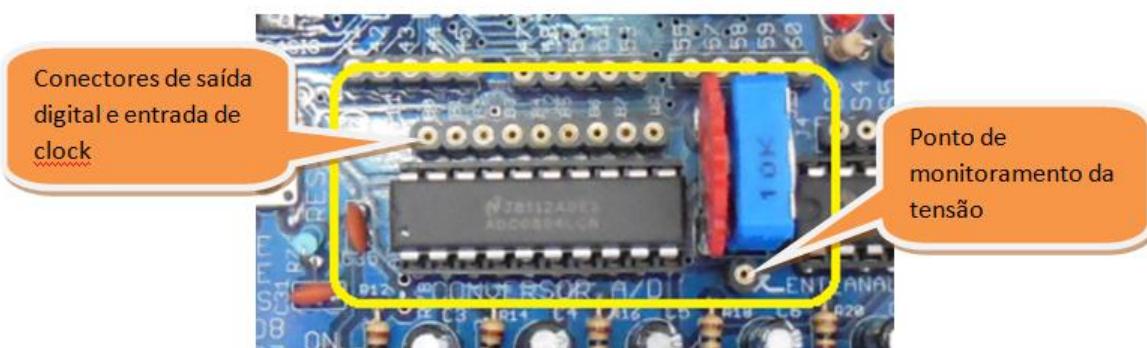


Figura 16

MÓDULO CONVERSOR DIGITAL – ANALÓGICO

- O módulo conversor D/A utiliza um conversor D/A de 8 bits de resolução. O circuito integrado utilizado é o AD7524, a saída do conversor está ligada a um buffer de tensão executado pelo ci lm358, o resultado da conversão de valores de entrada de 00000000_2 à 11111111_2 com uma tensão de referência de 3V3.
- A localização do módulo conversor D/A é apresentada na figura 17

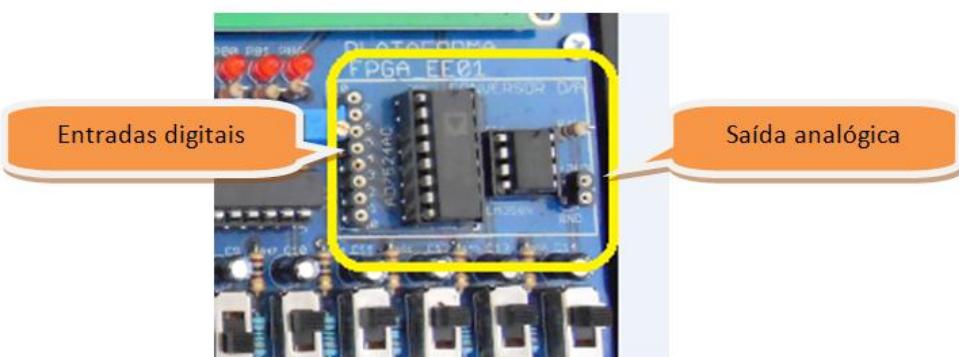


Figura 17

MÓDULO MEMÓRIA RAM MODELO HM6116LP-4

- A memória utilizada neste módulo é a HM6116LP, a mesma possui 2048 endereços de 8 bits cada.
- No kit FPGA- EE01, por se tratar de um kit didático são utilizadas somente as 8 primeiras entradas endereços, A0 à A7, ficando os endereços A8, A9 e A10 ligados ao gnd.
- Para simular o funcionamento da memória RAM quando desligada, para confirmar a perda dos dados sem desligar o kit, foi implementada uma chave de alimentação somente para esta memória, dessa forma pode-se gravar os dados na mesma, e depois desenergizá-la sem que para isso tenha que desligar o kit completo, as entradas e saídas de dados e controle e a chave da memória RAM são mostradas na figura 18.

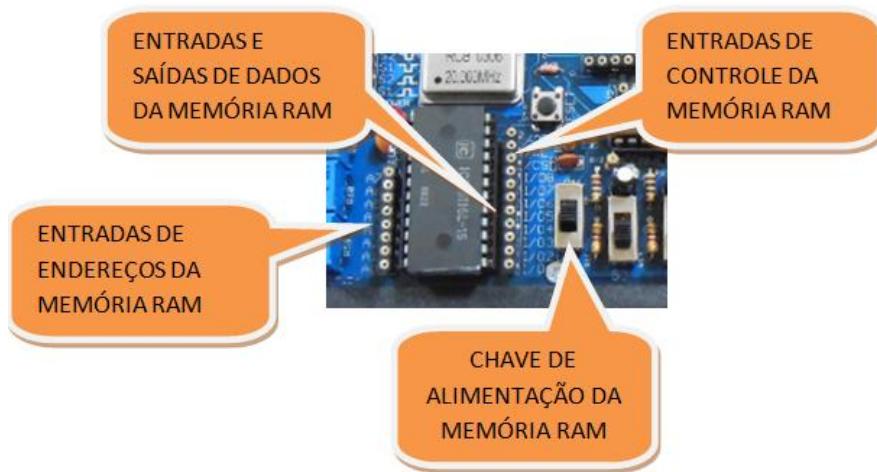


Figura 18

O esquema elétrico do módulo memória RAM é apresentado na figura 19.

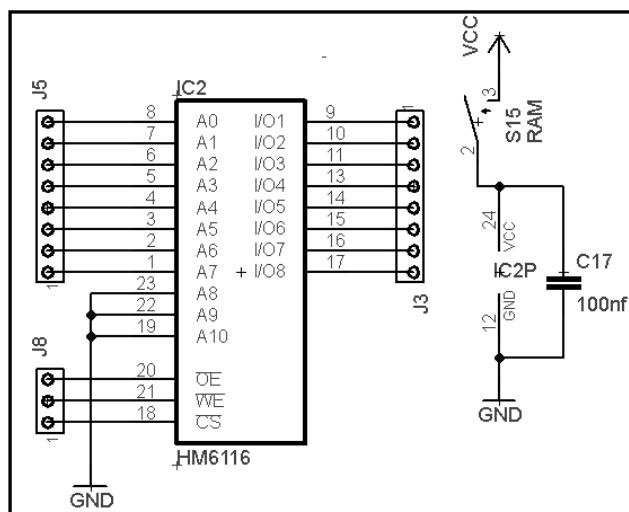


Figura 19

MÓDULO DISPLAY DE CRISTAL LÍQUIDO (LCD)

- ➔ Os displays de LCD são muito utilizados em equipamentos eletrônicos para comunicação para a visualização e parametrização de dados em projetos, o display utilizado neste kit é o modelo 2 linhas e 16 colunas, compatível com a maioria dos hardwares do mercado.
- ➔ Este módulo é interligado ao fpga, dessa forma não necessita de nenhuma ligação com jumpers, apenas exige a configuração correta dos pinos para o perfeito funcionamento.
- ➔ A figura 20 apresenta o esquema elétrico de ligação do LCD no fpga e os números dos pinos ligados.

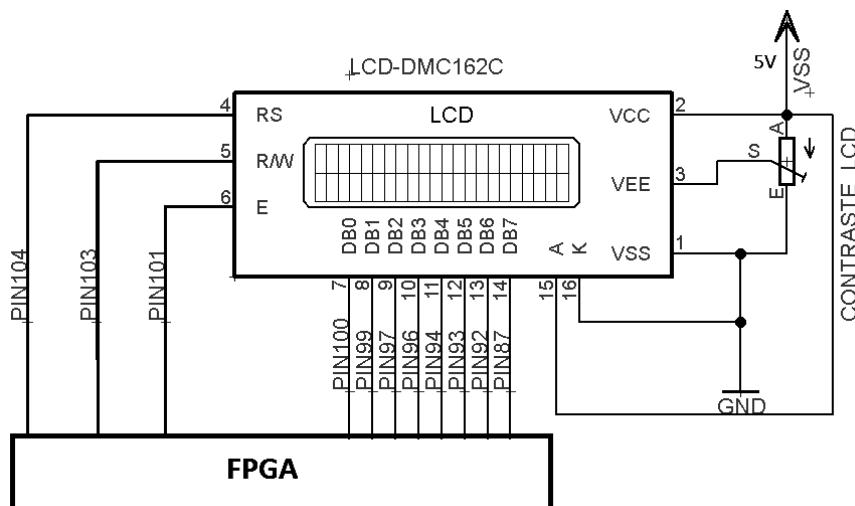


Figura 20

FONTE DE ALIMENTAÇÃO

- ➔ A fonte de alimentação do kit fornece 4 valores tensões distintas que são elas:
 - +5V para alimentação do display de LCD
 - +3v3 para alimentação do fpga, memórias e circuitos integrados
 - -3v3 tensão de referência para o conversor digital analógico AD7524
 - +1v2 para pinos específicos desse modelo que necessitam desse valor.
- ➔
- O FPGA utilizado trabalha com alimentação de **3,3Vcc**, o usuário deverá respeitar também essa tensão nos pinos utilizados como entradas, pois caso a tensão ultrapasse esse valor irá danificar o FPGA fazendo com que ocorra a **PERDA DE GARANTIA DO KIT**.

PRIMEIRA ENERGIZAÇÃO

O tópico “**TUTORIAL PARA CRIAR UM PROJETO NO QUARTUS II**” apresenta além de criar um projeto, também como simulá-lo por meio de formas de ondas e gravá-lo, o mesmo foi desenvolvido para um CPLD, mas as regras são as mesmas para todos os dispositivos.

O KIT FPGA-EE01 vem de fábrica com um programa de teste que mostra a mensagem “EMERSON ELETRÔNICOS” no display de LCD, dessa forma assim que energizá-lo essa mensagem deverá ser visualizada.

- Módulo display de LCD: o display de LCD vem interligado aos pinos referidos na figura 4, dessa forma não necessita de nenhuma ligação externa para que o mesmo funcione, mas ao desenvolver um programa com este recurso deverá ser respeitada a ligação dos pinos.

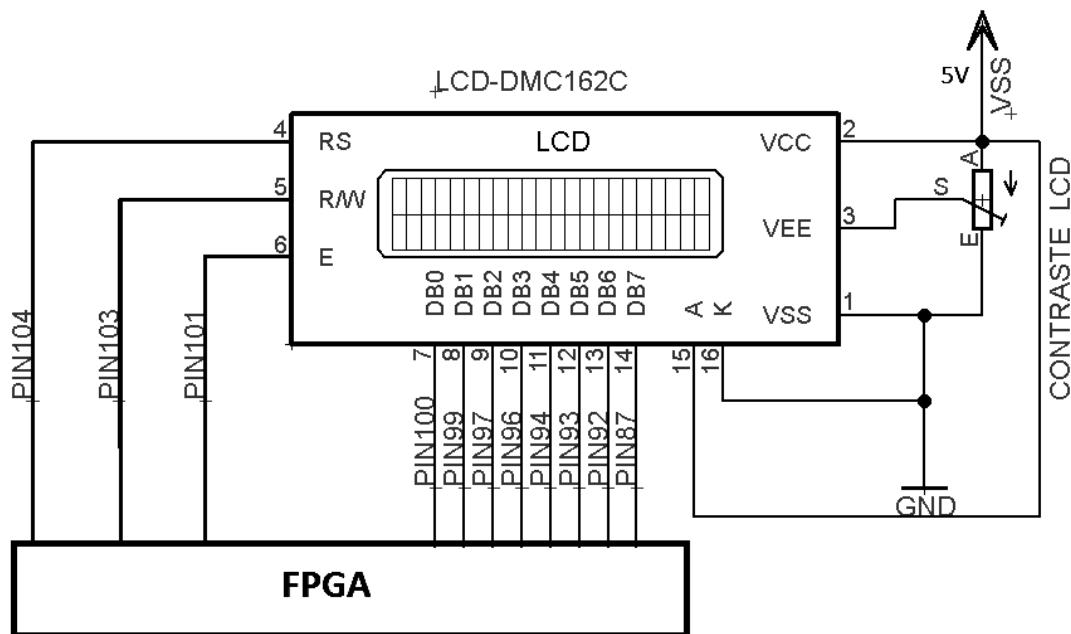


Figura 21

No DVD fornecido com o kit, entre os arquivos de programas para testes do kit existem duas pastas, uma chamada “**PROGRAMAS PARA TESTE SCHEMATIC**” que possui exemplos em schematic, e outra chamada “**PROGRAMAS PARA TESTE VHDL**” que possui exemplos em linguagem VHDL.

Exemplo 1 para teste com programa em VHDL.

Na pasta **PROGRAMAS PARA TESTE VHDL**, tem um programa com o nome de **EXEMPLO_LCD**, depois de gravado no kit, o mesmo deverá mostrar em um LCD 16X2 o nome **EMERSON** na **primeira linha** e o nome **ELETRONICOS** na **segunda linha**, e para funcionar deverá ser respeitado o hardware da figura 21.

Exemplo 2 para teste com programa em VHDL.

Na pasta **PROGRAMAS PARA TESTE VHDL** tem um programa com nome de **PISCA_PISCA**, este programa quando ligado fará o grupo de leds (vermelhos) piscarem em intervalos de 1 segundo aproximadamente, os leds vermelhos estão ligados aos pinos 72, 73, 74, 75, 79, 80, 81 e 86, conforme figura 22.

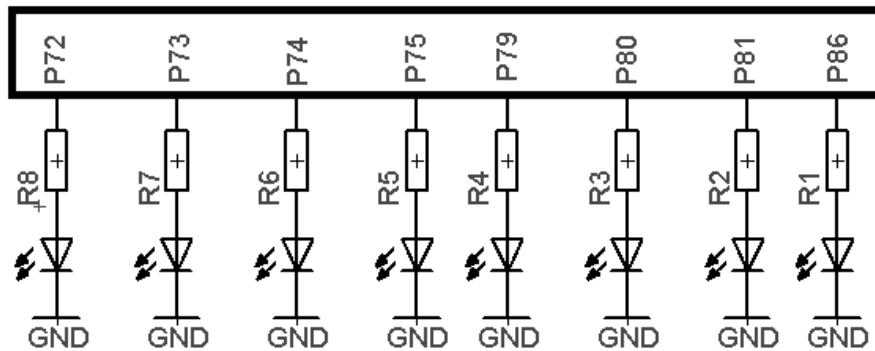


Figura 22

Exemplo 3 para teste com programa em SCHEMATIC.

Na pasta **PROGRAMAS PARA TESTE SCHEMATIC** tem um programa com nome de **CONTADOR_999999_20MHZ**, este programa quando gravado e ligado fará O MÓDULO DE DISPLAY PARA SETE SEGMENTOS contar de 000000 à 999999 em intervalos de 1 segundo (válido para clock de 20MHZ) ciclicamente, e o hardware implementado para esse fim é apresentado na figura 23.

Os displays de sete segmentos estão ligados de forma multiplexada, logo para cada catôdô comum dos displays existe um transistor NPN para fazer o acionamento do dígito correspondente.

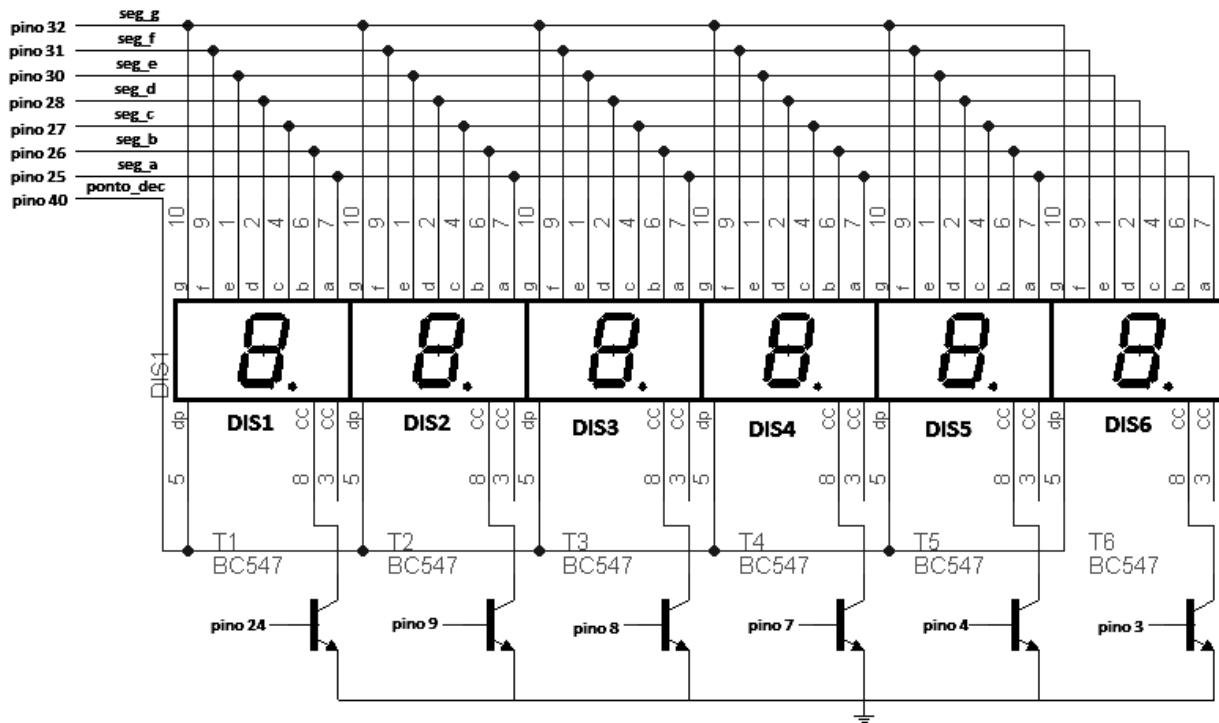


Figura 23

Exemplo 4 para teste do kit com SCHEMATIC.

Na pasta **PROGRAMAS PARA TESTE SCHEMATIC** possui um programa com nome de **DECOD_3_PARA_8**, que na verdade é um decodificador de 3 entradas e 8 saídas que de acordo com as combinações das chaves de entradas irá ligar o respectivo led de acordo com a tabela 4

Tabela 4

Chave S3 PIN 42	Chave S4 PIN 43	Chave S5 PIN 44	Led P86	Led P81	Led P80	Led P79	Led P75	Led P74	Led P73	Led P72
0	0	0	ON	OFF						
0	0	1	OFF	ON	OFF	OFF	OFF	OFF	OFF	OFF
0	1	0	OFF	OFF	ON	OFF	OFF	OFF	OFF	OFF
0	1	1	OFF	OFF	OFF	ON	OFF	OFF	OFF	OFF
1	0	0	OFF	OFF	OFF	OFF	ON	OFF	OFF	OFF
1	0	1	OFF	OFF	OFF	OFF	OFF	ON	OFF	OFF
1	1	0	OFF	OFF	OFF	OFF	OFF	OFF	ON	OFF
1	1	1	OFF	ON						

- para teste de funcionamento, deverá ser gravado o programa **DECOD_3_PARA_8** no FPGA, ligado as entradas S3, S4 e S5 por meio de jumpers e efetuada as combinações de entradas de acordo com o hardware da figura 24.

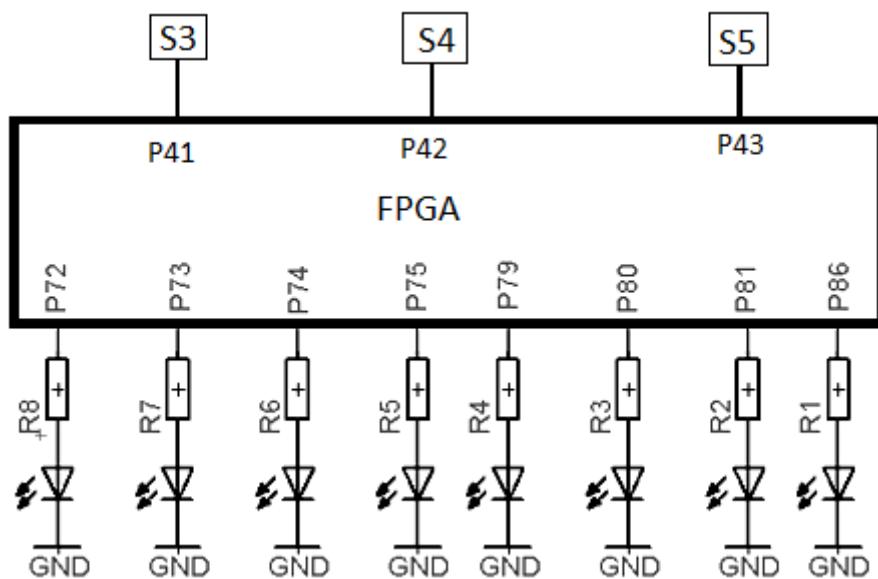


Figura 24

PASSO A PASSO COMO CRIAR UM NOVO PROJETO EM SCHEMATIC NO SOFTWARE QUARTUS II, SIMULAR FORMAS DE ONDAS E GRAVAR NO KIT

→ ESSE MATERIAL FOI DESENVOLVIDO PARA O CPLD EPM7064, MAS O PROCEDIMENTO É O MESMO, APENAS ESCOLHENDO O FPGA QUE SERÁ UTILIZADO, NESTE CASO O MODELO EP2C5T144CN da família cyclone II

1) Após abrir o quartus II, clique em CREATE A NEW PROJECT (tela a seguir).

- Se estiver utilizando windows 7 ou 8 pode ser necessário executar como administrador.

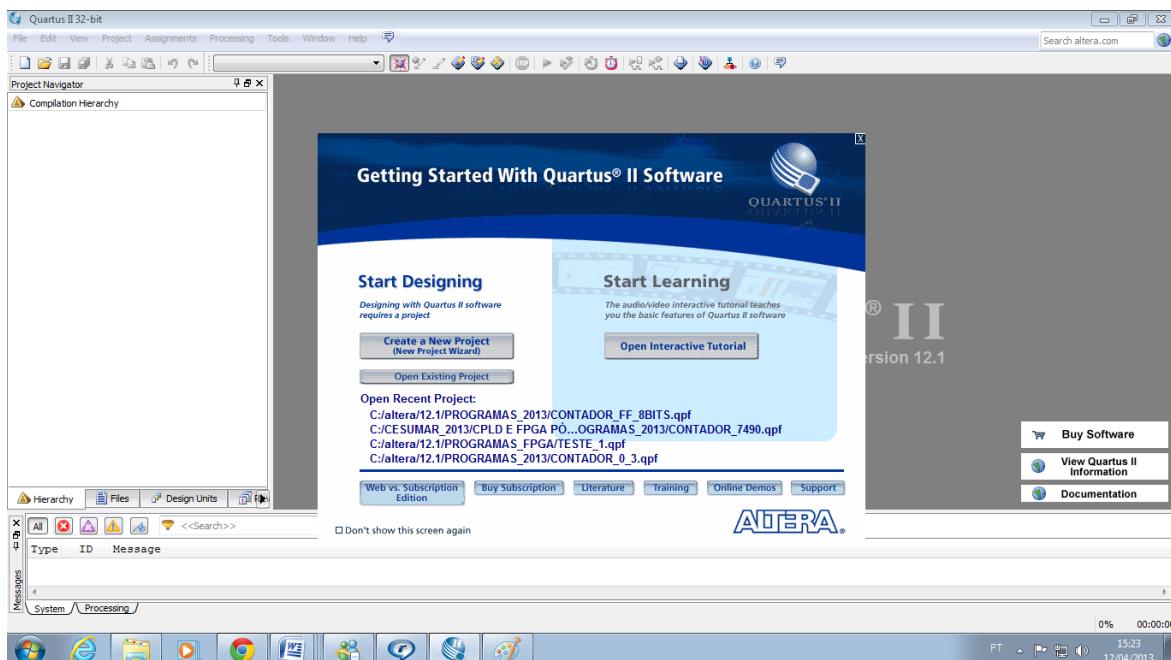


Figura 25

2) CLIQUE EM NEXT (tela a seguir).

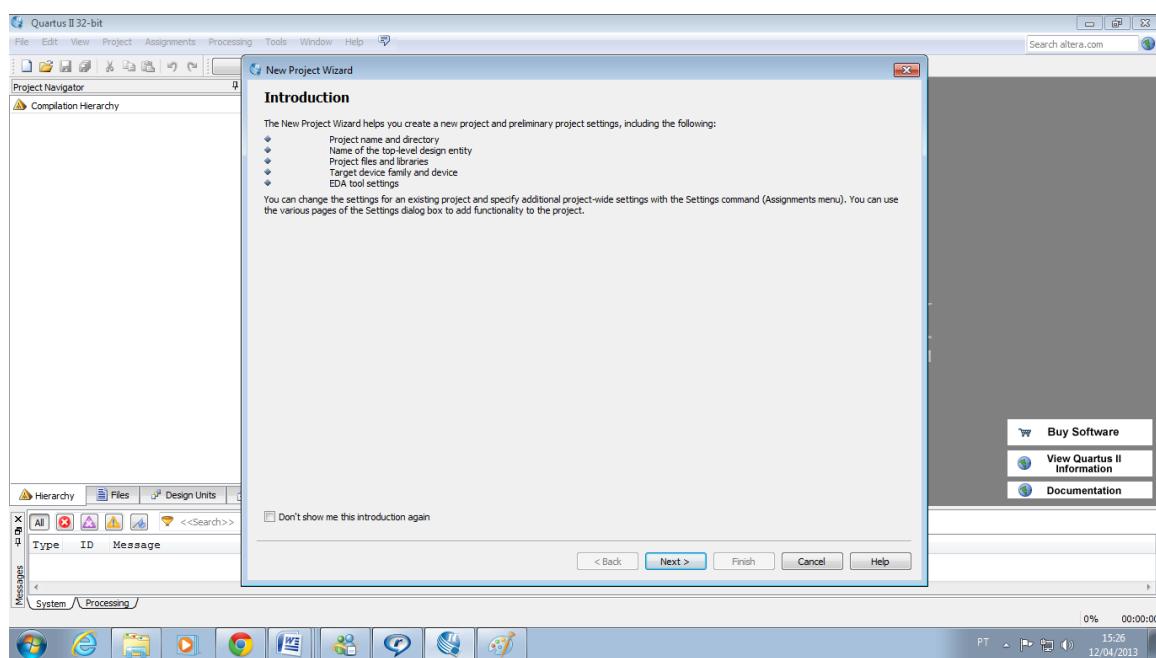


Figura 26

3) Escreva o nome do projeto e clique em next (tela a seguir).

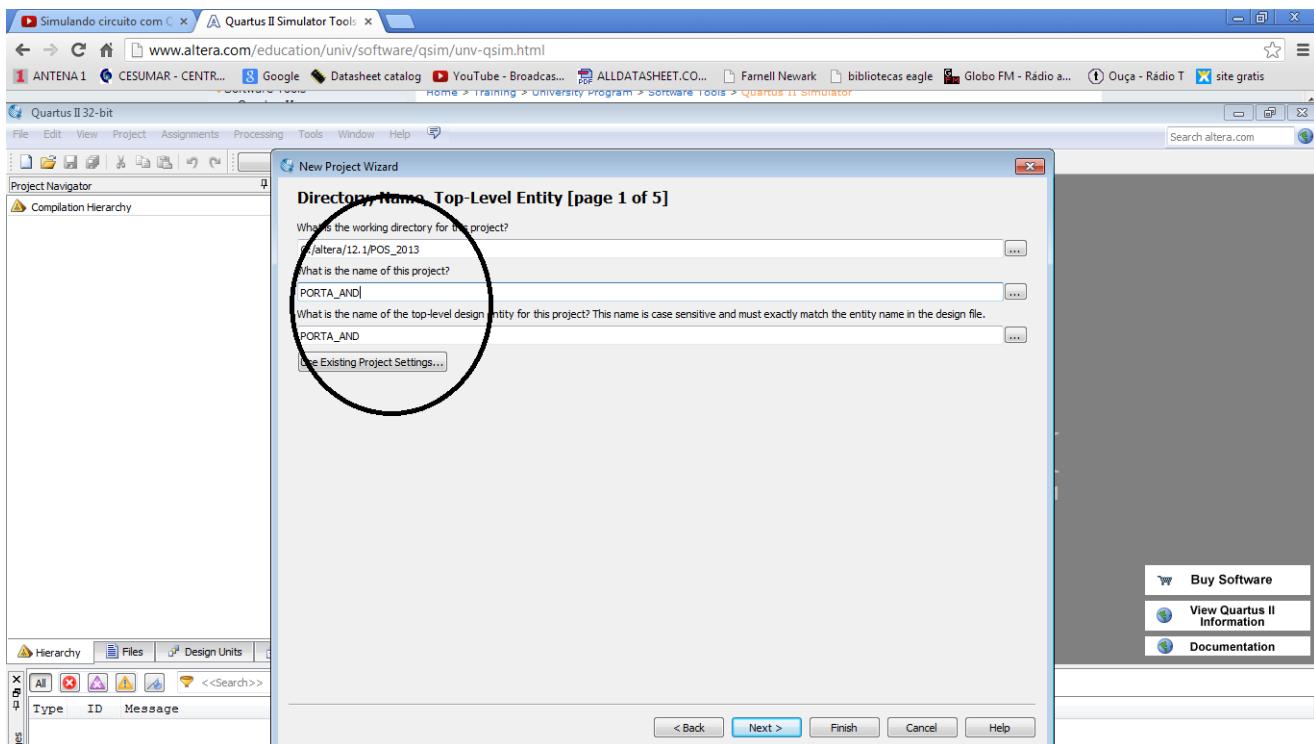


Figura 27

4) Clique em next tela a seguir:

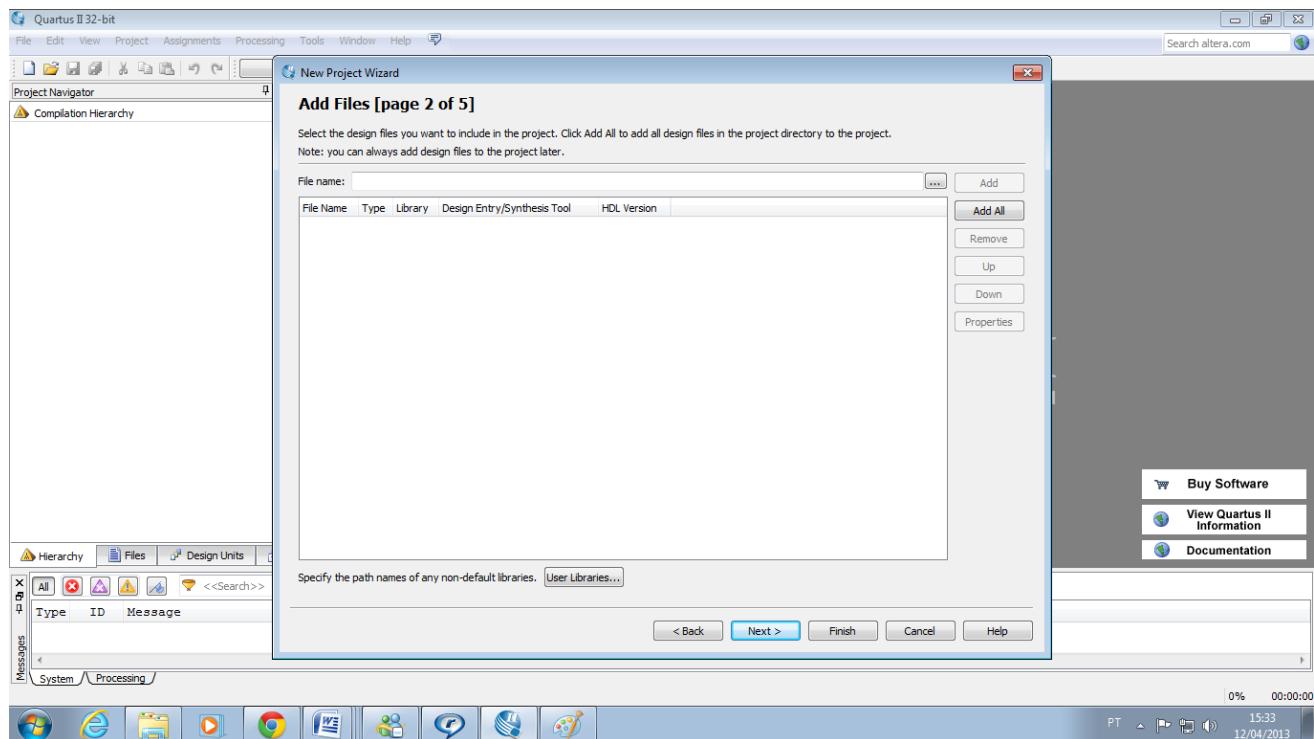


Figura 28

5) Escolha a família, o encapsulamento, o número de pinos e o modelo do dispositivo na tela a seguir:

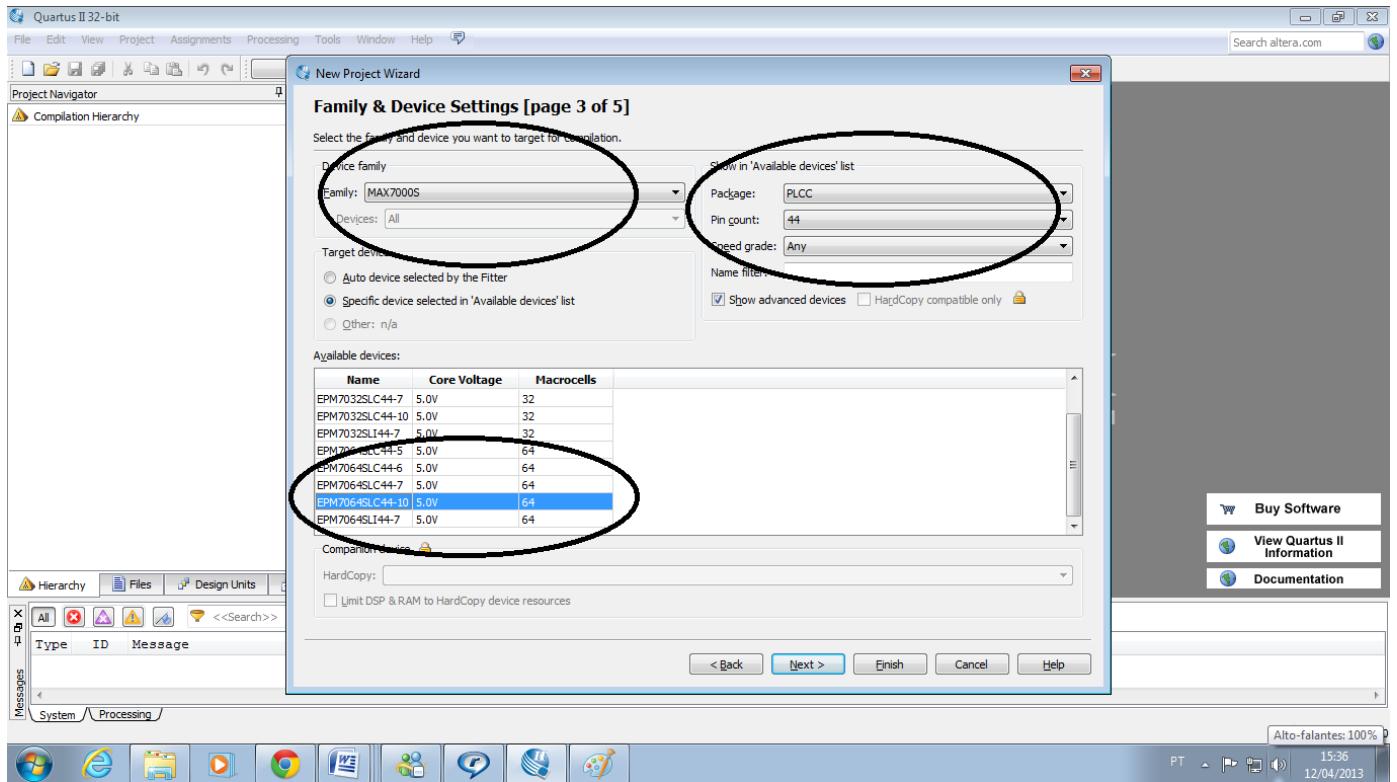


Figura 29

6) Clique em next na tela a seguir:

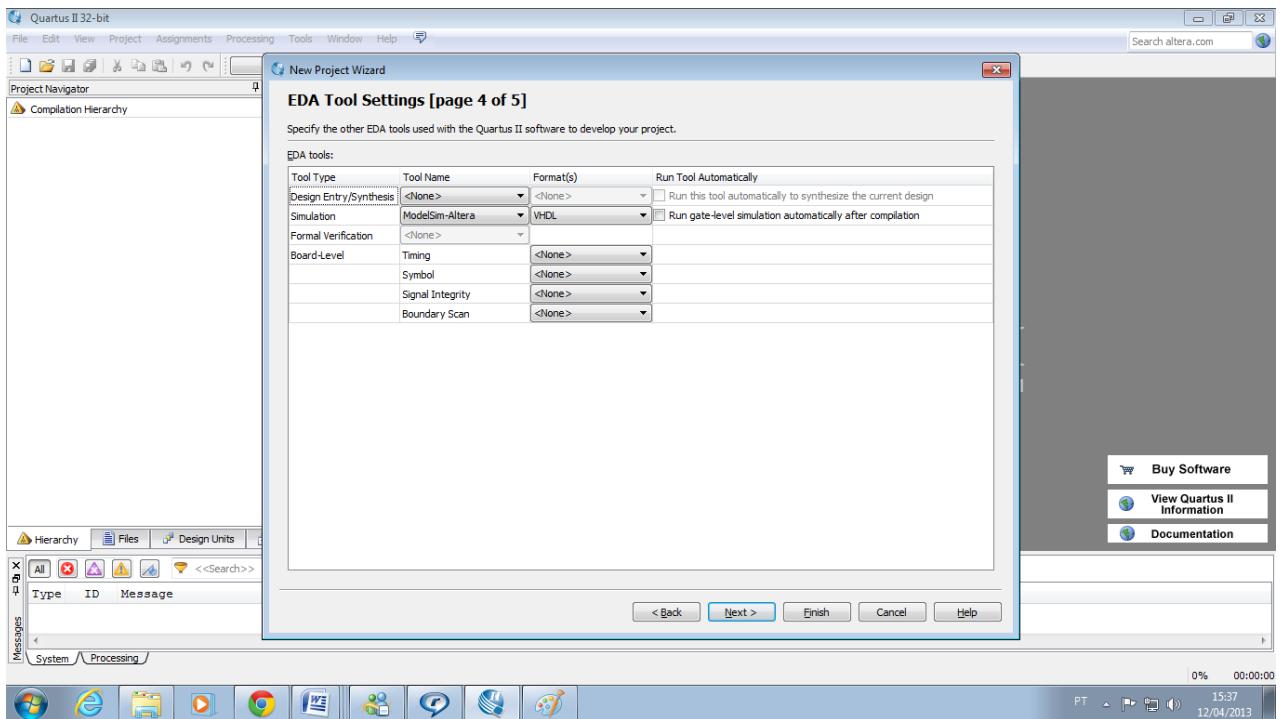


Figura 30

7) Confira o sumário do projeto, se estiver certo clique em finish:

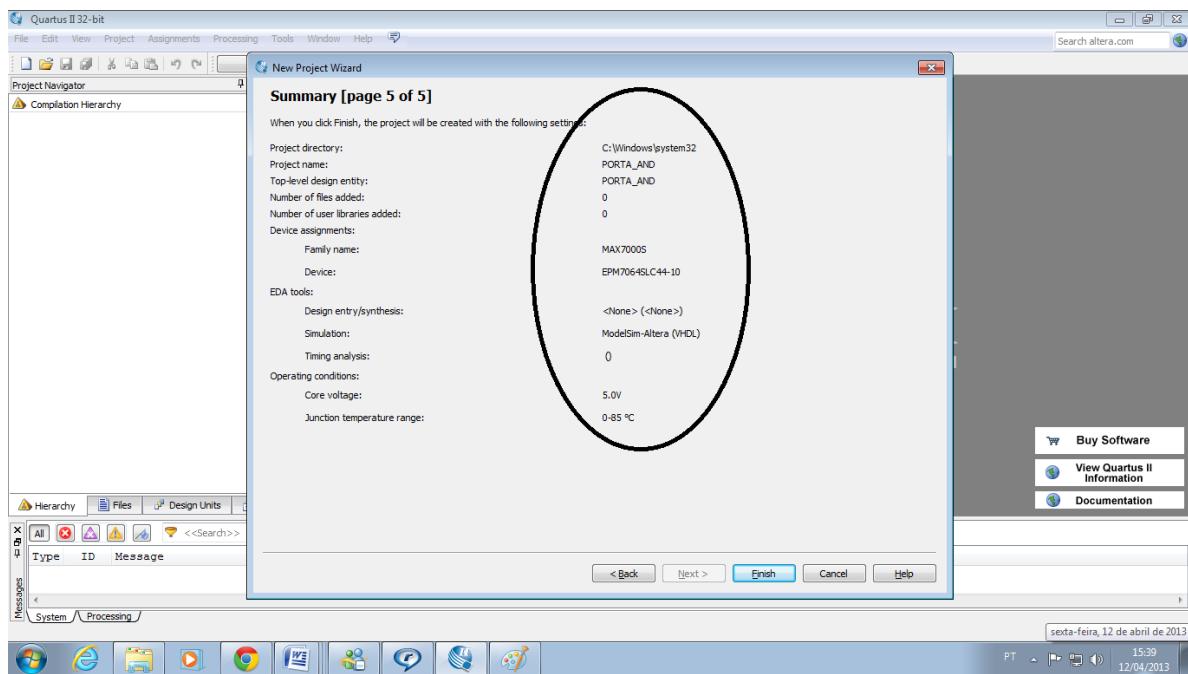


Figura 31

8) Se estiver tudo certo aparecerá a tela do projeto a seguir:

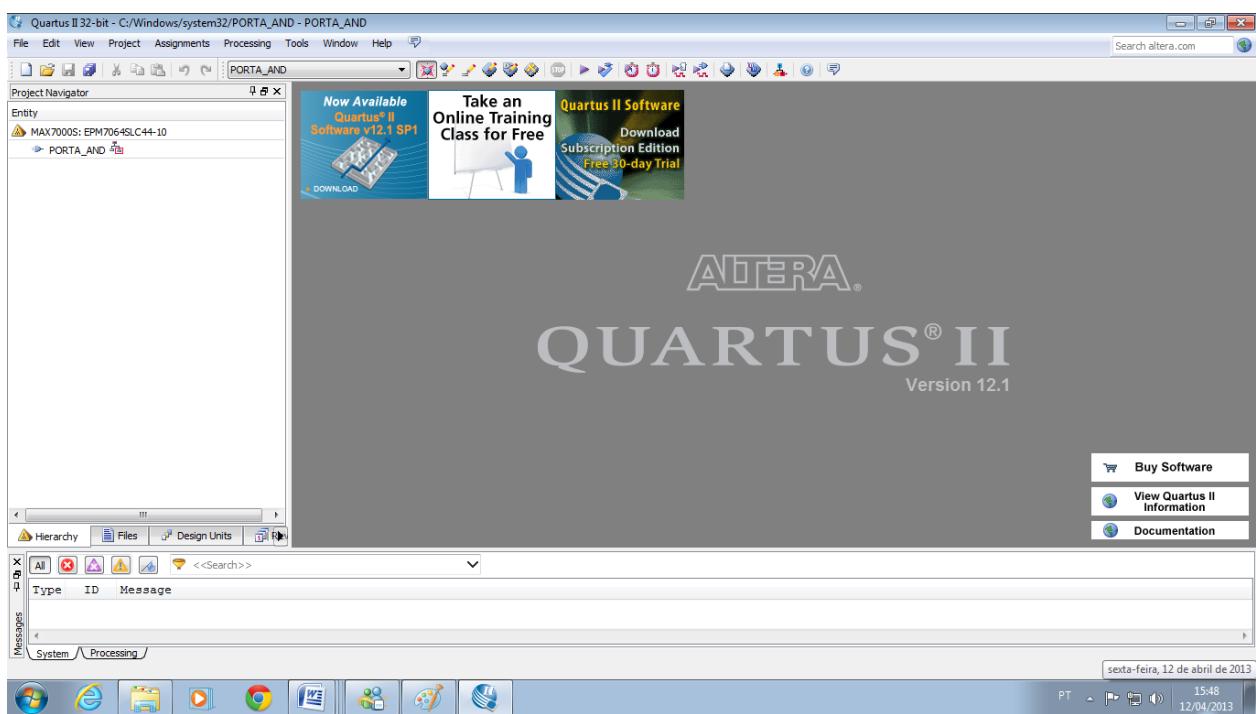


Figura 32

9) Clique na página em banco (new) e escolha o projeto em schematic e clique em OK conforme tela a seguir:

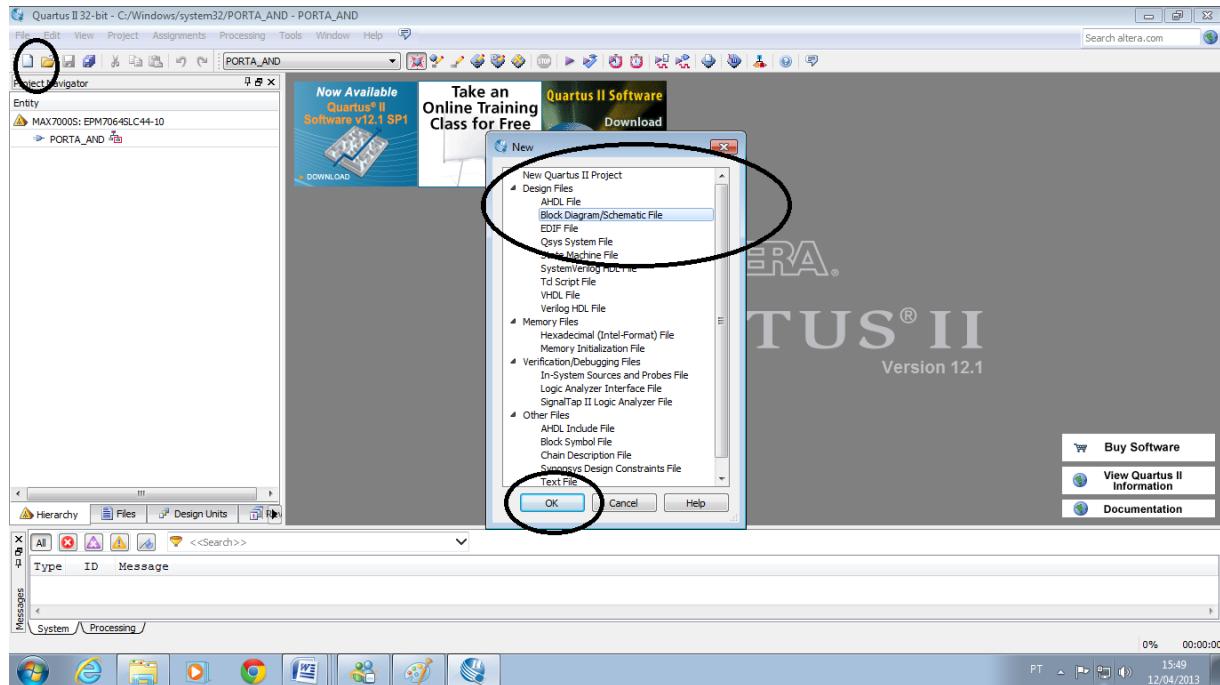


Figura 33

10) A tela a seguir será aberta, no espaço pontilhado será montado o circuito lógico.

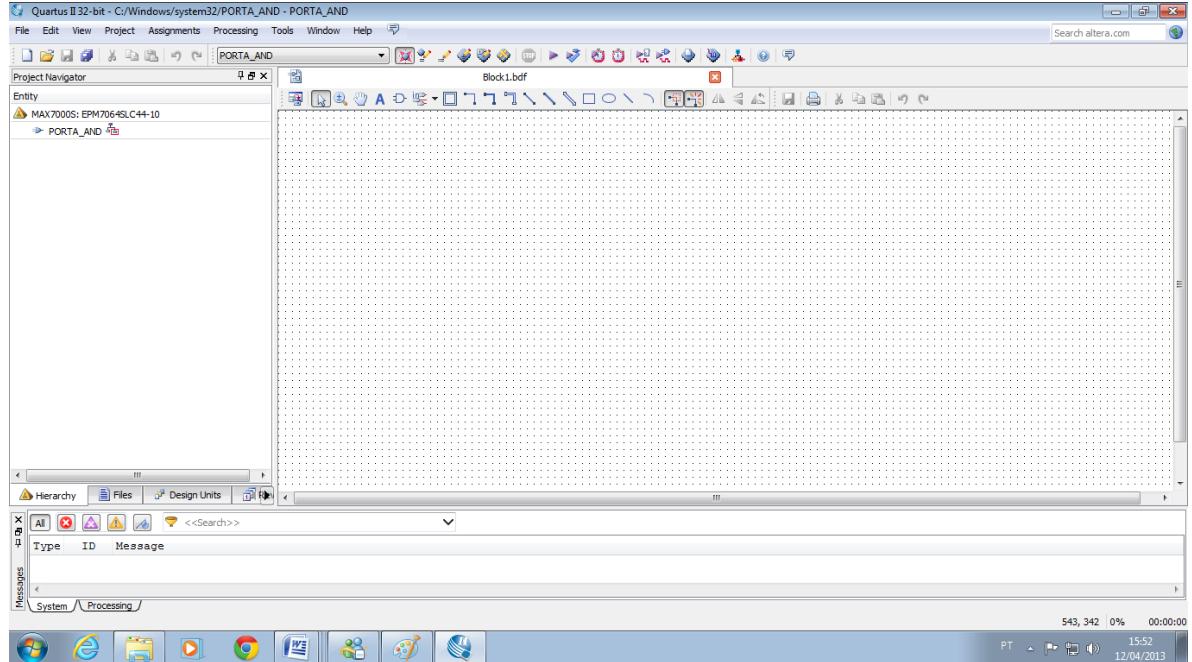


Figura 34

11) Para inserir componentes clique em Symbol Tool, expanda a biblioteca lógica e escolha porta and de 2 entradas:

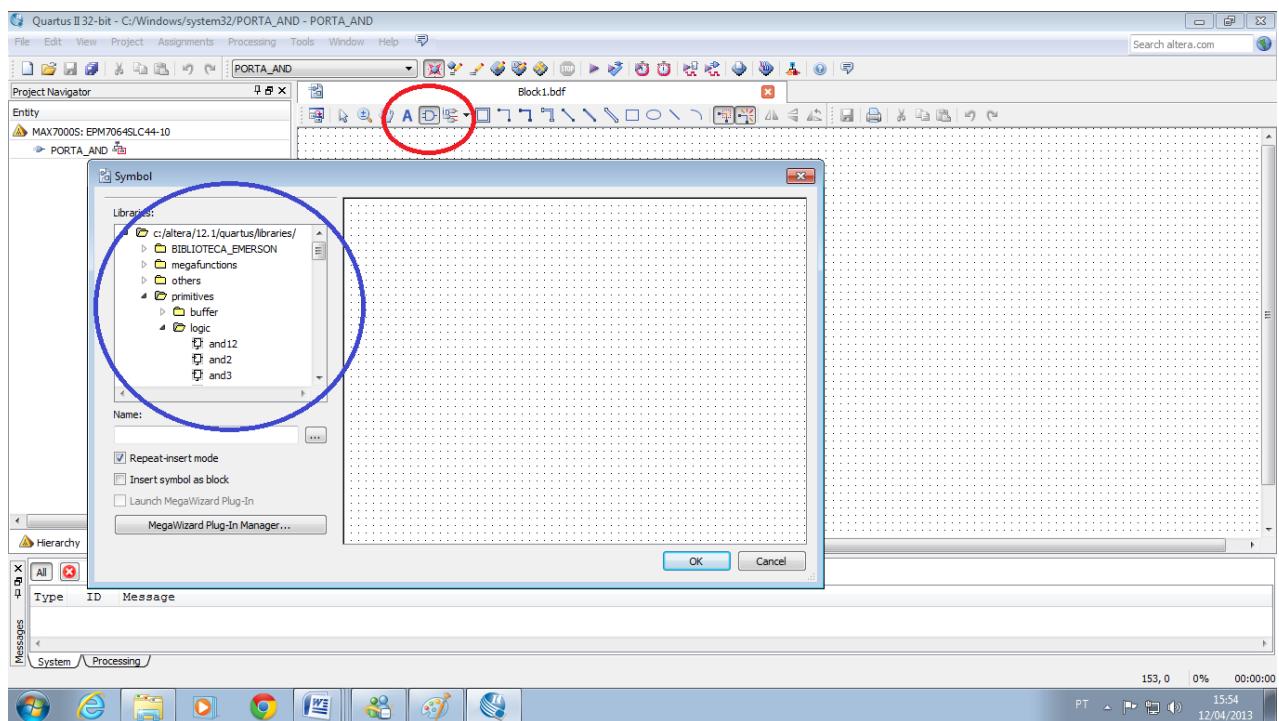


Figura 35

12) Clique em ok e posicione a porta na área de trabalho, depois expanda a aba de entradas e saídas e coloque as duas entradas e a saída nos pinos.

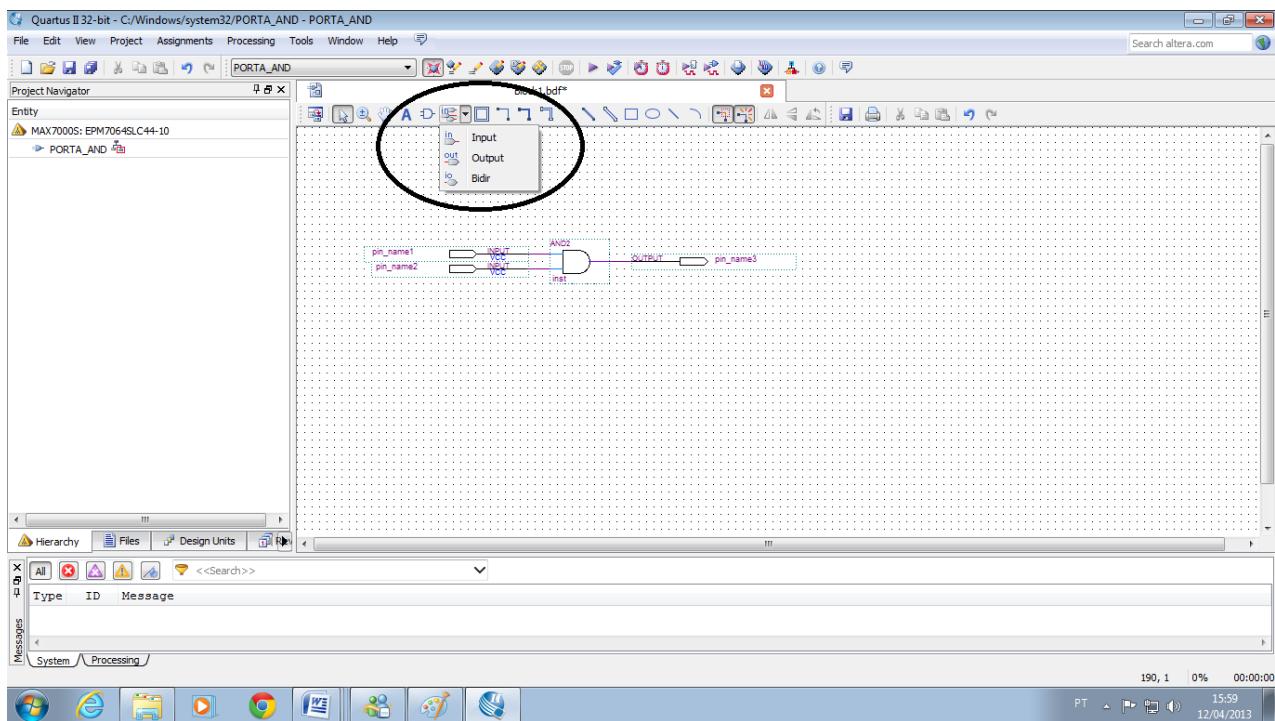


Figura 36

13) Renomeie as entradas e saídas dando um duplo clique nas entradas e saída respectivamente:

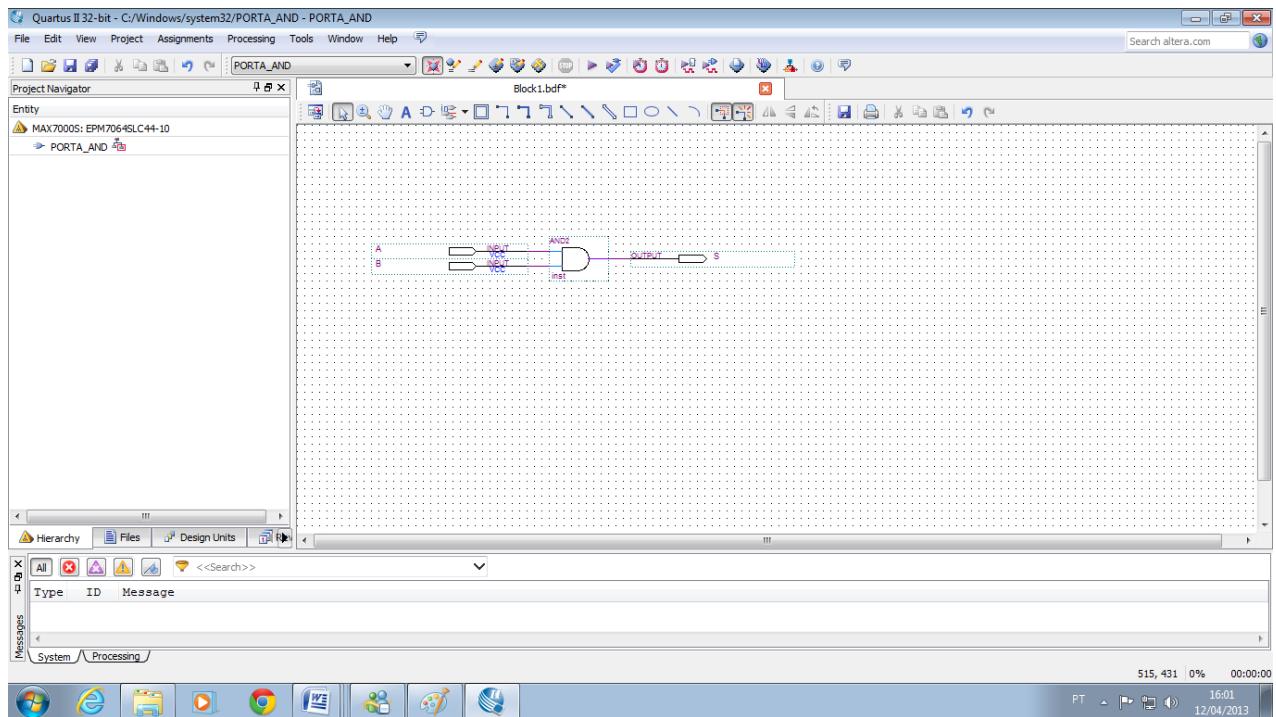


Figura 37

14) Clique em start compilation para verificar se existe algum erro, se tudo deu certo aparecerá a mensagem a seguir:

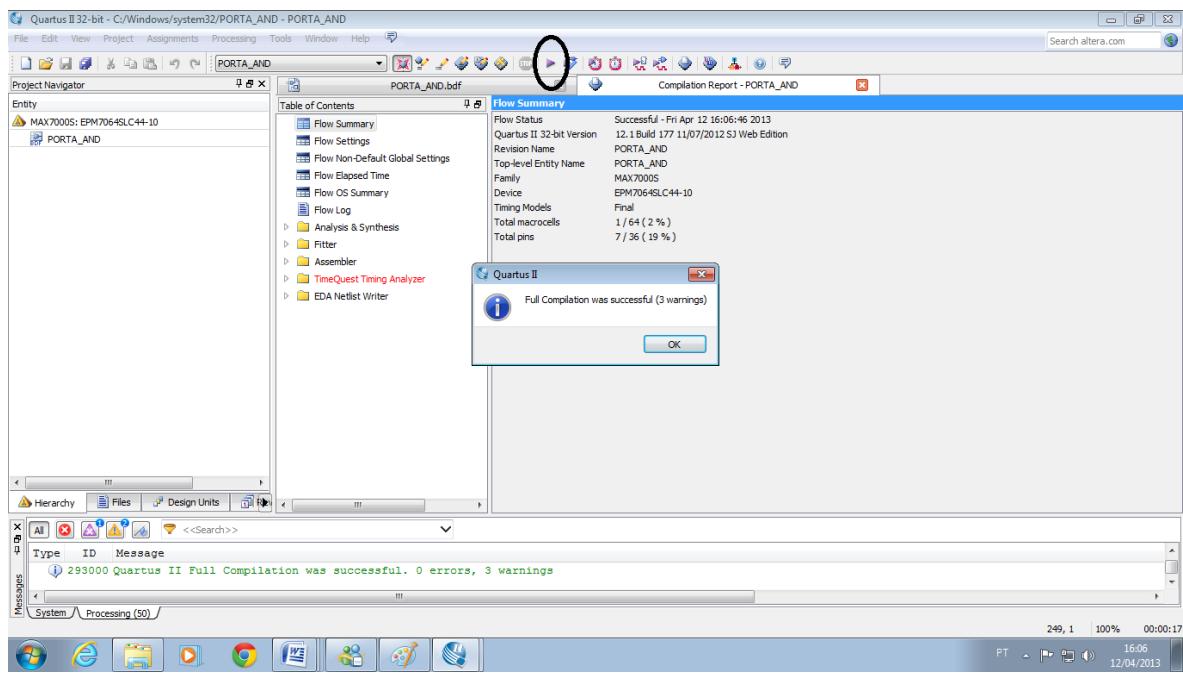


Figura 38

15) No site da altera devemos baixar o Simulator tools no link university program.

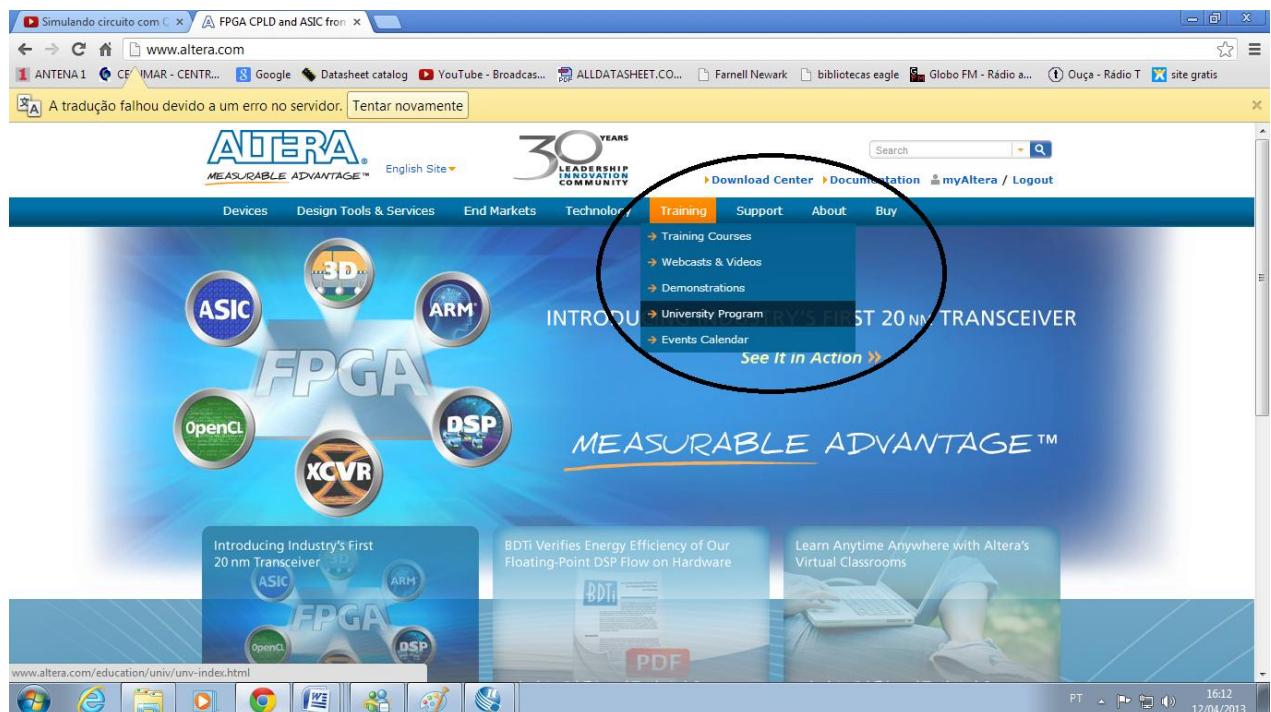


Figura 39

16) Entre no link quartus II Simulator.

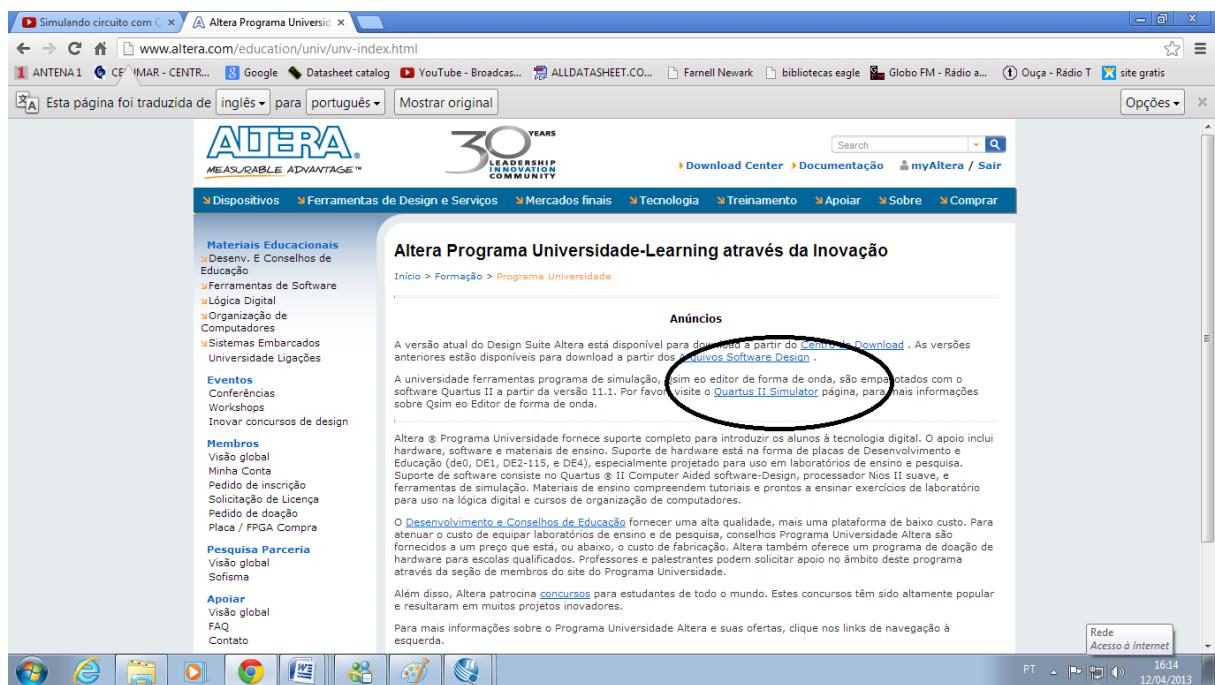


Figura 40

17) Baixe e instale o university program installer (Windows)

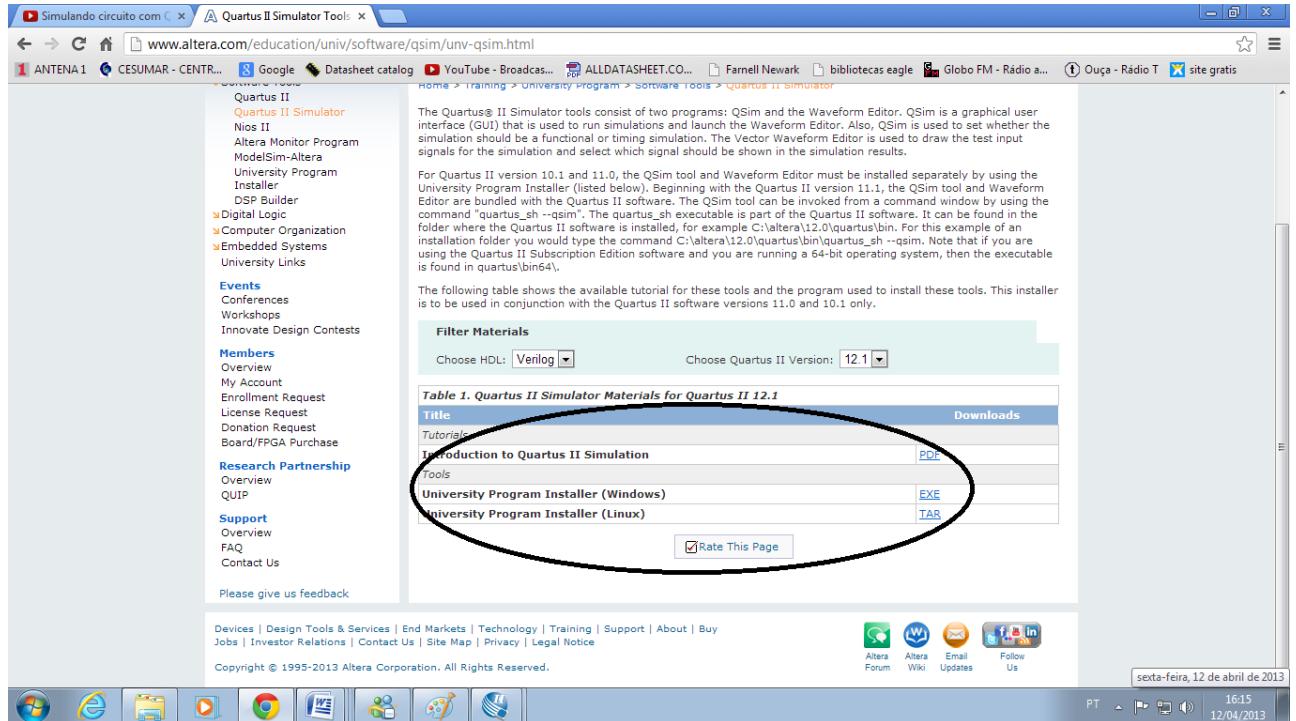


Figura 41

18) Depois de instalado vá em todos os programas e abra o ALTERA U.P SIMULATOR

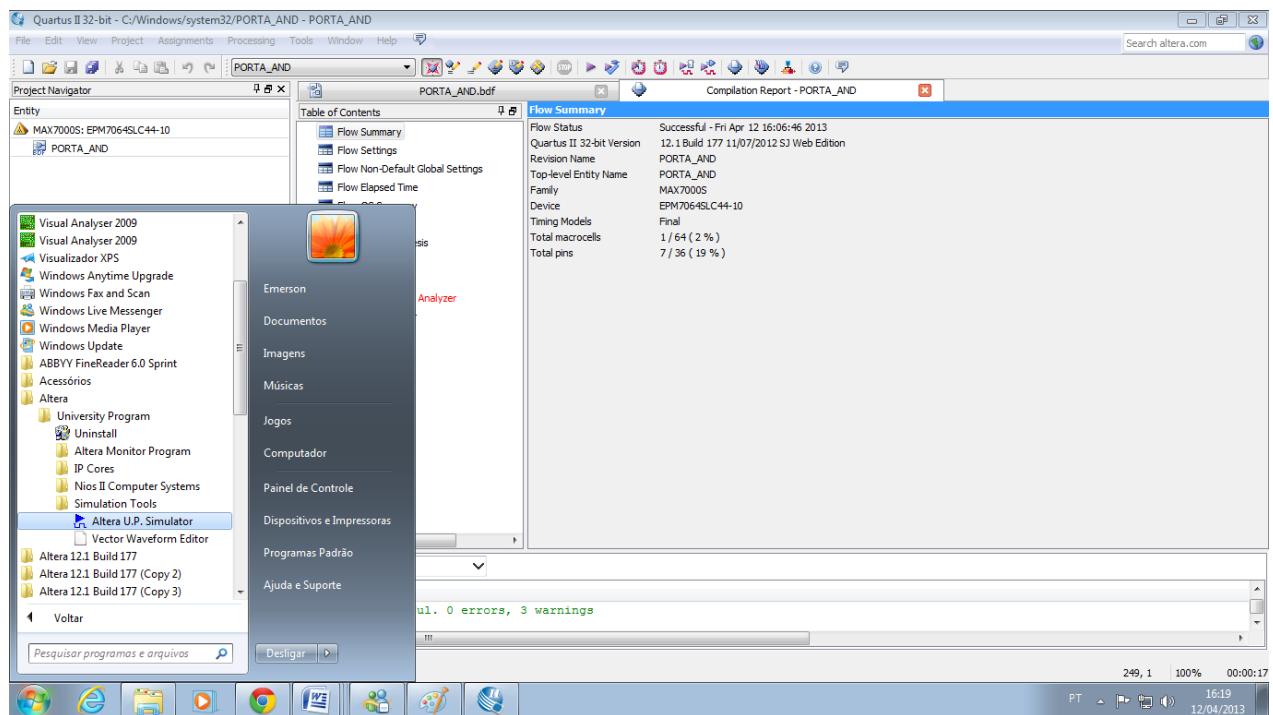


Figura 42

19) Aparecerão as duas telas a seguir:

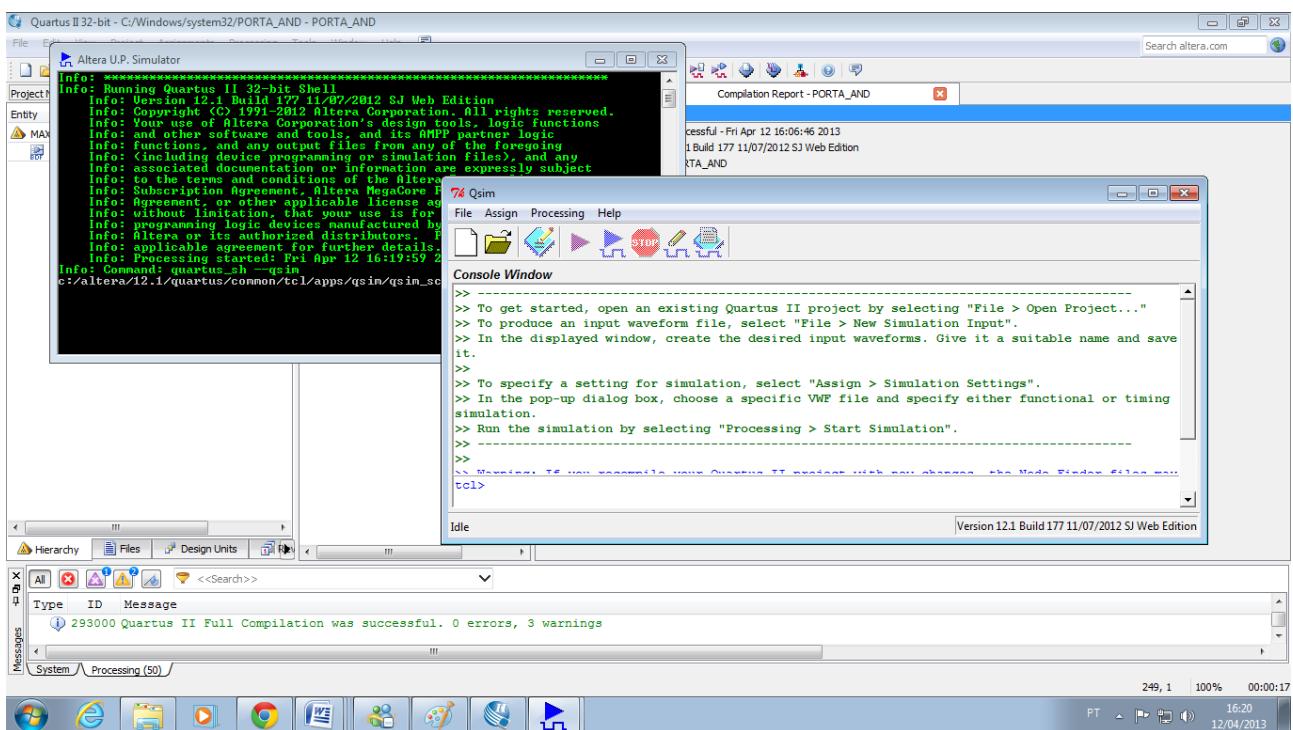


Figura 43

20) Com o Qsim, abra o arquivo criado anteriormente (PORTA AND)

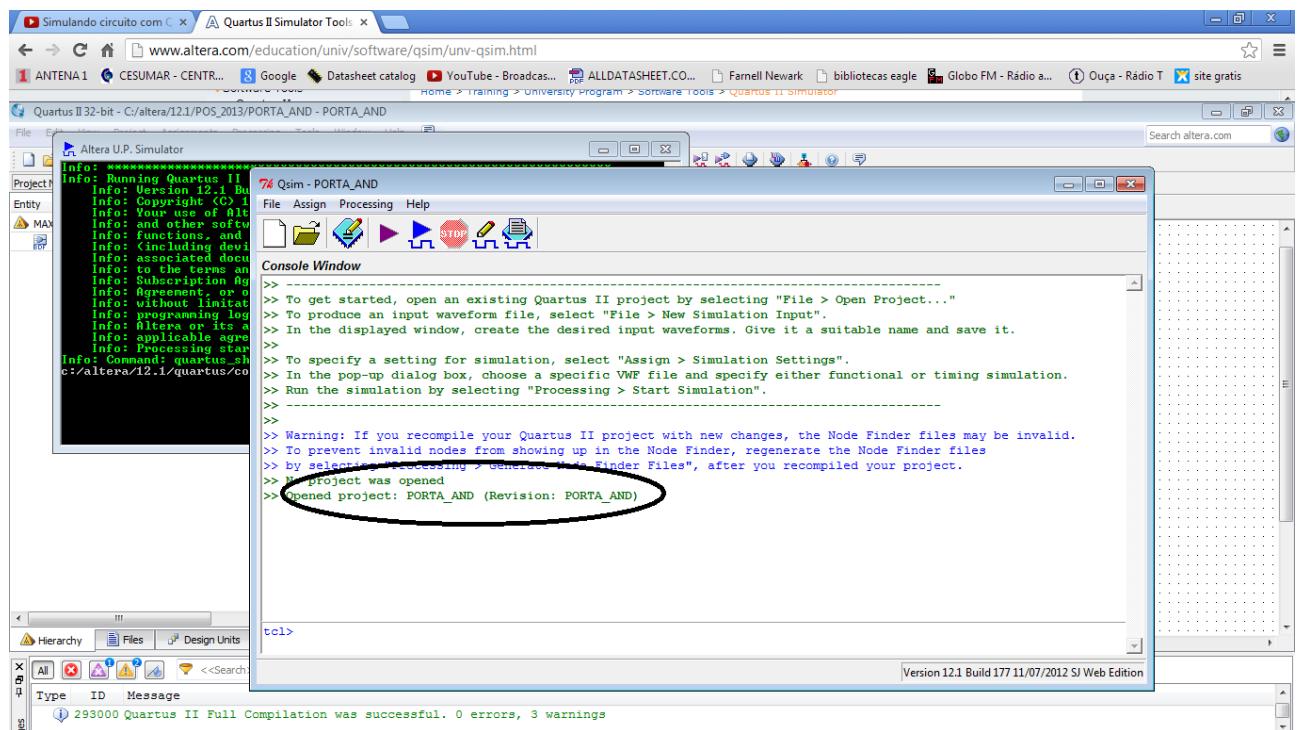


Figura 44

21) Clique em new simulation input file

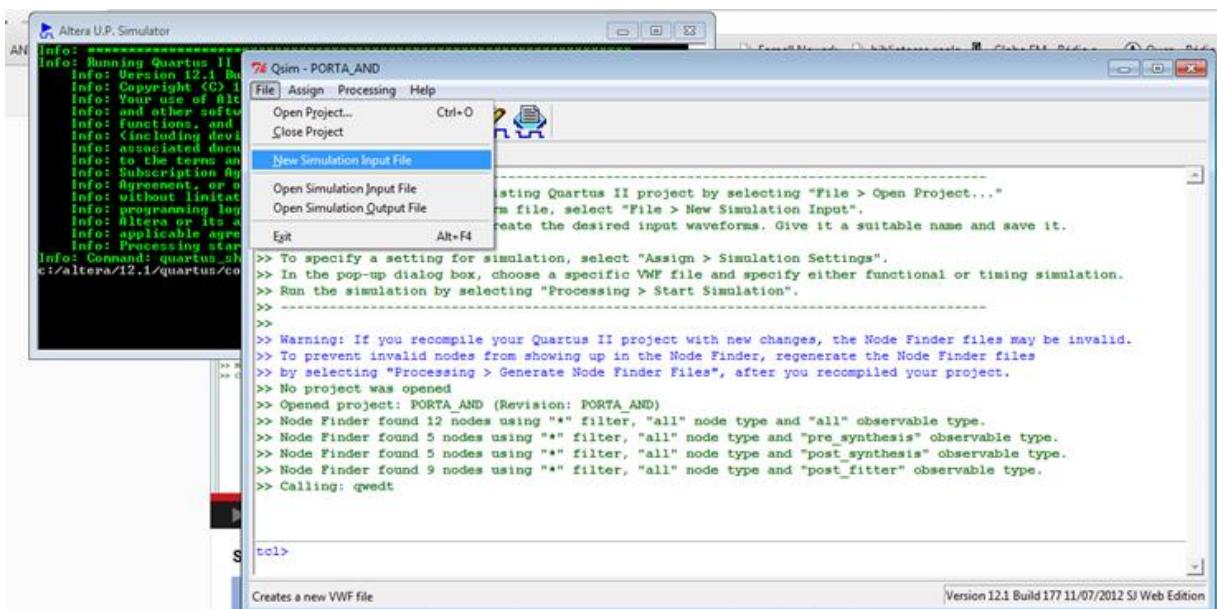


Figura 45

22) Clique com o botão direito na parte branca e escolha insert node or bus para adicionar os pinos.

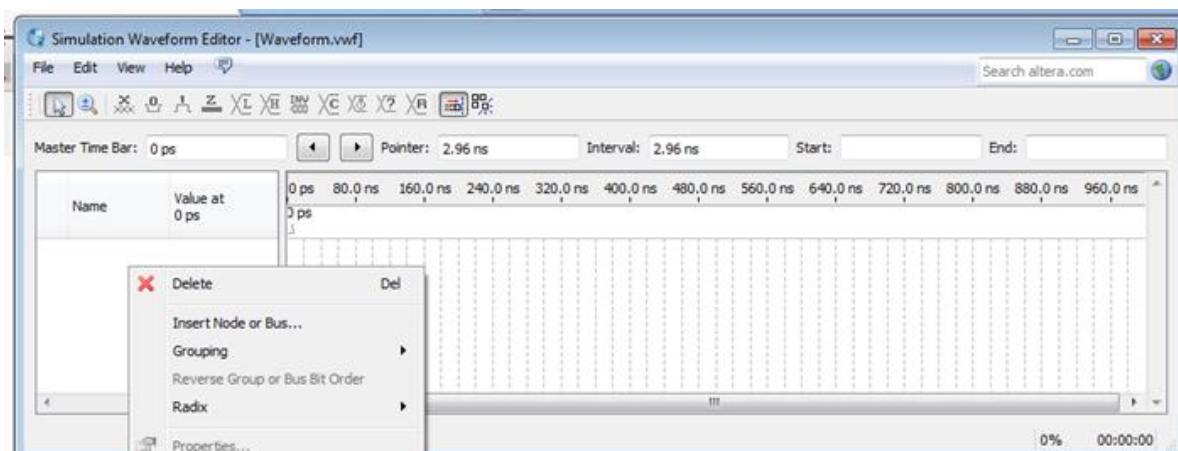


Figura 46

23) Clique em node finder:

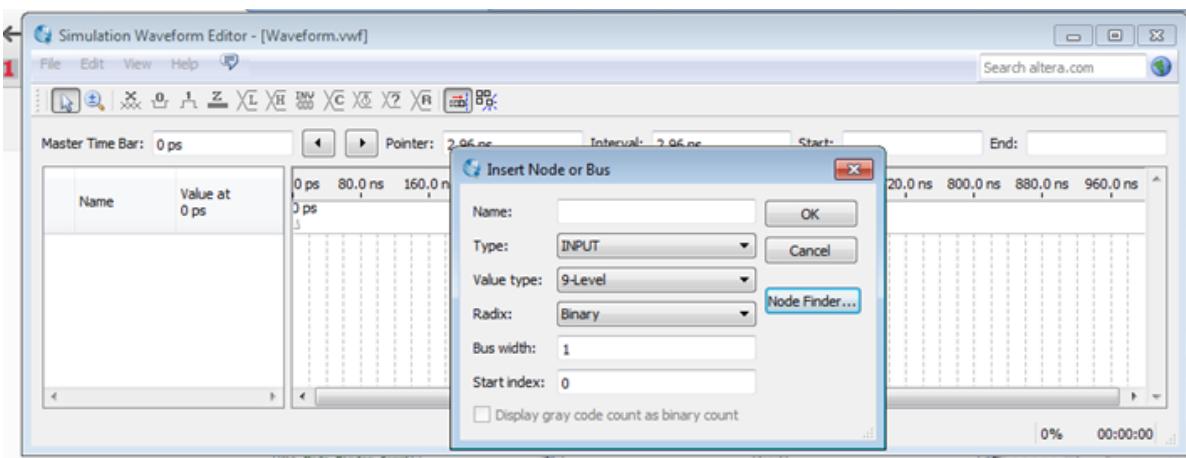


Figura 47

24) Clique em list e adicione todos os pinos e clique em OK e ok novamente:

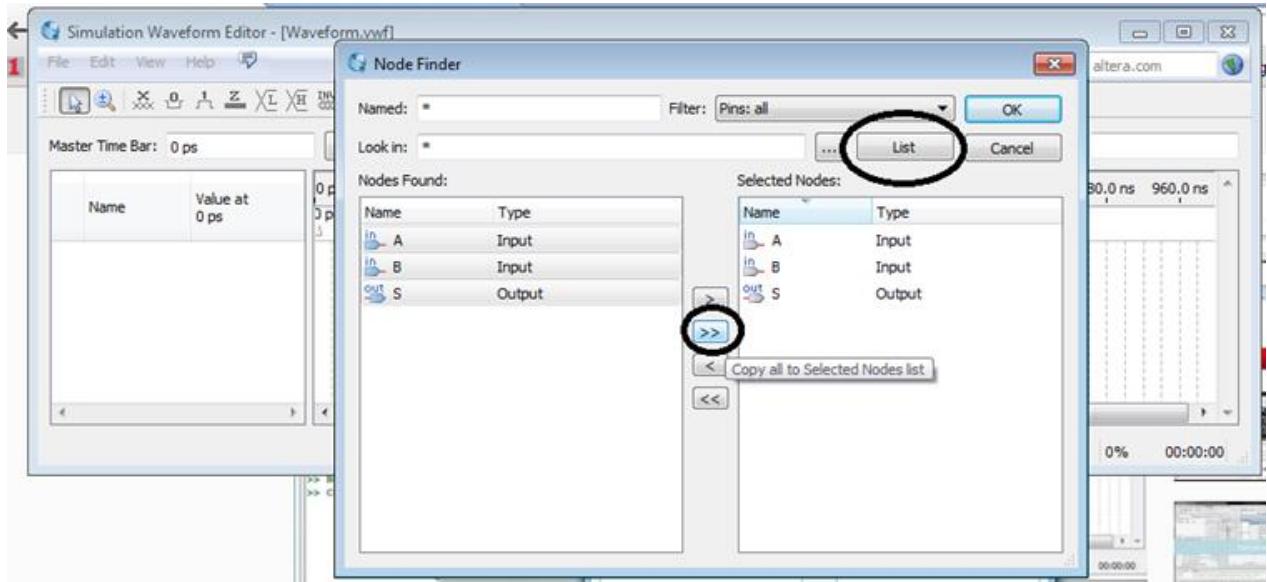


Figura 48

25) Nessa próxima tela, vamos selecionar cada canal de entrada e colocar dois sinais aleatórios a serem comparados.

- Vá em overwrite clock e escolha um período de 50ns para a entrada A e 50ns para entrada B, para que o programa faça a lógica ande entre eles. * não esqueça de salvar neste momento o arquivo de simulação.

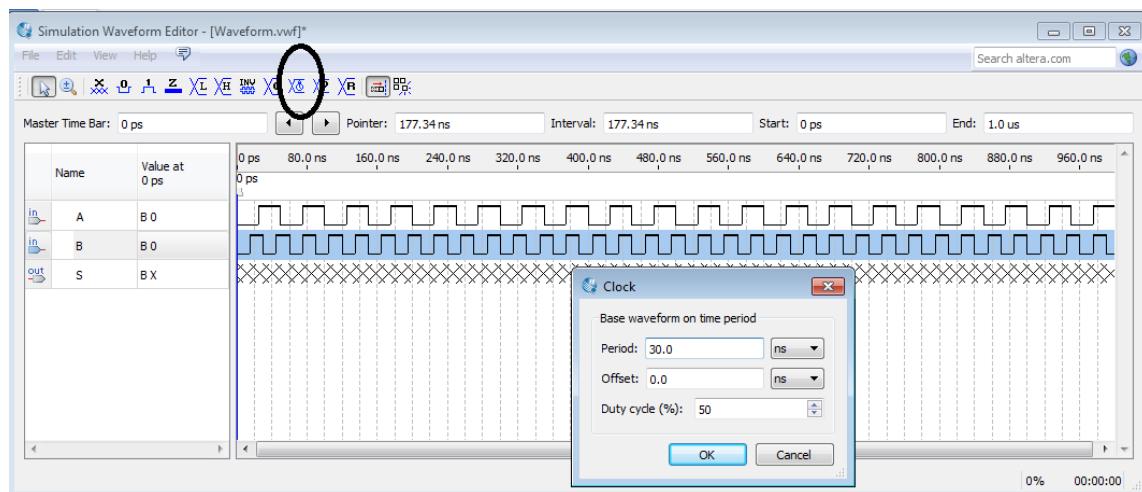


Figura 49

26) Clique em ok e volte para o Qsim, clique em assign simulation settings:

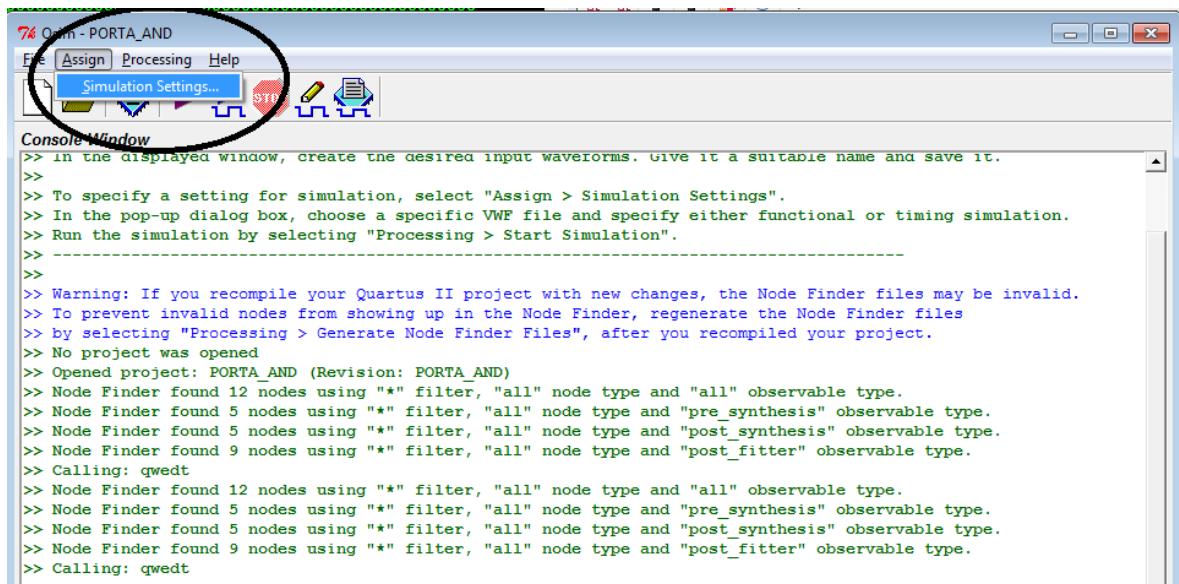


Figura 50

27) No browser, procure o arquivo vwf salvo no item 25 deixe marcado funcional e clique em OK.

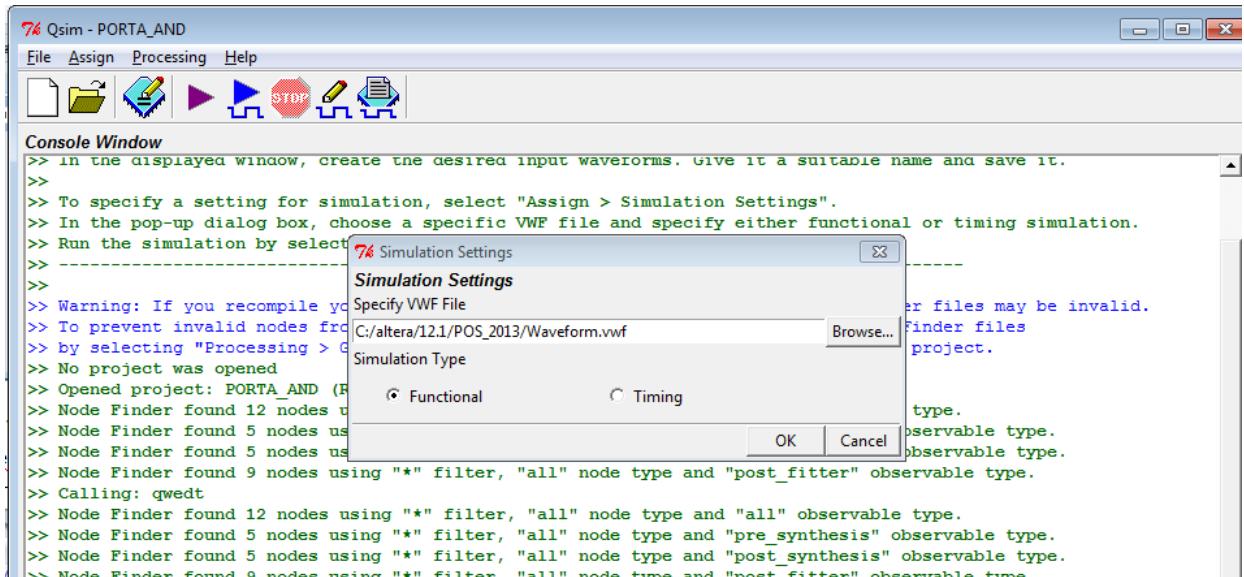


Figura 51

28) Agora vá em processing – start simulation:

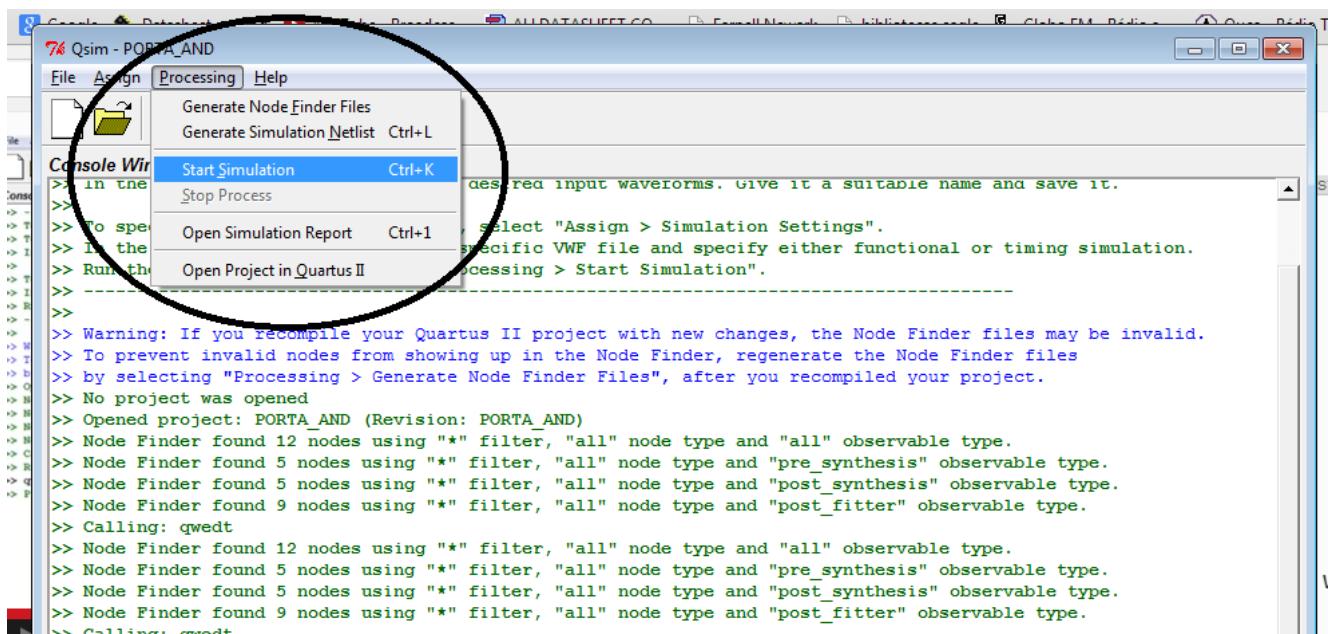


Figura 52

29) O software vai gerar o arquivo de simulação, dará um aviso que o arquivo não pode ser editado e em seguida aparece o resultado da simulação na saída S.

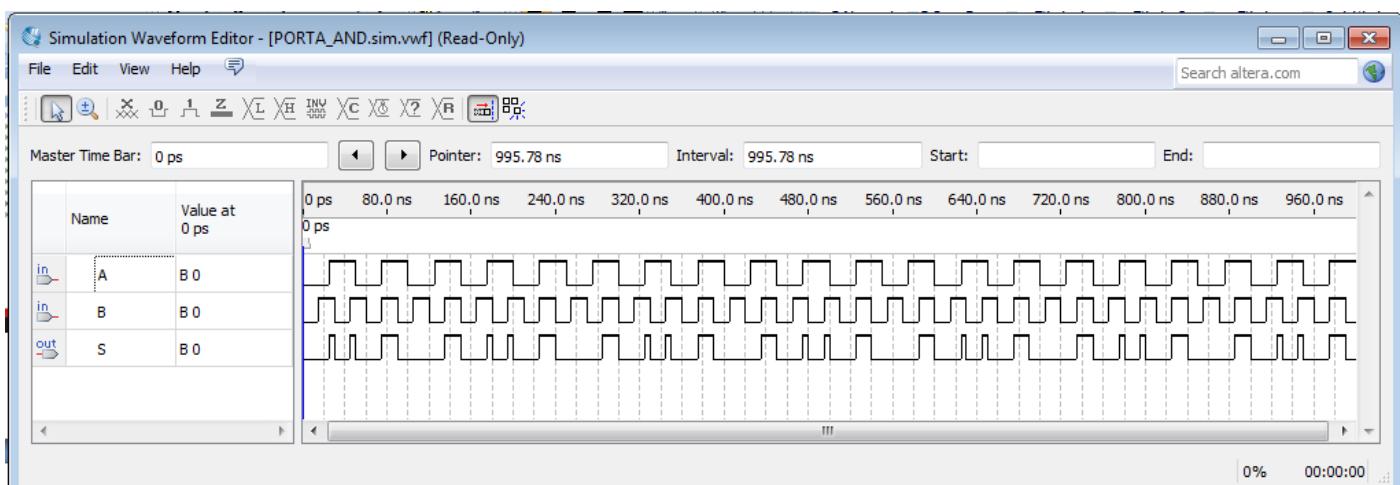


Figura 53

O Passos a seguir mostra como configurar os pinos do EPM7064SLC44-10N (cpld altera).

30) Clique em pin Planer:

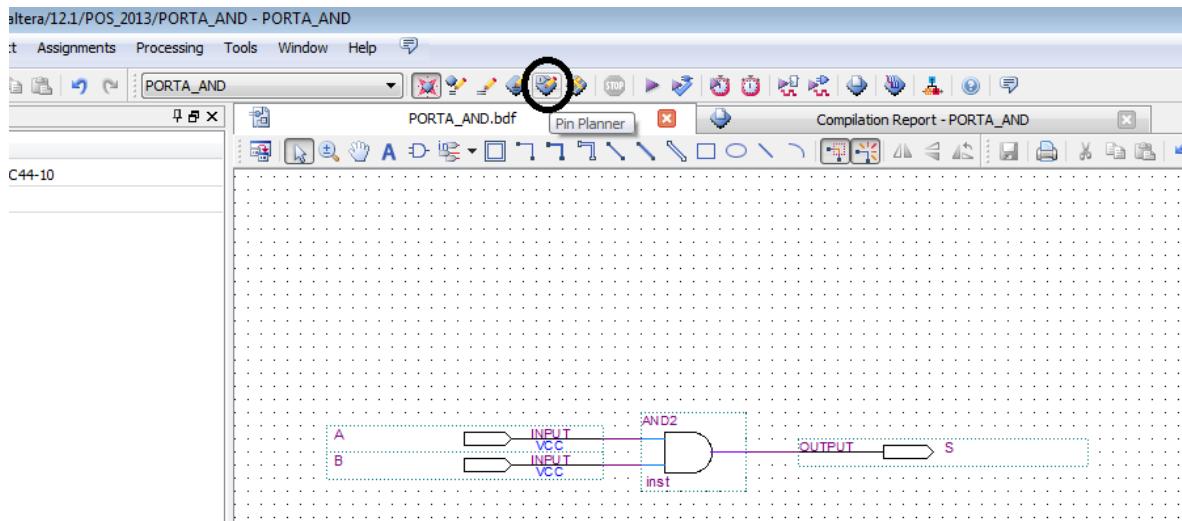


Figura 54

- 31) Escolha os pinos físicos do cpld de acordo com o datasheet, quando o pino for selecionado, deve ser escolhida a entrada ou saída e configurada em Node Name, nesse caso foram escolhidos os pinos 4 e 5 com entrada A e B respectivamente e o pino 6 como a saída S.

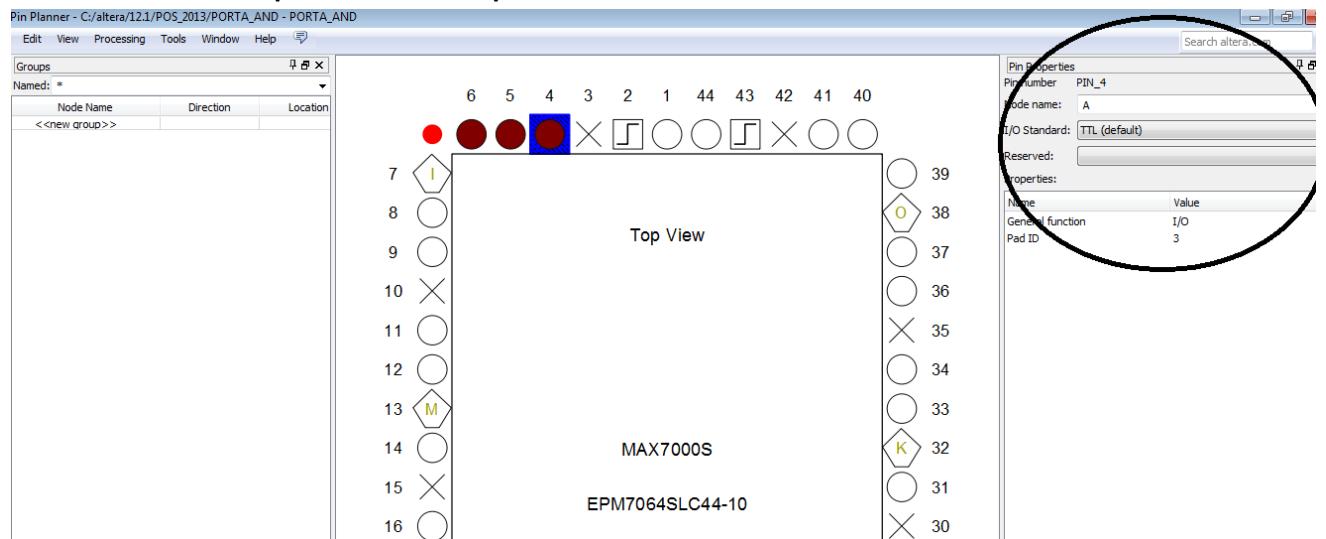


Figura 55

- 32) Em seguida feche a janela PINPLANE e compile novamente o projeto se aparece a mensagem de sucesso na compilação, as entradas e saídas do programa aparecerão com os números dos pinos escolhidos, logo, o próximo passo será gravar o cpld.

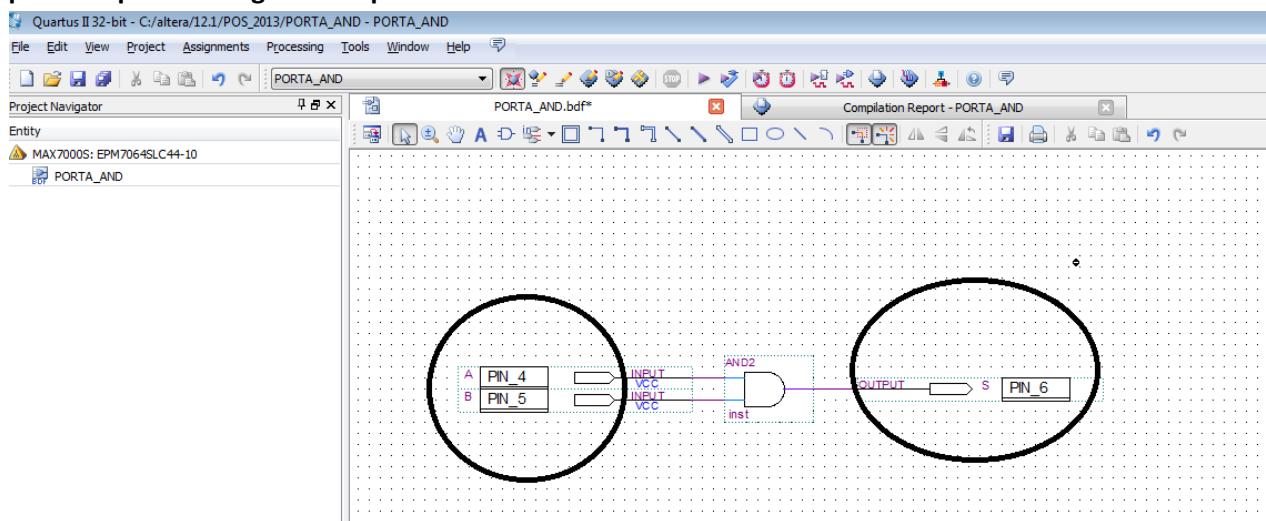


Figura 56

Os passos a seguir mostram como gravar cpld:

Primeiramente o usuário deverá possuir um gravador de dispositivos lógicos programáveis, o gravador utilizado neste tutorial foi o USB-BLASTER.

- 33) Clique em programmer:

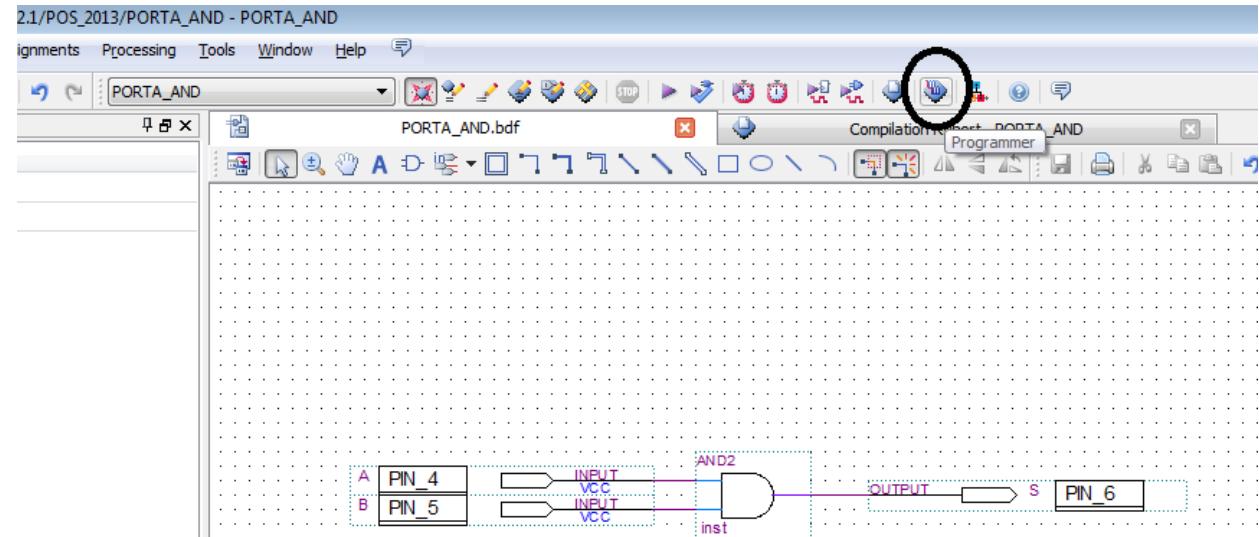


Figura 57

34) No hardware setup deverá aparecer o nome do gravador, logo, o gravador deverá estar instalado e configurado, o drive do gravador está disponível no site da altera.

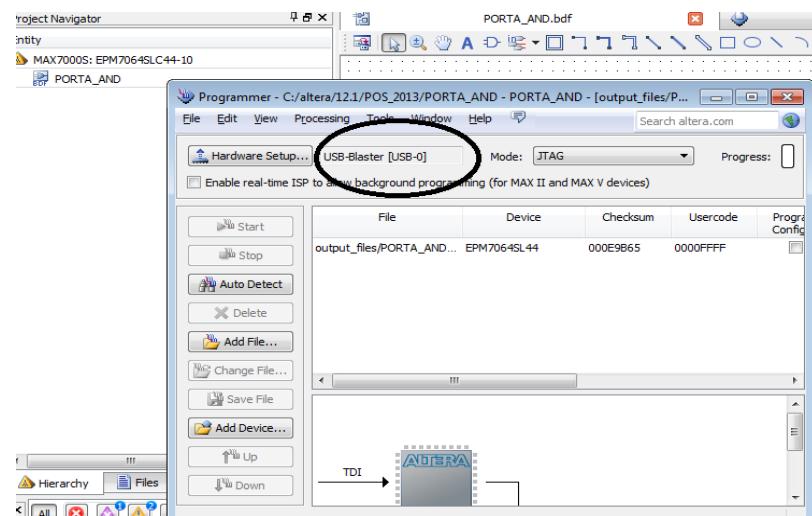


Figura 58

35) Marque program/configure, em add file adicione o arquivo PORTA_AND.pof, e clique em start:

- O cpld deverá estar energizado (com a fonte de alimentação).

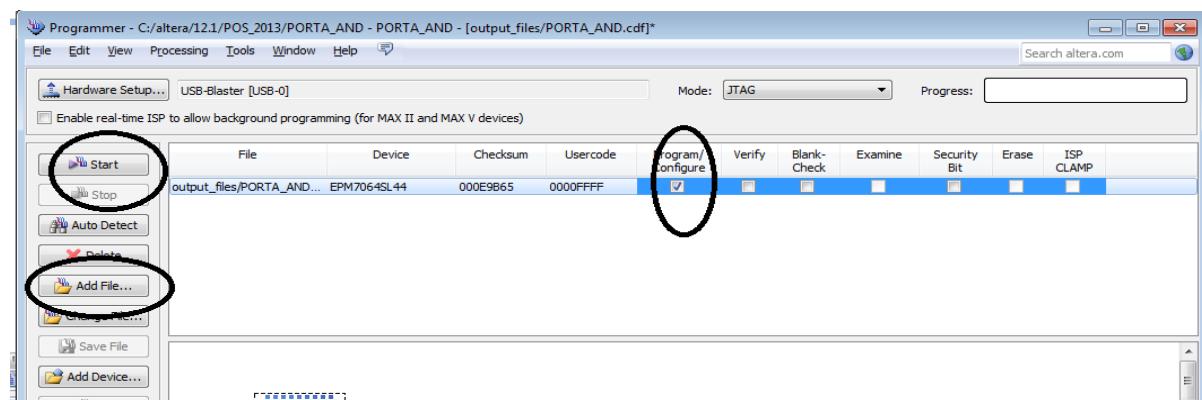


Figura 59

36) A tela de gravação a seguir mostrará o andamento da gravação, ao final deverá ser mostrado que foi gravado com sucesso.

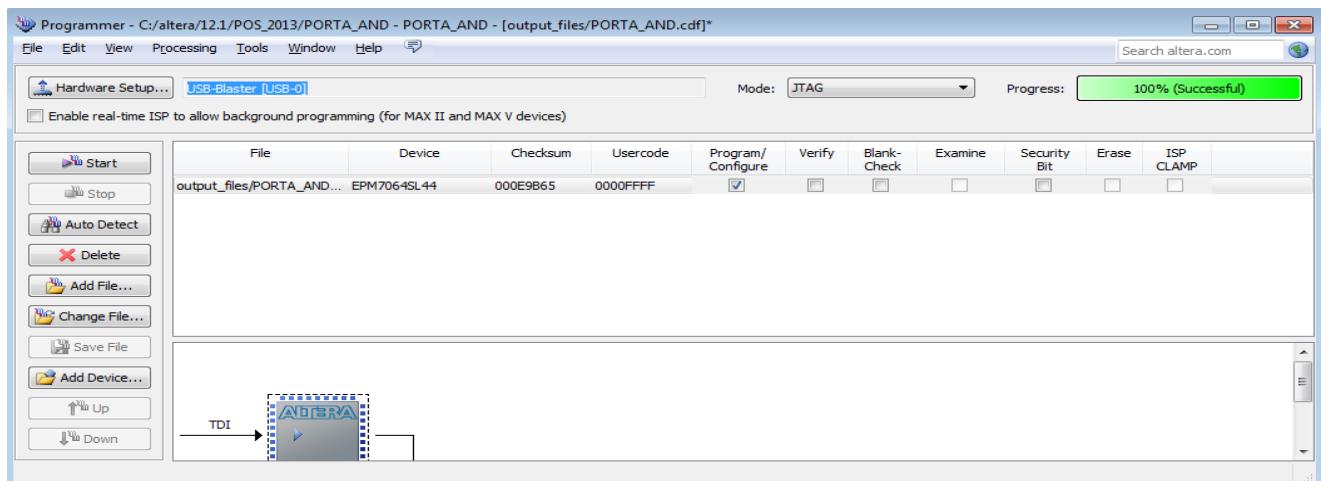


Figura 60

- Os passos a seguir apresenta como criar um bloco lógico de um circuito criado pelo usuário, com o objetivo de diminuir o circuito e tê-lo pronto sempre quando necessitar.
- Como exemplo será utilizado um contador assíncrono de 2 bits.

37) Na tela a seguir é apresentado o circuito do contador criado e compilado, esse circuito será então configurado como um bloco lógico.

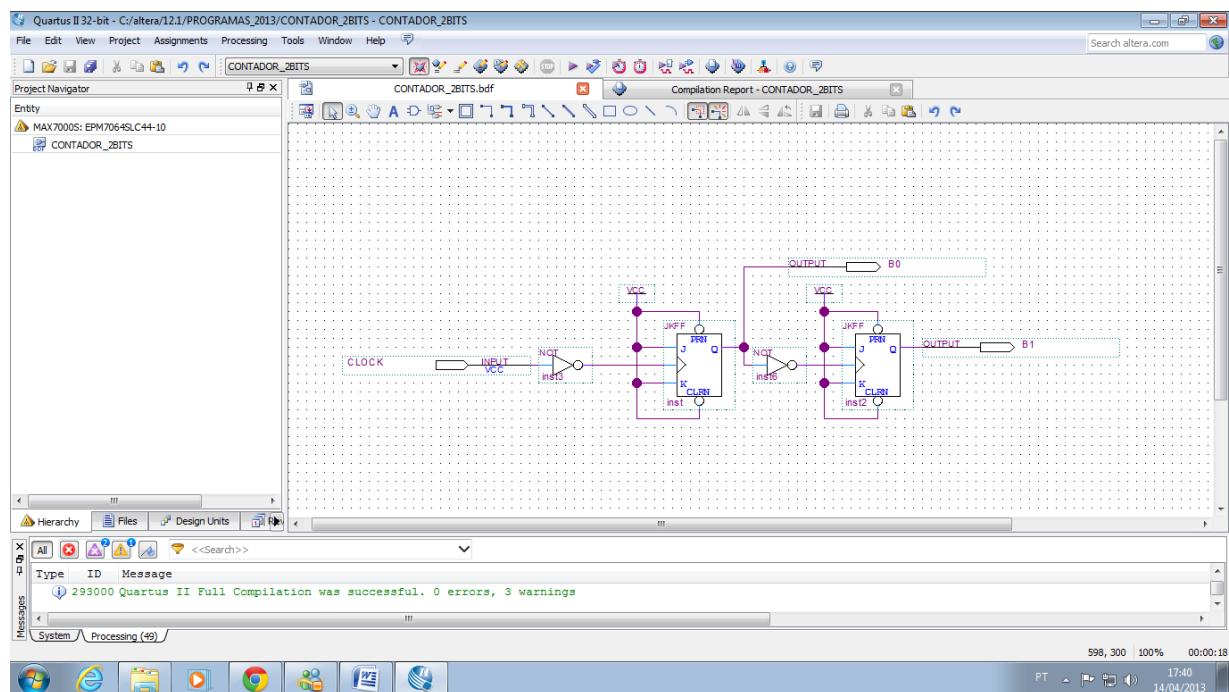


Figura 61

38) No menu File clique em Create/Update, depois em Create symbol files for current file como na tela a seguir:

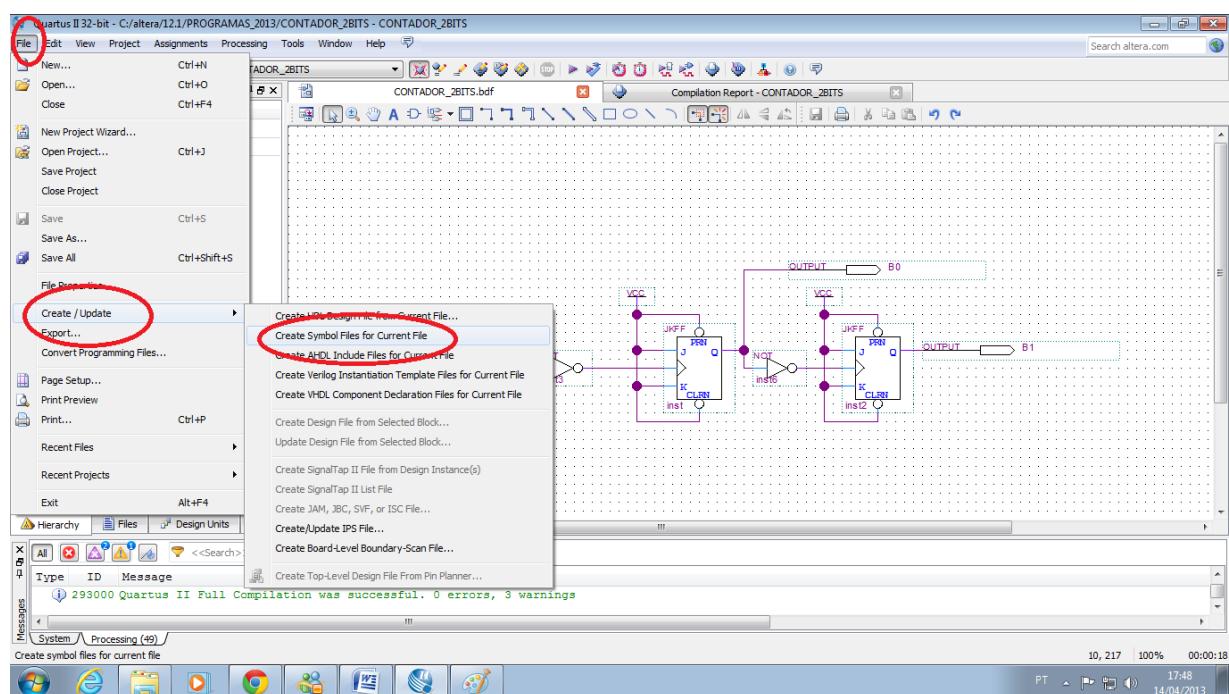


Figura 62

39) Salve na mesma pasta que foi criado o circuito lógico:

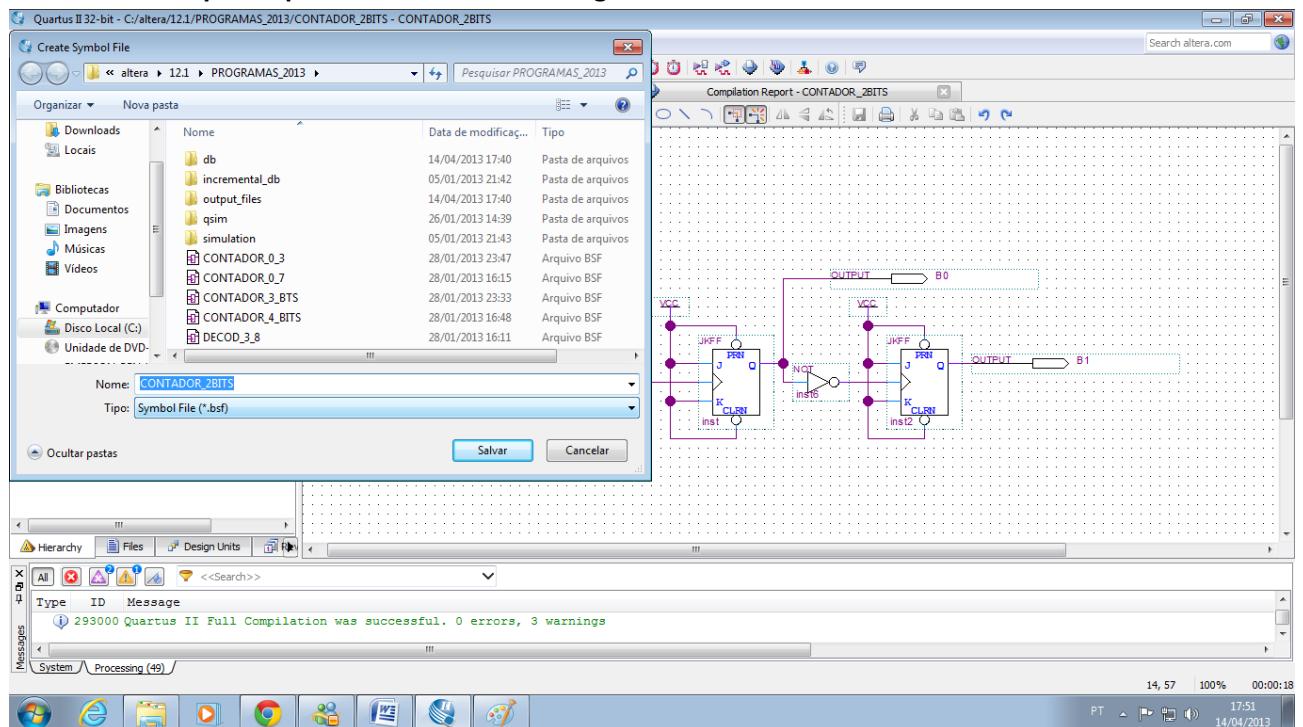


Figura 63

40) Clique em ok na próxima tela:

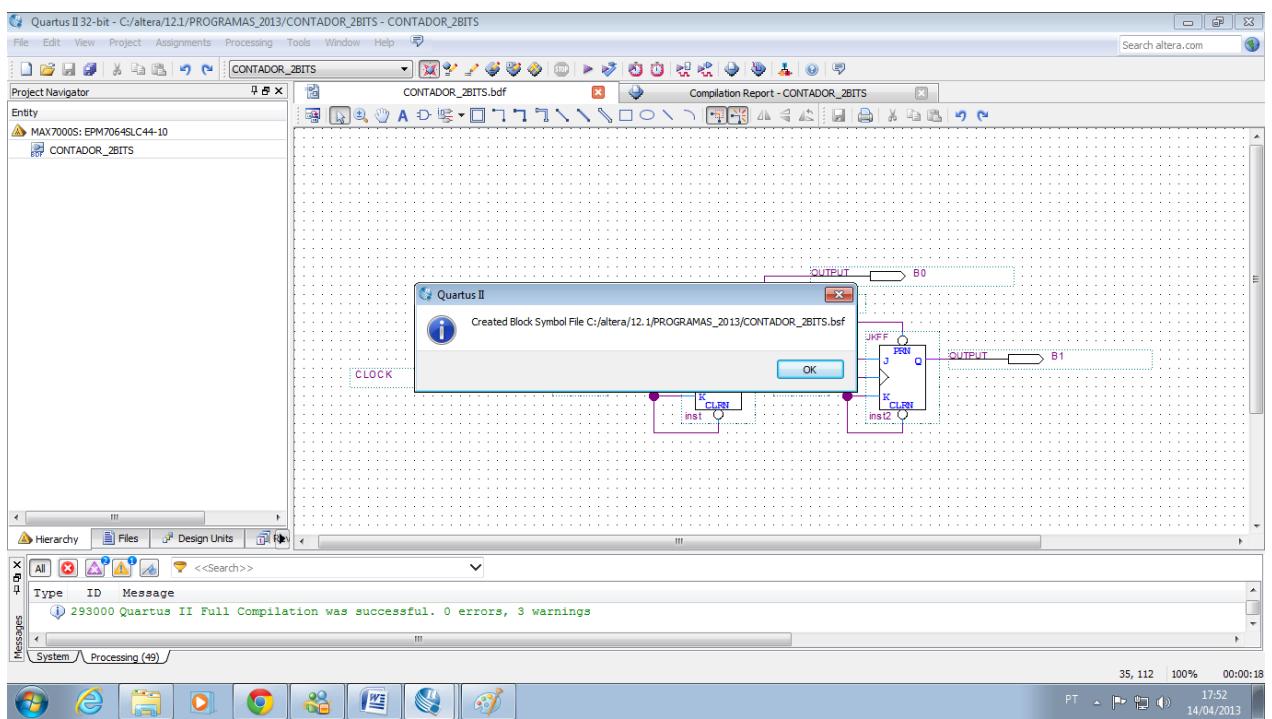


Figura 64

41) O bloco lógico foi criado, e pode ser visto na pasta onde foi salvo conforme a tela a seguir:

- Veja que comparado com o circuito do passo 37 acima, bloco lógico além de ocupar menos espaço na tela fica pronto para quando houver necessidade de utilizá-lo, sem a necessidade de desenvolvê-lo de novo.

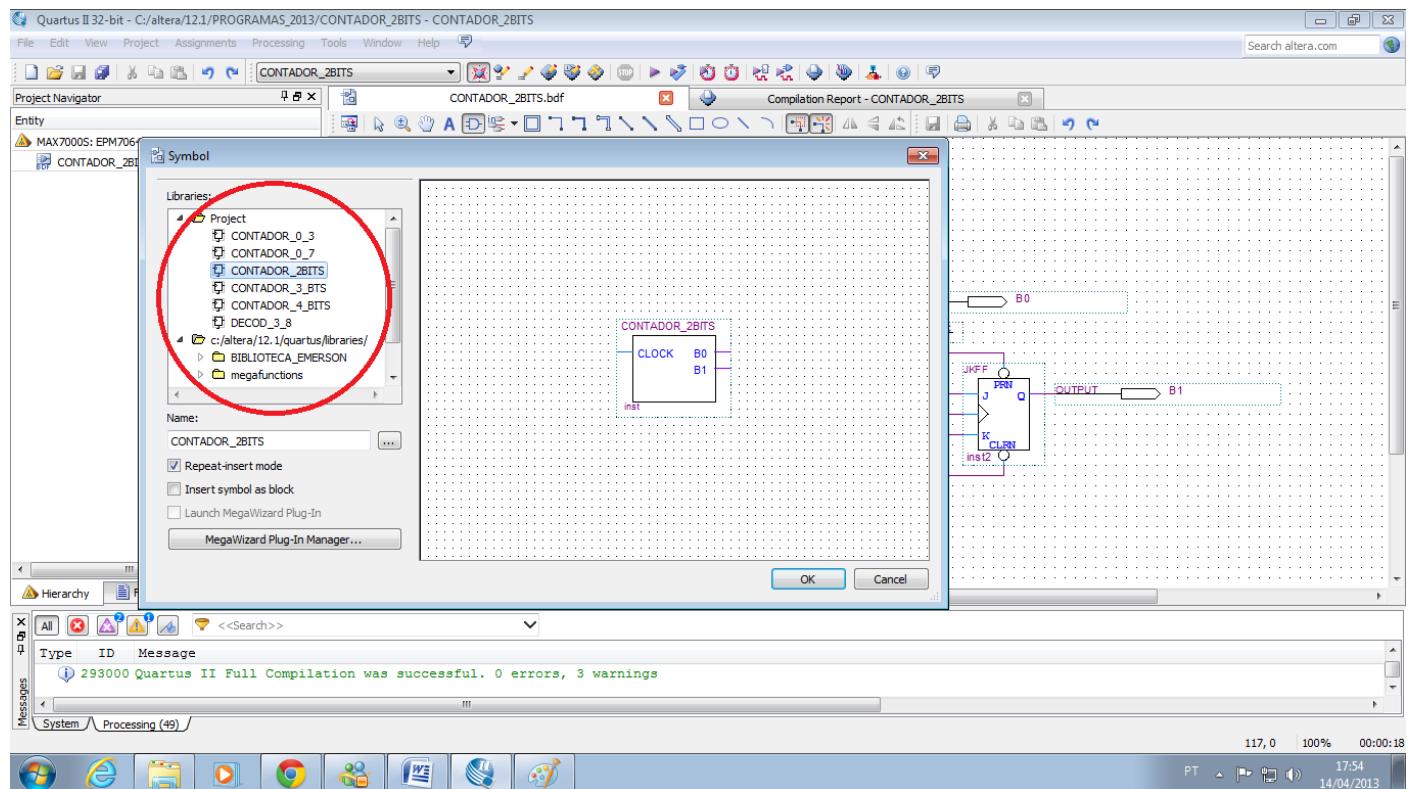


Figura 65

TUTORIAL PARA GRAVAR A MEMÓRIA EXTERNA PARA UTILIZAÇÃO COM FPGA ALTERA

Esse tutorial se refere ao FPGA EP2C5T144 e a memória serial EPCS4.

- 1) Depois de criado, compilado e testado o programa va em file ->Converte programming file conforme figura a seguir:

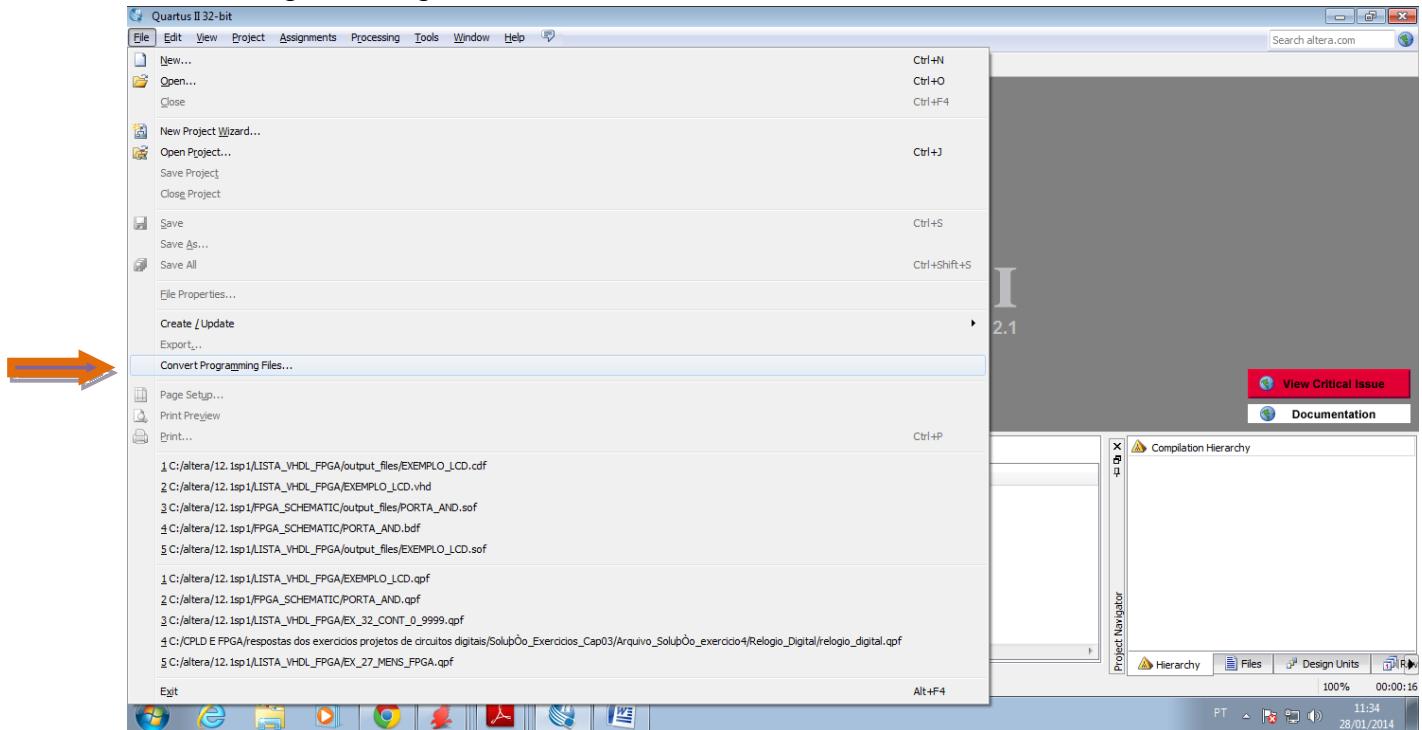


Figura 66

- 2) Para a gravação na memória externa necessitamos criar o arquivo .jic, dessa forma escolha em Programming file type :JTAG Indirect Configuration File (.jic).
- 3) Em configuration Device escolha a memória externa a ser utilizada, nesse exemplo utilizamos epc4.
- 4) Em File name escolha o diretório e o nome do arquivo .jic a ser criado, nesse caso temos C:/altera/12.1sp1/LISTA_VHDL_FPGA/output_files/EXEMPLO_LCD.jic

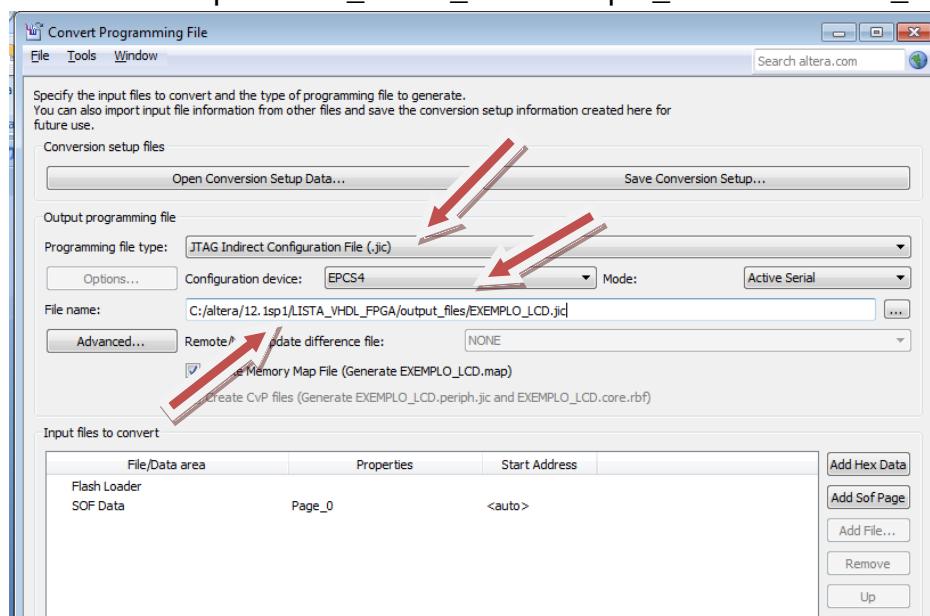


Figura 67

5) Selecione sof data e escolha o programa com extensão .sof e clique em add file:

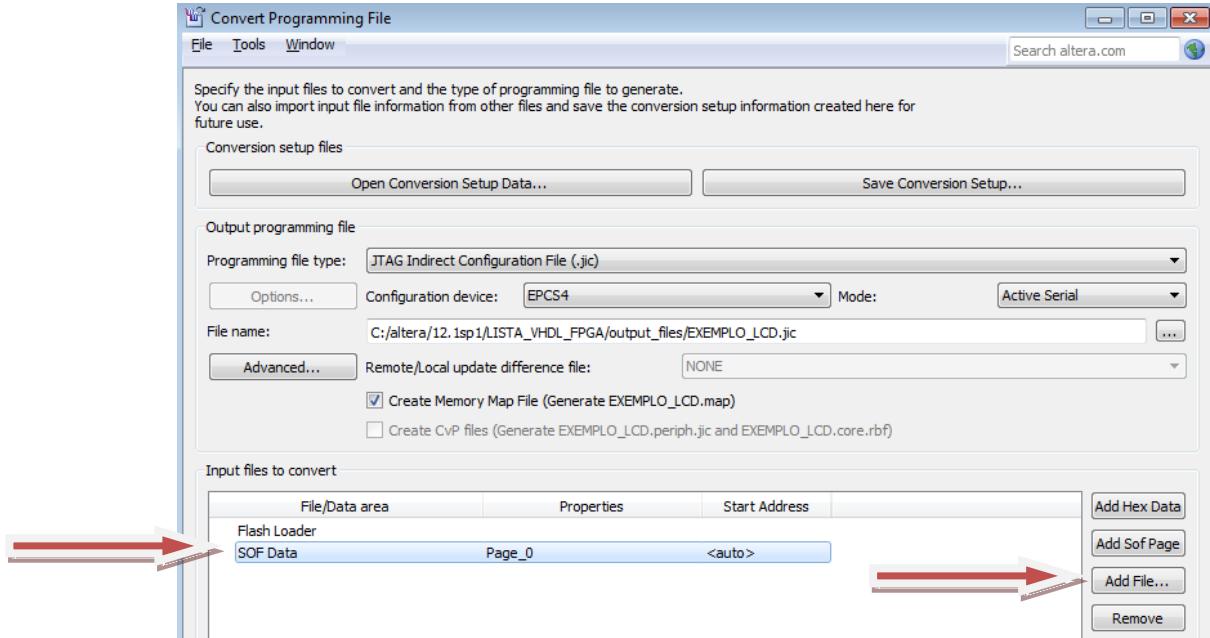


Figura 68

6) Escolha o arquivo .sof, nesse exemplo utilizamos EXEMPLO_LCD.sof, e clique em OPEN.

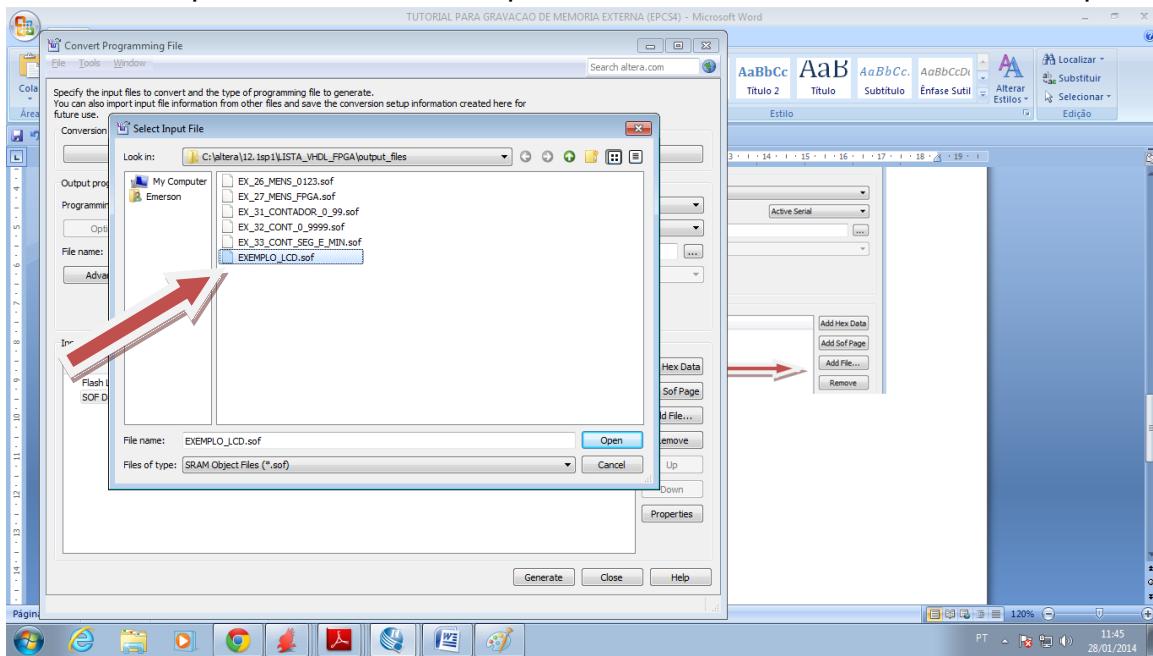


Figura 69

7) Próximo passo seleciona Flash Loader e em add Device.

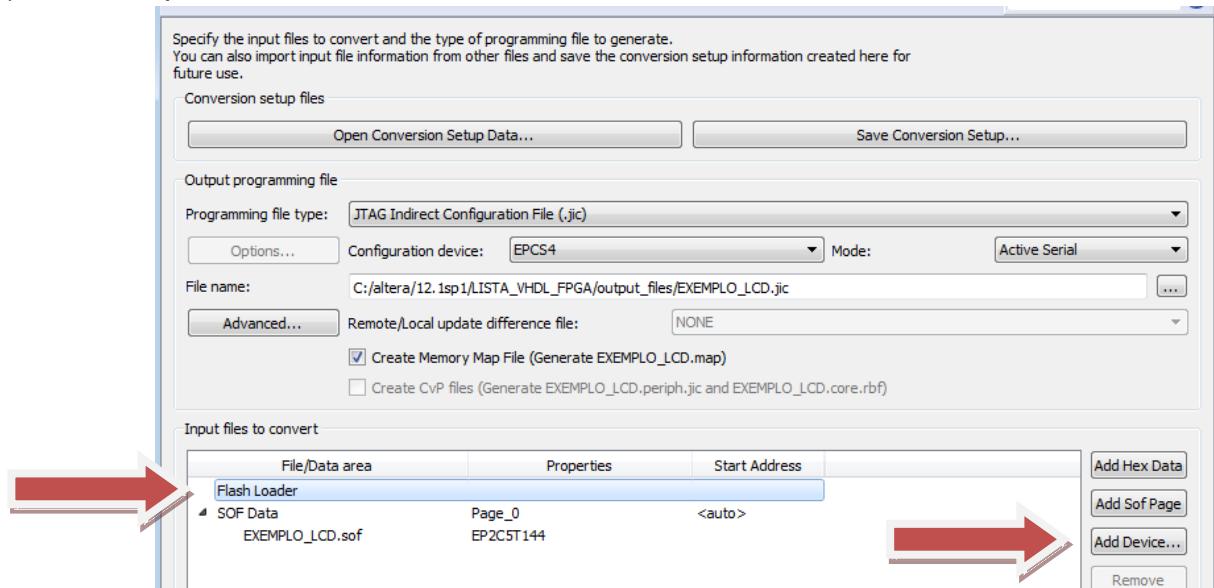


Figura 70

8) Escolha o FPGA que você fez o programa, nesse exemplo utilizamos o EP2C5 da família CICLONE II, e clique em OK.

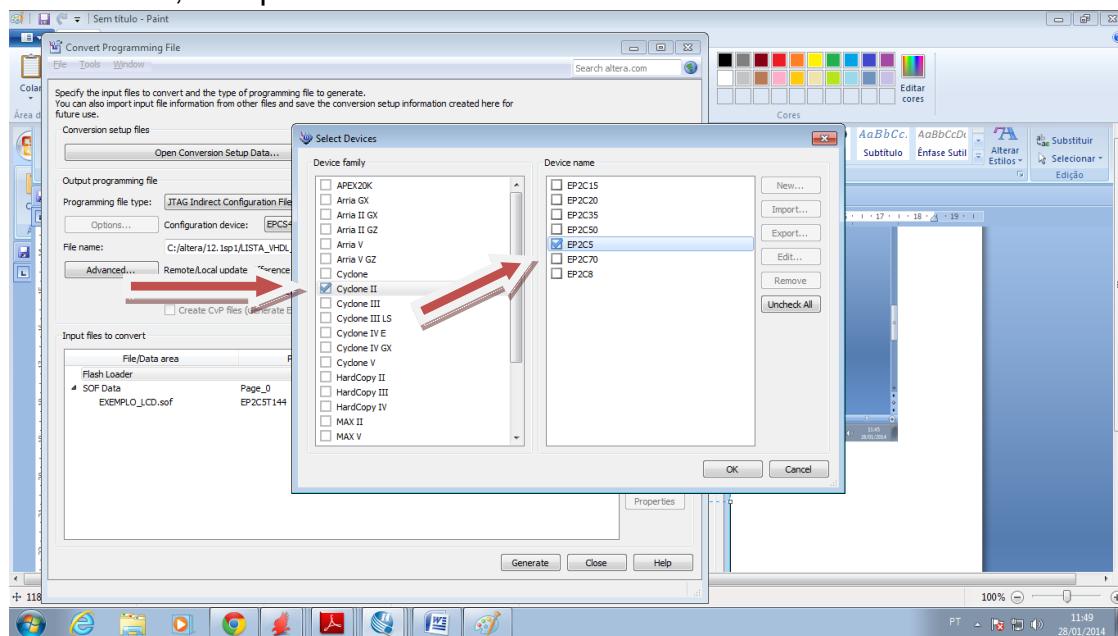


Figura 71

9) Agora clique em Genetare para gerar a extenção .jic.

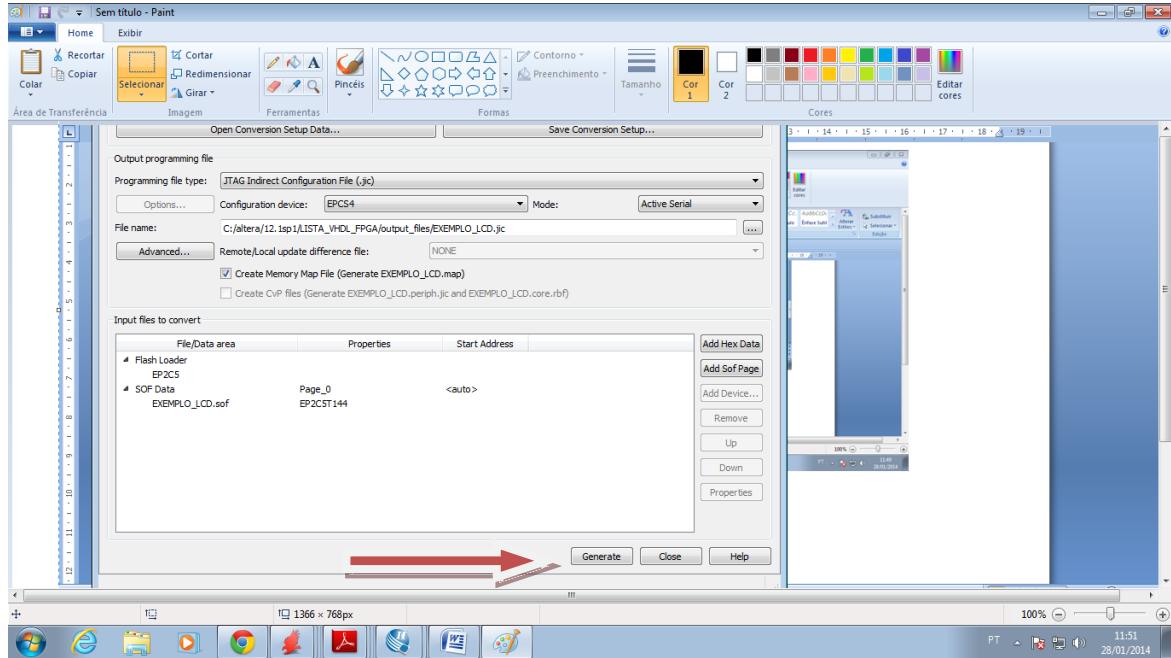


Figura 72

10) Se tudo deu certo o programa emitirá a mensagem de sucesso como a seguir informando que o arquivo com o nome escolhido no passo 4 está salvo na pasta escolhida.

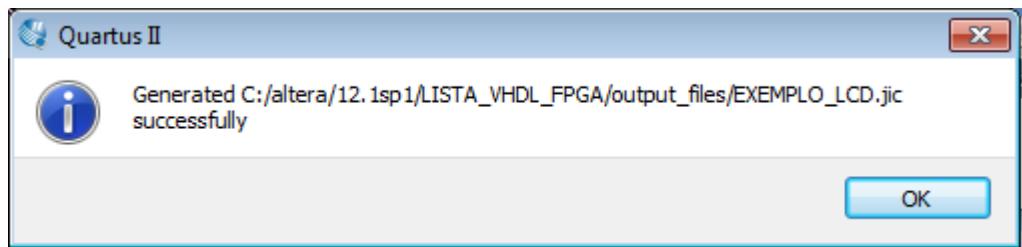


Figura 73

11) Próximo passo é gravar o dispositivo, Feche o converting program file e abra o quartus II.

12) Clique em Program e depois Add File.

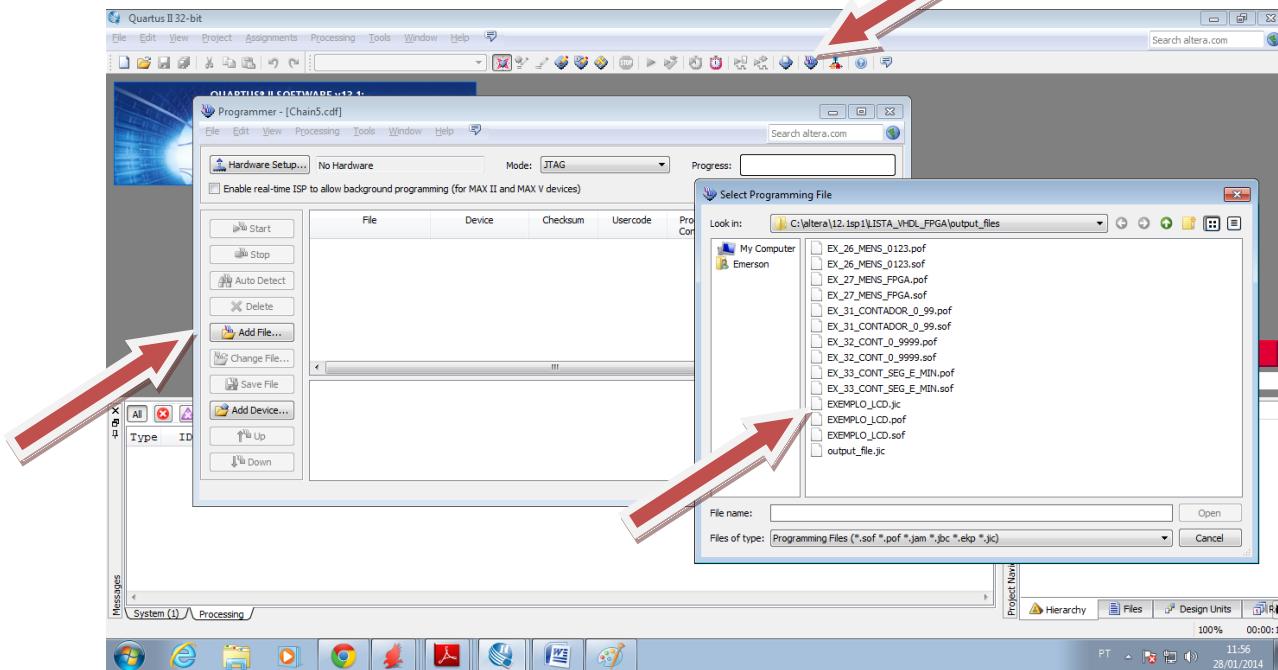


Figura 74

13) Escolha o arquivo que vc salvou com extensão .jic e clique em OPEN, depois marque as duas opções Program/configure e clique em start.

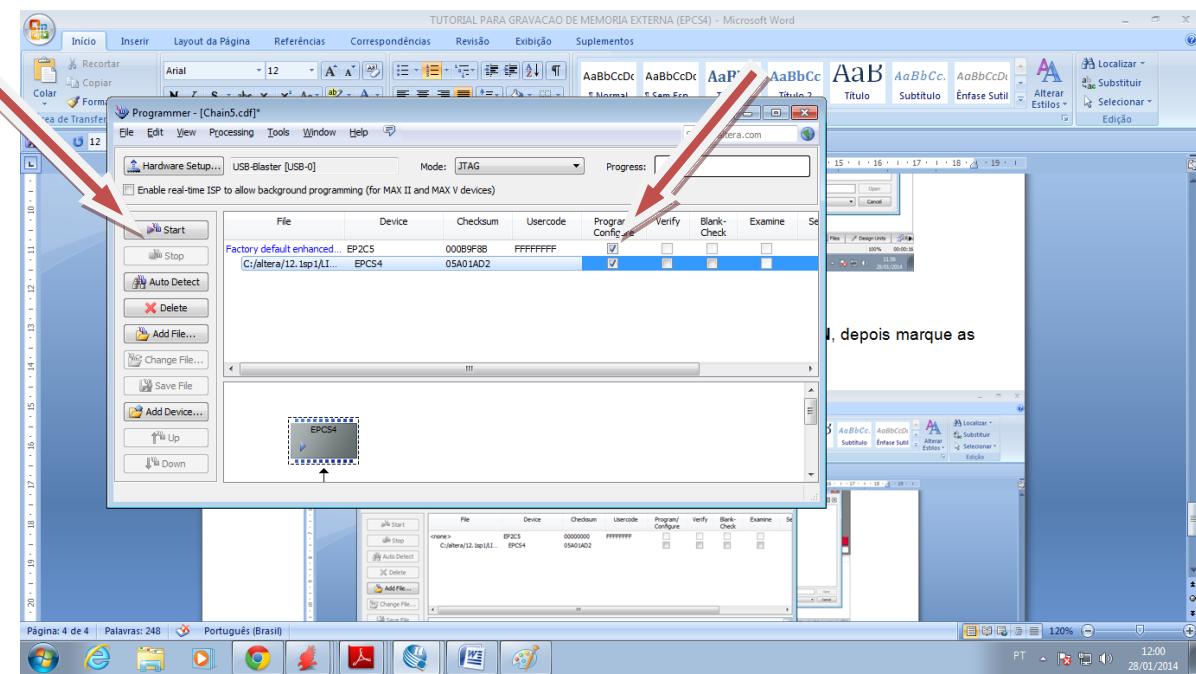


Figura 75

14) Você verá o andamento da barra de gravação, quando receber a mensagem de sucesso (em verde) o dispositivo está gravado, **dessa forma é só resetar o fpga por meio do botão reset que o mesmo estará pronto para utilização.**

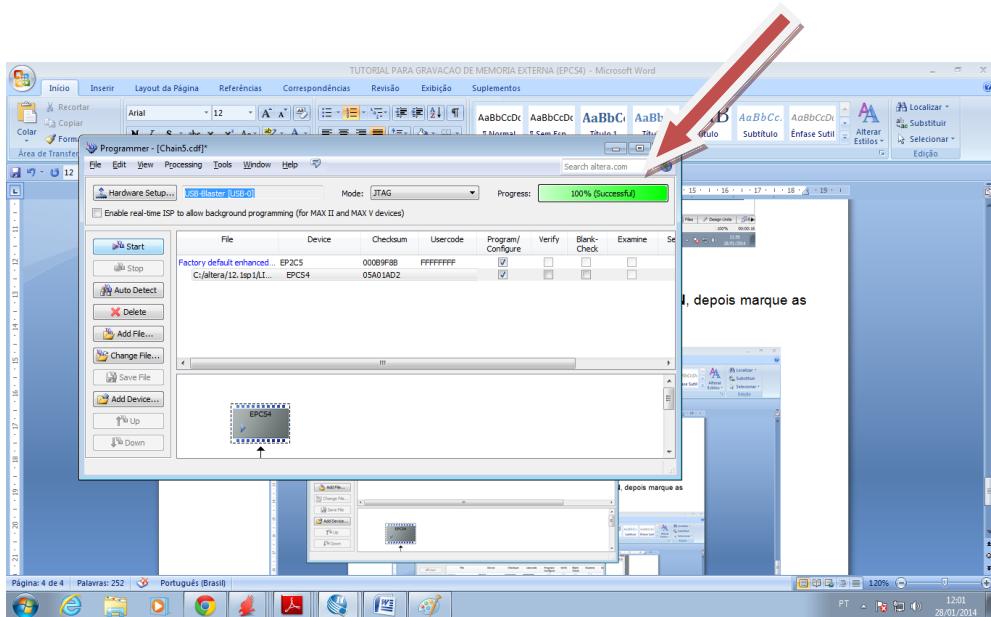


Figura 76

TERMO DE GARANTIA

Os produtos da EMERSON ELETRÔNICOS possuem 1 ano de garantia contra defeitos de fabricação a partir da data de aquisição dos produtos, as condições de utilização devem ser atendidas para que o produto não perca a garantia.

A garantia de fabrica envolve apenas defeitos detectados de fabricação, estando isentas de garantias as condições descritas a seguir.

Os kit perdem a garantia nos seguintes casos:

- Detectado infiltração de líquido de qualquer natureza.
- Detectado defeitos ocasionados por quedas, ou por objetos que possa ter caído sobre o mesmo.
- Defeitos em cabos de alimentação ou gravação ocasionados por torção ou tensão mecânica acima do permitido.
- Alimentação do kit em tensão elétrica acima do permitido para o equipamento.
- Quando excedido a tensão de alimentação de entradas ou corrente máxima de saídas dos pinos dos circuitos integrados e componentes eletrônicos em geral.
- Defeitos ocasionados por erros de utilização, tais como curto circuitos provocados por ligações erradas.
- Defeitos ocasionados por armazenamento em condições inadequadas como temperaturas extremas, poeira, umidade entre outras situações que podem danificar o equipamento.
- Utilização do equipamento para fins diferentes do que foi projetado.
- **Abertura e tentativa de conserto** do produto por pessoa não autorizada pela EMERSON ELETRÔNICOS.
- Os CPLDs, FPGAs, MICROCONTROLADORES e CIRCUITOS INTEGRADOS **NÃO** são cobertos pela garantia por **não** serem de fabricação da EMERSON ELETRÔNICOS e por não receber garantia de seus fabricantes, além de serem sensíveis a estática e erros de ligação.
- Em caso de **envio para conserto** em garantia ou não, o custo e responsabilidade de **envio e retorno** será por conta do cliente e **NÃO** da Emerson Eletrônicos, salvo acordo expressamente autorizado.

Para quer esclarecimento sobre utilização consulte sempre nossa equipe pelo site:

www.professoremersonmartins.com.br

Ou pelo e-mail

emertins@hotmail.com

APENDICE A – LIGAÇÃO DOS PINOS DO KIT FPGA – EE01

PINO - 1	ASDO – COMUNICAÇÃO COM A MEMÓRIA EPCS4
PINO – 2	NCSO - COMUNICAÇÃO COM A MEMÓRIA EPCS4
PINO – 3	T6 – TRANSISTOR DO CATÔDO DO DISPLAYS DE SETE SEGMENTOS (DIS6)
PINO – 4	T5 – TRANSISTOR DO CATÔDO DO DISPLAYS DE SETE SEGMENTOS (DIS5)
PINO – 5	VCC – 3V3
PINO – 6	GND
PINO – 7	T4 – TRANSISTOR DO CATÔDO DO DISPLAYS DE SETE SEGMENTOS (DIS4)
PINO – 8	T3 – TRANSISTOR DO CATÔDO DO DISPLAYS DE SETE SEGMENTOS (DIS3)
PINO – 9	T2 – TRANSISTOR DO CATÔDO DO DISPLAYS DE SETE SEGMENTOS (DIS2)
PINO – 10	TDO – PINO DE COMUNICAÇÃO COM O GRAVADOR USB BLASTER
PINO – 11	TMS - PINO DE COMUNICAÇÃO COM O GRAVADOR USB BLASTER
PINO – 12	TCK - PINO DE COMUNICAÇÃO COM O GRAVADOR USB BLASTER
PINO – 13	TDI - PINO DE COMUNICAÇÃO COM O GRAVADOR USB BLASTER
PINO – 14	DATA0 - COMUNICAÇÃO COM A MEMÓRIA EPCS4
PINO – 15	DCLK - COMUNICAÇÃO COM A MEMÓRIA EPCS4
PINO – 16	NCE – ATERRADO POR RESISTOR DE 10K
PINO – 17	CLOCK ORIUNDO DO CRISTAL DE 20MHZ
PINO – 18	CLOCK 1 – LIGADO AOS CONECTORES EXTERNOS
PINO – 19	GND
PINO – 20	NCONFIG – LIGADO A 3V3 POR MEIO DE RESISTOR
PINO – 21	CLOCK 2 - LIGADO AOS CONECTORES EXTERNOS
PINO – 22	CLOCK 2 - LIGADO AOS CONECTORES EXTERNOS
PINO – 23	VCC – 3V3
PINO – 24	T1 – TRANSISTOR DO CATÔDO DO DISPLAYS DE SETE SEGMENTOS (DIS1)
PINO – 25	SEGMENTO ‘a’ DO BARRAMENTO DOS DISPLAYS
PINO – 26	SEGMENTO ‘b’ DO BARRAMENTO DOS DISPLAYS
PINO – 27	SEGMENTO ‘c’ DO BARRAMENTO DOS DISPLAYS
PINO – 28	SEGMENTO ‘d’ DO BARRAMENTO DOS DISPLAYS
PINO – 29	VCC – 3V3
PINO – 30	SEGMENTO ‘e’ DO BARRAMENTO DOS DISPLAYS
PINO – 31	SEGMENTO ‘f’ DO BARRAMENTO DOS DISPLAYS
PINO – 32	SEGMENTO ‘g’ DO BARRAMENTO DOS DISPLAYS
PINO – 33	GND
PINO – 34	GND
PINO – 35	VCCIO -1V2
PINO – 36	GND
PINO – 37	VCCIO -1V2
PINO – 38	GND
PINO – 39	GND
PINO – 40	PONTO DECIMAL DO BARRAMENTO DOS DISPLAYS
PINO – 41	LIGADO AOS CONECTORES EXTERNOS
PINO – 42	LIGADO AOS CONECTORES EXTERNOS
PINO – 43	LIGADO AOS CONECTORES EXTERNOS
PINO – 44	LIGADO AOS CONECTORES EXTERNOS
PINO – 45	LIGADO AOS CONECTORES EXTERNOS
PINO – 46	VCC – 3V3
PINO – 47	LIGADO AOS CONECTORES EXTERNOS
PINO – 48	LIGADO AOS CONECTORES EXTERNOS
PINO – 49	GND

PINO – 50	VCCIO -1V2
PINO – 51	LIGADO AOS CONECTORES EXTERNOS
PINO – 52	LIGADO AOS CONECTORES EXTERNOS
PINO – 53	LIGADO AOS CONECTORES EXTERNOS
PINO – 54	VCC – 3V3
PINO – 55	LIGADO AOS CONECTORES EXTERNOS
PINO – 56	GND
PINO – 57	LIGADO AOS CONECTORES EXTERNOS
PINO – 58	LIGADO AOS CONECTORES EXTERNOS
PINO – 59	LIGADO AOS CONECTORES EXTERNOS
PINO – 60	LIGADO AOS CONECTORES EXTERNOS
PINO – 61	GND
PINO – 62	VCCIO -1V2
PINO – 63	LIGADO AOS CONECTORES EXTERNOS
PINO – 64	LIGADO AOS CONECTORES EXTERNOS
PINO – 65	LIGADO AOS CONECTORES EXTERNOS
PINO – 66	VCC – 3V3
PINO – 67	LIGADO AOS CONECTORES EXTERNOS
PINO – 68	GND
PINO – 69	LIGADO AOS CONECTORES EXTERNOS
PINO – 70	LIGADO AOS CONECTORES EXTERNOS
PINO – 71	LIGADO AOS CONECTORES EXTERNOS
PINO – 72	LED P72 (LEDS VERMELHOS)
PINO – 73	LED P73 (LEDS VERMELHOS)
PINO – 74	LED P74 (LEDS VERMELHOS)
PINO – 75	LED P75 (LEDS VERMELHOS)
PINO – 76	LIGADO AOS CONECTORES EXTERNOS
PINO – 77	VCC – 3V3
PINO – 78	GND
PINO – 79	LED P79 (LEDS VERMELHOS)
PINO – 80	LED P80 (LEDS VERMELHOS)
PINO – 81	LED P81 (LEDS VERMELHOS)
PINO – 82	NSTATUS – LIGADO PARA VCC POR RESISTOR
PINO – 83	CONF-DONE – LIGADO PARA VCC POR RESISTOR
PINO – 84	MSEL1 - ATERRADO
PINO – 85	MSEL0 - ATERRADO
PINO – 86	LED P86 (LEDS VERMELHOS)
PINO – 87	BIT DB7 DO DISPLAY DE LCD
PINO – 88	CLOCK 7 – LIGADO AOS CONECTORES EXTERNOS
PINO – 89	CLOCK 6 - LIGADO AOS CONECTORES EXTERNOS
PINO – 90	CLOCK 5 - LIGADO AOS CONECTORES EXTERNOS
PINO – 91	CLOCK 4 - LIGADO AOS CONECTORES EXTERNOS
PINO – 92	BIT DB6 DO DISPLAY DE LCD
PINO – 93	BIT DB5 DO DISPLAY DE LCD
PINO – 94	BIT DB4 DO DISPLAY DE LCD
PINO – 95	VCC – 3V3
PINO – 96	BIT DB3 DO DISPLAY DE LCD
PINO – 97	BIT DB2 DO DISPLAY DE LCD
PINO – 98	GND
PINO – 99	BIT DB1 DO DISPLAY DE LCD
PINO – 100	BIT DB0 DO DISPLAY DE LCD
PINO – 101	PINO ENABLE DO DISPLAY DE LCD

PINO – 102	VCC – 3V3
PINO – 103	PINO R/W DO DISPLAY DE LCD
PINO – 104	PINO RS DO DISPLAY DE LCD
PINO – 105	GND
PINO – 106	GND
PINO – 107	VCCIO -1V2
PINO – 108	GND
PINO – 109	VCCIO -1V2
PINO – 110	GND
PINO – 111	GND
PINO – 112	LIGADO AOS CONECTORES EXTERNOS
PINO – 113	LIGADO AOS CONECTORES EXTERNOS
PINO – 114	LIGADO AOS CONECTORES EXTERNOS
PINO – 115	LIGADO AOS CONECTORES EXTERNOS
PINO – 116	VCC – 3V3
PINO – 117	GND
PINO – 118	LIGADO AOS CONECTORES EXTERNOS
PINO – 119	LIGADO AOS CONECTORES EXTERNOS
PINO – 120	LIGADO AOS CONECTORES EXTERNOS
PINO – 121	LIGADO AOS CONECTORES EXTERNOS
PINO – 122	LIGADO AOS CONECTORES EXTERNOS
PINO – 123	GND
PINO – 124	VCCIO -1V2
PINO – 125	LIGADO AOS CONECTORES EXTERNOS
PINO – 126	LIGADO AOS CONECTORES EXTERNOS
PINO – 127	VCC – 3V3
PINO – 128	GND
PINO – 129	LIGADO AOS CONECTORES EXTERNOS
PINO – 130	GND
PINO – 131	VCCIO -1V2
PINO – 132	LIGADO AOS CONECTORES EXTERNOS
PINO – 133	LIGADO AOS CONECTORES EXTERNOS
PINO – 134	LIGADO AOS CONECTORES EXTERNOS
PINO – 135	LIGADO AOS CONECTORES EXTERNOS
PINO – 136	LIGADO AOS CONECTORES EXTERNOS
PINO – 137	LIGADO AOS CONECTORES EXTERNOS
PINO – 138	VCC – 3V3
PINO – 139	LIGADO AOS CONECTORES EXTERNOS
PINO – 140	GND
PINO – 141	LIGADO AOS CONECTORES EXTERNOS
PINO – 142	LIGADO AOS CONECTORES EXTERNOS
PINO – 143	LIGADO AOS CONECTORES EXTERNOS
PINO – 144	LIGADO AOS CONECTORES EXTERNOS