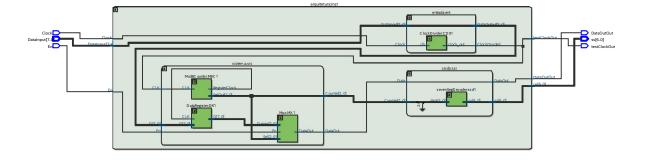
Date: April 11, 2024 Project: atv00



Project Navigator							
Logic Cells	Dedicated Logic Registers	I/O Registers	Pins	LUT-Only LCs	Register-Only LCs	LUT/Register LCs	Full Hierarchy Name
94 (0)	44 (0)	0 (0)	19	50 (0)	1 (0)	43 (0)	final
94 (0)	44 (0)	0 (0)	0	50 (0)	1 (0)	43 (0)	final arquitetura:inst
78 (0)	33 (0)	0 (0)	0	45 (0)	1 (0)	32 (0)	final arquitetura:inst entrada:ent
8 (0)	0 (0)	0 (0)	0	3 (0)	0 (0)	5 (0)	final arquitetura:inst saida:sai
13 (0)	11 (0)	0 (0)	0	2 (0)	0 (0)	11 (0)	final arquitetura:inst sistema:sis
	94 (0) 94 (0) 78 (0) 8 (0)	94 (0) 44 (0) 94 (0) 44 (0) 78 (0) 33 (0) 8 (0) 0 (0)	94 (O) 44 (O) O (O) 94 (O) 44 (O) O (O) 78 (O) 33 (O) O (O) 8 (O) O (O) O (O)	94 (0) 44 (0) 0 (0) 19 94 (0) 44 (0) 0 (0) 0 78 (0) 33 (0) 0 (0) 0 8 (0) 0 (0) 0 (0) 0	94 (0) 44 (0) 0 (0) 19 50 (0) 94 (0) 44 (0) 0 (0) 0 50 (0) 78 (0) 33 (0) 0 (0) 0 45 (0) 8 (0) 0 (0) 0 (0) 0 3 (0)	94 (O) 44 (O) O (O) 19 5O (O) 1 (O) 94 (O) 44 (O) O (O) O 5O (O) 1 (O) 78 (O) 33 (O) O (O) O 45 (O) 1 (O) 8 (O) O (O) O (O) O 3 (O) O (O)	94 (0) 44 (0) 0 (0) 0 50 (0) 1 (0) 43 (0) 78 (0) 33 (0) 0 (0) 0 45 (0) 1 (0) 32 (0) 8 (0) 0 (0) 0 (0) 0 3 (0) 0 (0) 5 (0)

