```
module DecoderSsd_4bits_Dec (input [3:0]In, output [6:0]OutDezena,OutUnidade);
  3
                  reg [6:0] seven_seg [0:9];
  4
5
6
7
8
9
                  initial begin
                       itial begin
  seven_seg[0] = 7'b1000000;
  seven_seg[1] = 7'b1111001;
  seven_seg[2] = 7'b0100100;
  seven_seg[3] = 7'b0110000;
  seven_seg[4] = 7'b0011001;
  seven_seg[5] = 7'b0010010;
  seven_seg[6] = 7'b0000010;
  seven_seg[7] = 7'b1111000;
  seven_seg[8] = 7'b0000000;
  seven_seg[9] = 7'b0011000;

10
11
12
13
14
15
16
17
                  end
                  reg[3:0] Dezena;
reg[3:0] Unidade;
18
19
20
21
22
23
24
25
26
27
28
29
30
                  always @(In)
                  begin
                         Dezena = In / 10;
Unidade = In % 10;
                  end
                     assign OutDezena = seven_seg[Dezena];
                     assign OutUnidade = seven_seg[Unidade];
31
33
           endmodule
```

Page 1 of 1 Revision: atv03