```
module Arquitetura (
    input wire clk50,
    input wire movUp, movDown, movLeft, movRight,

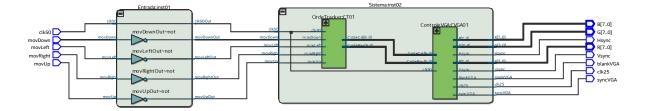
d
    output wire clk25, Hsync, Vsync,
    output wire syncvGA,blankvGA,
    output wire[7:0] R,G,B
);

uvire clk50out;
    wire movUpOut, movDownOut, movLeftOut, movRightOut;
    Entrada inst01(clk50, movUp, movDown, movLeft, movRight, clk50out, movUpOut, movDownOut, movLeftOut, movRightOut);

sistema inst02(clk50out, movUpOut, movDownOut, movLeftOut, movRightOut, clk25, Hsync, Vsync, syncvGA,blankvGA, R,G,B);
endmodule
```

Project: atv07

Date: September 07, 2024 Project: atv07



Entity:Instance	Logic Cells	ed Logic F	6 I/O Registers	Memory Bits	M9Ks	, DSP Elements	DSP 9x9	/ DSP 18x18	Pins	Virtual Pins	LUT-Only LCs	s Register-Only LCs	LUT/Register LCs	Full Hierarchy Name
△ Cyclone IV E: EP4CE115F29C7														
✓ Parquitetura → Arquitetura → Arquitetu	290 (0)	85 (0)	0 (0)	0	0	3	1	1	34	0	205 (0)	3 (0)	82 (0)	Arquitetura
Entrada:inst01														<u> </u>
Sistema:inst02	290 (0)	85 (0)	0 (0)	0	0	3	1	1	0	0	205 (0)	3 (0)	82 (0)	Arquitetura Sistem
✓ 👸 CircleTracker:CT01	117 (80)	41 (19)	0 (0)	0	0	0	0	0	0	0	76 (61)	1 (0)	40 (19)	Arquitetura Sistem
ClockDivider:CD	37 (37)	22 (22)	0 (0)	0	0	0	0	0	0	0	15 (15)	1 (1)	21 (21)	Arquitetura Sistem
✓ 📆 ControleVGA:CVGA01	173 (0)	44 (0)	0 (0)	0	0	3	1	1	0	0	129 (0)	2 (0)	42 (0)	Arquitetura Sistem
✓ BDC GeradorControle:gC	50 (0)	25 (0)	0 (0)	0	0	0	0	0	0	0	25 (0)	2 (0)	23 (0)	Arquitetura Sistem
Counter:gF	2 (2)	1 (1)	0 (0)	0	0	0	0	0	0	0	1 (1)	1 (1)	o (o)	Arquitetura Sistem
> 👯 GeradorSync:gS	48 (1)	24 (0)	0 (0)	0	0	0	0	0	0	0	24 (1)	1 (0)	23 (0)	Arquitetura Sistem
✓ Boc GeradorImagem:gl	123 (104)	19 (0)	0 (0)	0	0	3	1	1	0	0	104 (104)	0 (0)	19 (0)	Arquitetura Sistem
> abc lpm_mult:Mult0	0 (0)	0 (0)	0 (0)	0	0	2	0	1	0	0	0 (0)	0 (0)	0 (0)	Arquitetura Sistem
> abs lpm_mult:Mult1	0 (0)	0 (0)	0 (0)	0	0	1	1	0	0	0	0 (0)	0 (0)	0 (0)	Arquitetura Sistem
ContadorColuna:contColuna	10 (10)	10 (10)	0 (0)	0	0	0	0	0	0	0	0 (0)	0 (0)	10 (10)	Arquitetura Sistem
ContadorLinha:contLinha	9 (9)	9 (9)	0 (0)	0	0	0	0	0	0	0	0 (0)	0 (0)	9 (9)	Arquitetura Sistem