

实验七 加法器扩展训练

实验目的

- 1、学习和掌握进位加法器的设计与实现。
- 2、学习和掌握超前进位加法器的设计与实现。
- 3、学习和掌握流水线加法器的设计与实现。

实验内容

- 1、完成 32 位行波进位加法器的设计与实现，并下板验证。
- 2、完成 32 位超前进位加法器的设计与实现，并下板验证。
- 3、设计并实现一个 32 位 2 级流水线加法器，并下板验证。
- 4、主要从 RTL 电路分析、仿真波形、开发板资源使用情况等方面对 1、2、3 中的加法器进行比较。

实验原理

- 1、行波进位加法器由全加器串联而成，参考实验六。
- 2、为了减少行波进位加法器中进位传播延迟的影响，可以在每一级中快速计算当前级的进位信号，而不管前一级的进位信号，从而提高加法器性能，实验原理参见教材《数字逻辑基础与 Verilog 设计》中 3.4 节。
- 3、32 位的 2 级流水线加法器使用两个 16 位加法器，其中第一个加法器执行低 16 位的加法，而第二个加法器执行高 32 位的加法，电路结构图如下图所示（供参考）。

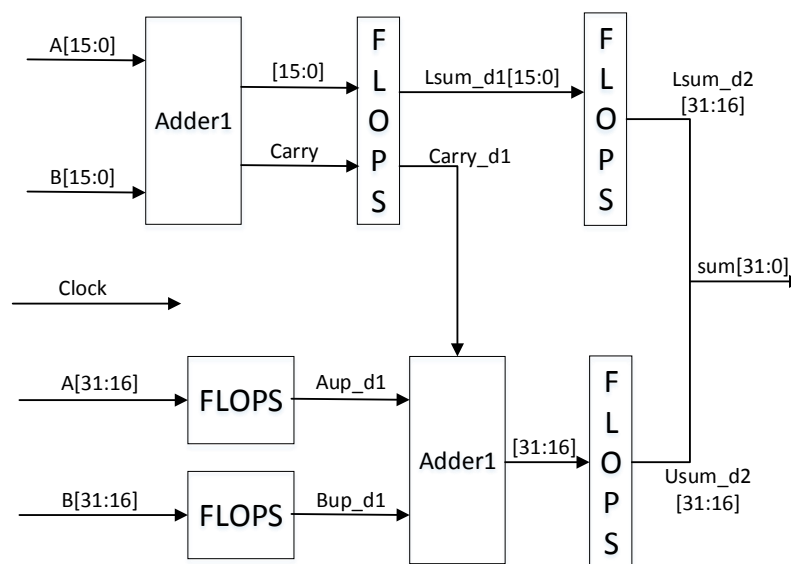


图 1 2 级流水线加法器电路结构图

实验步骤（请同学们自行完成）

仿真比较时，需比较当输入的值每个周期都在变化并要求每个周期产生其和值的情况。