

实验四 译码器的设计

实验目的

1. 掌握 3-8 译码器的逻辑功能，并学会设计 3-8 译码器。
2. 学会利用 3-8 译码器设计 4-16 译码器。

实验内容

- 1、根据 3-8 译码器真值表，使用 Verilog HDL 语言或 Block Design 实现 74LS138 译码器 decode38，下载到板子上进行验证。其中 Y0~Y7 分别接板上的 LD0~LD7，G1 接 SW15，G2A 接 SW14，G2B 接 SW13，C、B、A 分别接 SW2，SW1 和 SW0。
- 2、将 1) 中的 3-8 译码器封装成 IP 核，调用 3-8 译码器的 IP 核，用 Block Design 设计一个 4-16 译码器，并通过写仿真文件、看 RTL 电路图、下载到板子验证其正确性。

实验原理

3-8 译码器将 3 位输入的二进制数字转换成独热码输出，其真值表如下：

输 入				输 出							
G1	G2An	G2Bn	C B A	Y ₇	Y ₆	Y ₅	Y ₄	Y ₃	Y ₂	Y ₁	Y ₀
1	0	0	0 0 0	1	1	1	1	1	1	1	0
1	0	0	0 0 1	1	1	1	1	1	1	0	1
1	0	0	0 1 0	1	1	1	1	1	0	1	1
1	0	0	0 1 1	1	1	1	1	0	1	1	1
1	0	0	1 0 0	1	1	1	0	1	1	1	1
1	0	0	1 0 1	1	1	0	1	1	1	1	1
1	0	0	1 1 0	1	0	1	1	1	1	1	1
1	0	0	1 1 1	0	1	1	1	1	1	1	1
0	X	X	X X X	1	1	1	1	1	1	1	1
X	1	X	X X X	1	1	1	1	1	1	1	1
X	X	1	X X X	1	1	1	1	1	1	1	1

实验过程

1. 掌握 3-8 译码器的逻辑功能，列出逻辑表达式、设计电路图，新建项目实现 3-8 译码器，仿真、综合、实现、下载到开发板进行验证，并将此 3-8 译码器封装成 IP 核，过程自行补充完善。

2. 新建项目，调用此前封装的 3-8 译码器，实现 4-16 译码器，仿真、综合、实现、下载到开发板进行验证，过程自行补充完善。