

实验十一 时钟分频器设计

实验目的

通过实验，了解分频器的用途，充分理解和掌握分频器的设计原理，并能设计实现分频器。

实验内容

- 1、实现一个分频器 `clock_div`，输入的是系统提供的 100MHz 频率，输出的是 1Hz 频率，占空比为 1:2。
- 2、将输出时钟接到 led 灯，使其每隔 1 秒亮 1 秒。
- 3、综合、实现、生成 bit 流，下载到板子上进行验证。

实验原理

时钟分频器是 FPGA 设计中使用频率非常高的基本设计之一，所谓“分频”，就是把输入信号的频率变成成倍数地低于输入频率的输出信号。占空比，则是一个时钟周期里高电平和低电平时间长短的比例。

实验步骤（具体步骤请同学自己完成）

需给出分频器波形图。