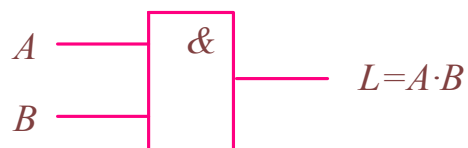
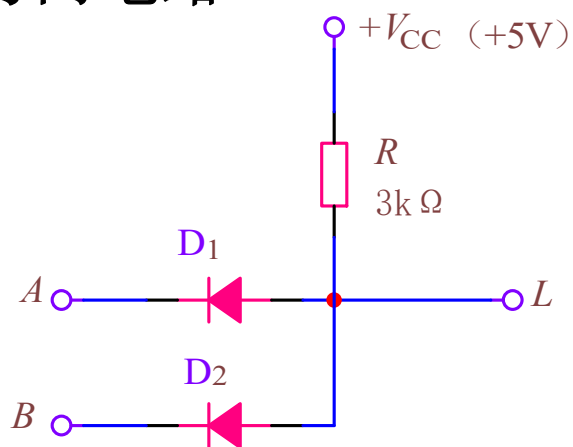


逻辑门电路

2.1 基本逻辑门电路

一、二极管与门和或门电路

1. 与门电路



输入、输出电压之间的关系

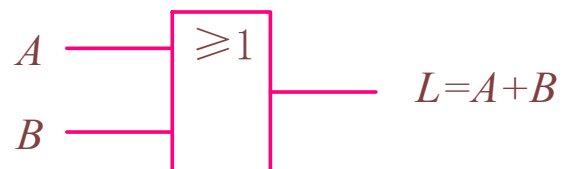
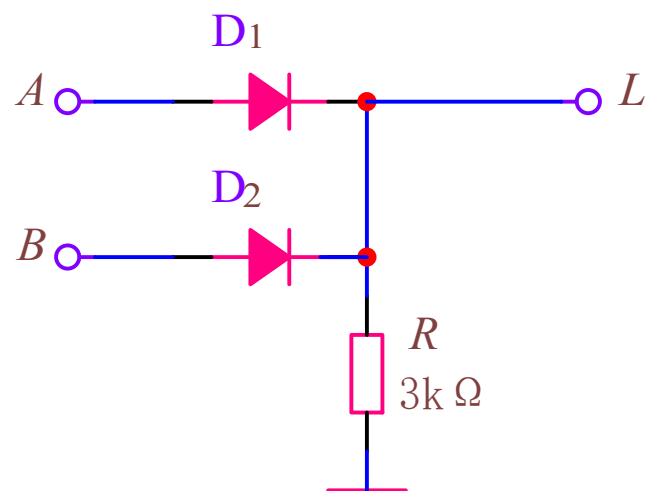
输入		输出
V_A (V)	V_B (V)	V_L (V)
0V	0V	0V
0V	5V	0V
5V	0V	0V
5V	5V	5V



与逻辑真值表

输入		输出
A	B	L
0	0	0
0	1	0
1	0	0
1	1	1

2. 或门电路



输入、输出电压之间的关系

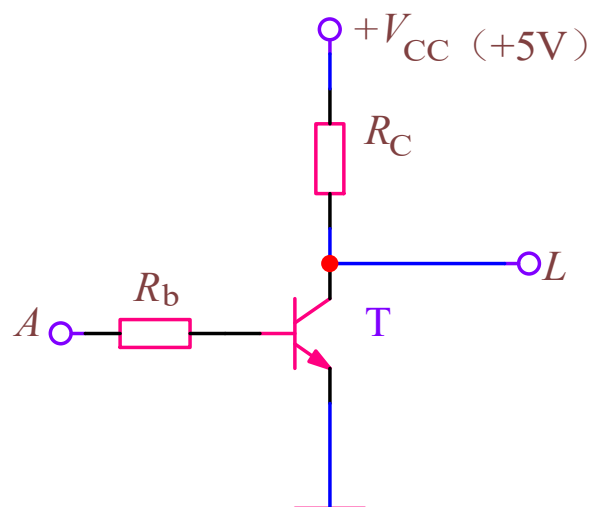
输入		输出
V_A (V)	V_B (V)	V_L (V)
0V	0V	0V
0V	5V	5V
5V	0V	5V
5V	5V	5V



或逻辑真值表

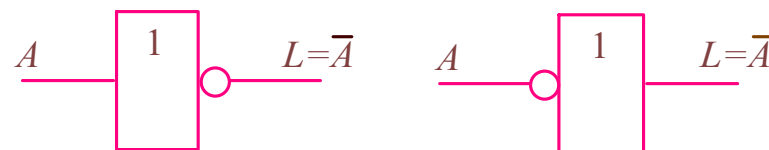
输入		输出
A	B	L
0	0	0
0	1	1
1	0	1
1	1	1

二、三极管非门电路



输入、输出电压之间的关系

输入	输出
V_A (V)	V_L (V)
0V	5V
5V	0V



非逻辑真值表

输入	输出
A	L
0	1
1	0

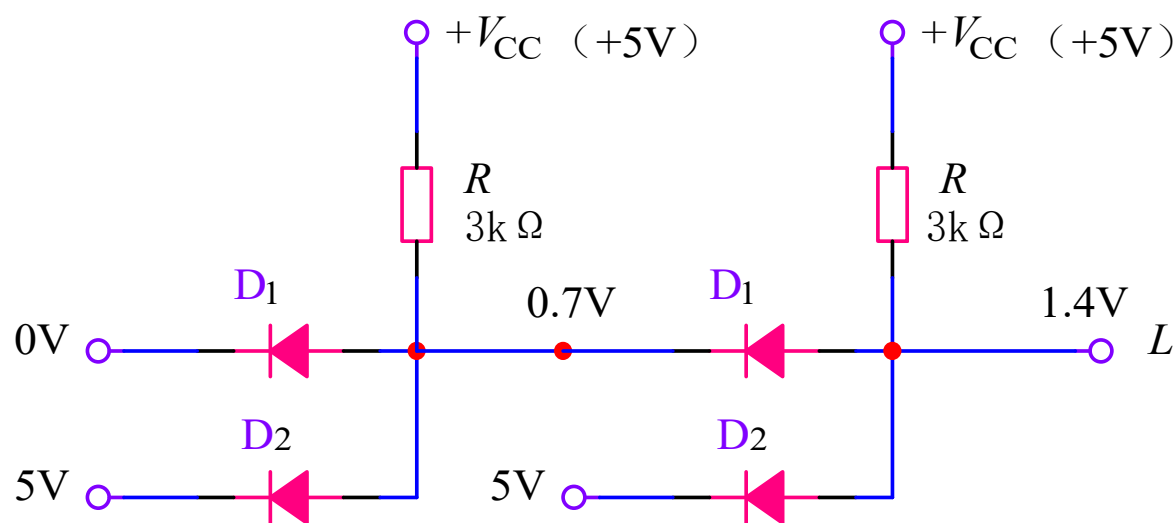
\Rightarrow

钳位电路

二极管与门和或门电路的缺点:

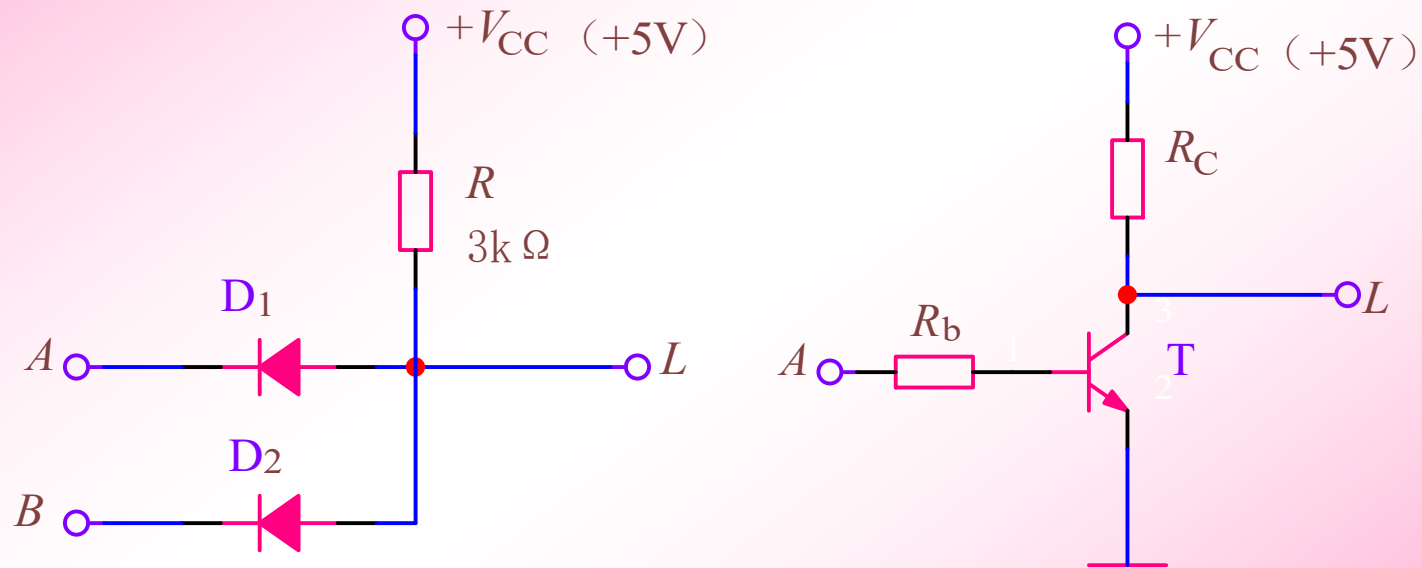
(1) 在多个门串接使用时, 会出现低电平偏离标准数值的情况。

(2) 负载能力差



解决办法:

将二极管与门（或门）电路和三极管非门电路组合起来。



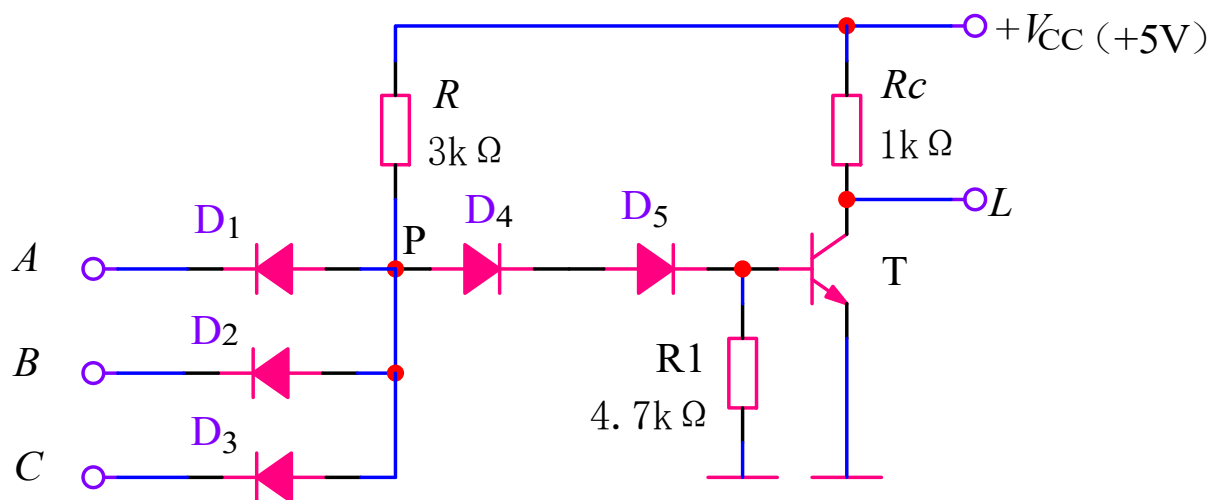
三、DTL与非门电路

工作原理:

(1) 当A、B、C全接为高电平5V时，二极管 $D_1 \sim D_3$ 都截止，而 D_4 、 D_5 和T导通，且T为饱和导通， $V_L = 0.3V$ ，即输出低电平。

(2) A、B、C中只要有一个为低电平0.3V时，则 $V_P \approx 1V$ ，从而使 D_4 、 D_5 和T都截止， $V_L = V_{CC} = 5V$ ，即输出高电平。

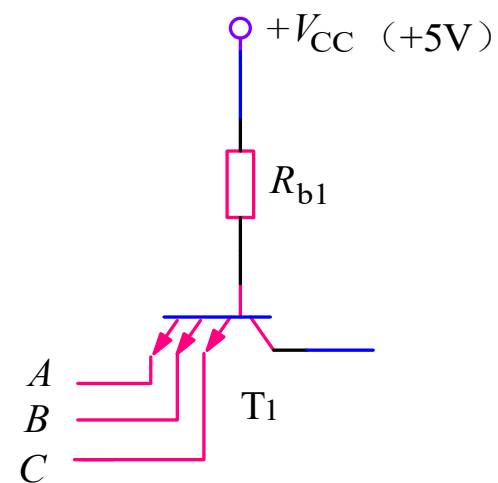
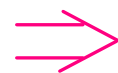
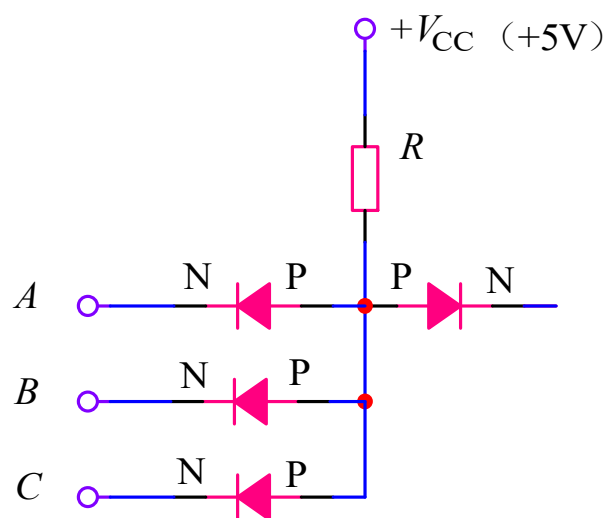
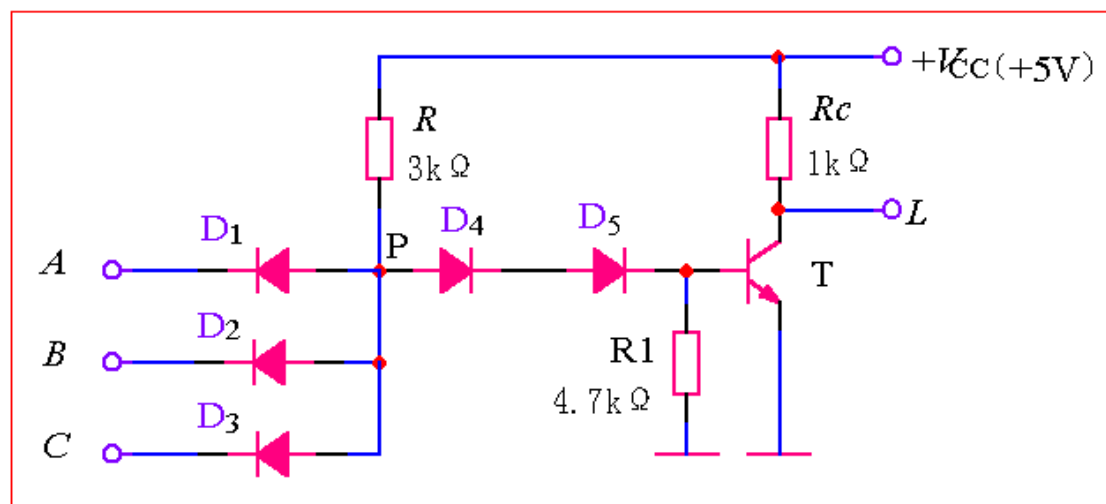
所以该电路满足与非逻辑关系，即：
$$L = \overline{A \cdot B \cdot C}$$

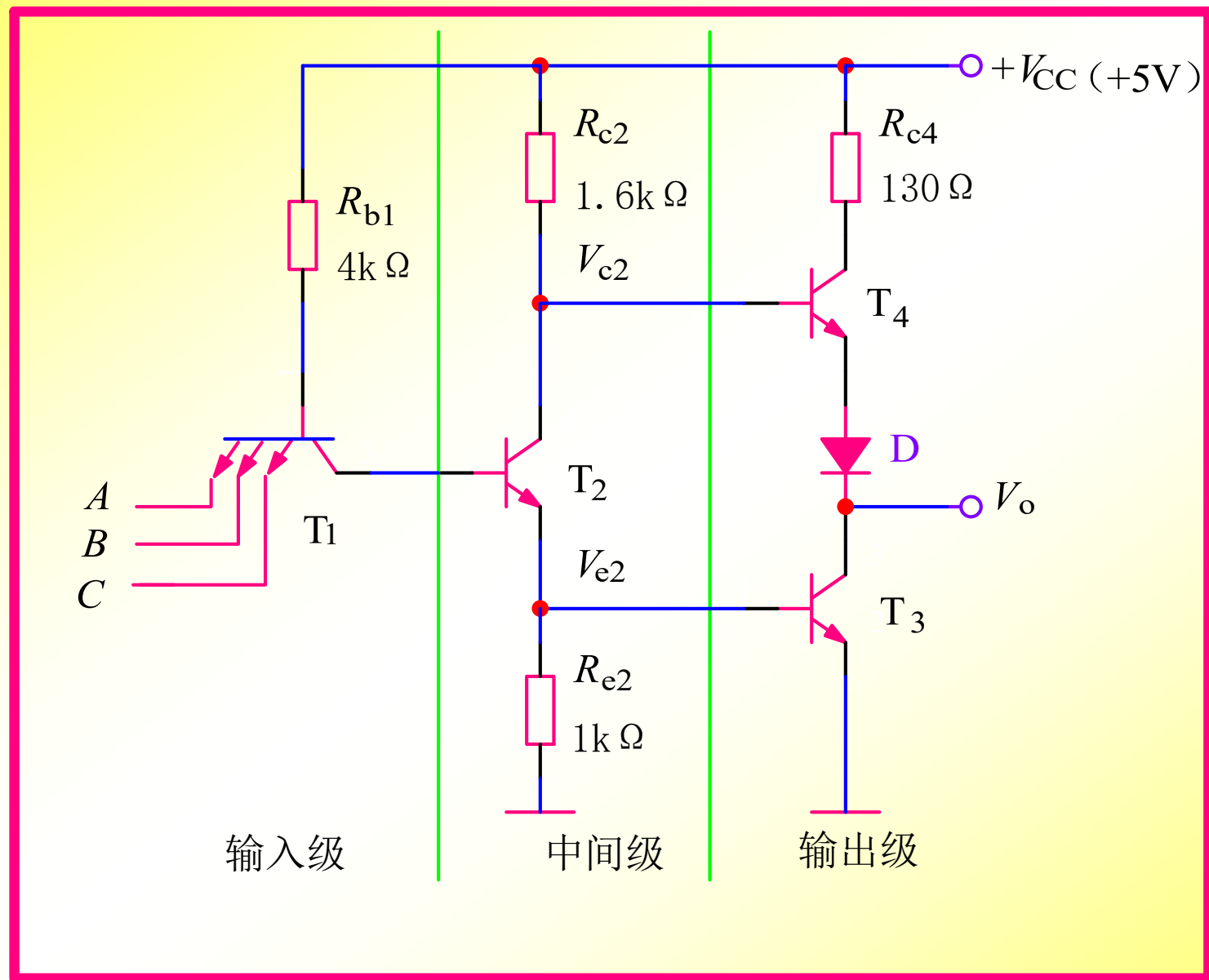


2.2 TTL逻辑门电路

一、TTL

1. TTL-





2. TTL与非门的逻辑关系

(1) 输入全为高电平3.6V时。

T_2 、 T_3 导通， $V_{B1}=0.7 \times 3=2.1$ (V) ，

由于 T_3 饱和导通，输出电压为： $V_0=V_{CES3} \approx 0.3$ V

这时 T_2 也饱和导通，

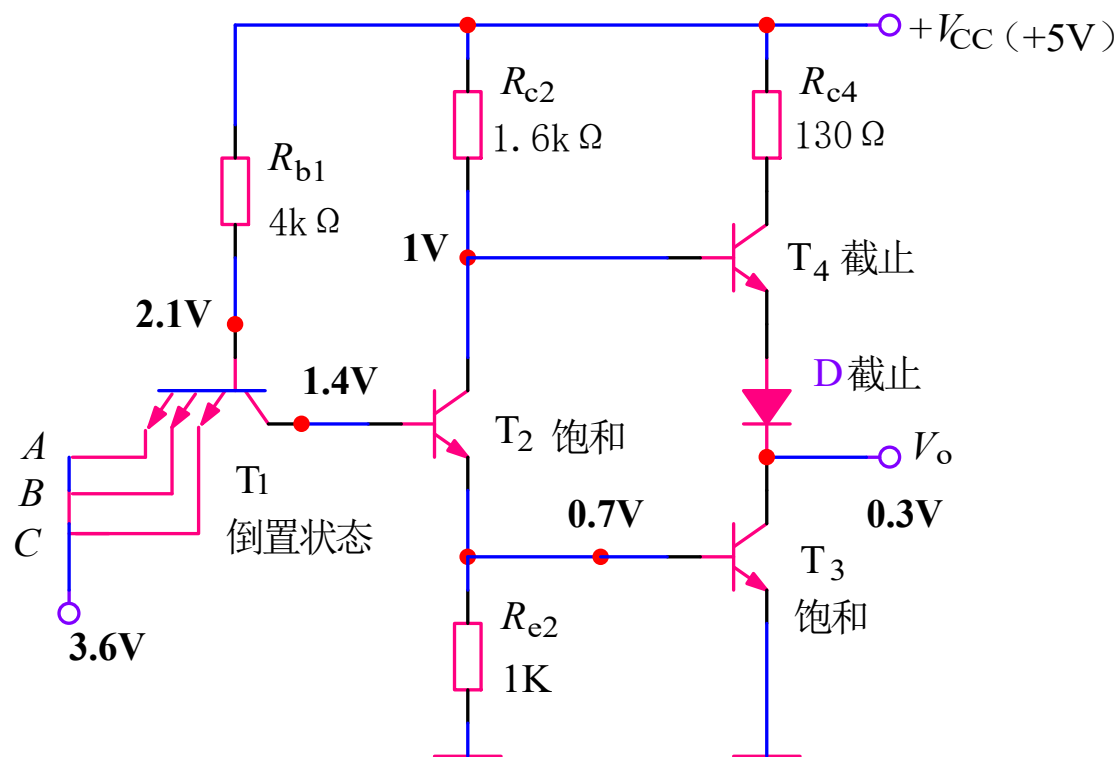
故有 $V_{C2}=V_{E2}+V_{CE2}=1$ V。

使 T_4 和二极管D都截止。

实现了与非门的逻辑功能之一：

输入全为高电平时，

输出为低电平。



(2) 输入有低电平0.3V 时。

该发射结导通， $V_{B1}=1V$ 。所以 T_2 、 T_3 都截止。由于 T_2 截止，流过 R_{C2} 的电流较小，可以忽略，所以 $V_{B4} \approx V_{CC}=5V$ ，使 T_4 和D导通，则有：

$$V_o \approx V_{CC} - V_{BE4} - V_D = 5 - 0.7 - 0.7 = 3.6 \text{ (V)}$$

实现了与非门的逻辑功能的另一方面：

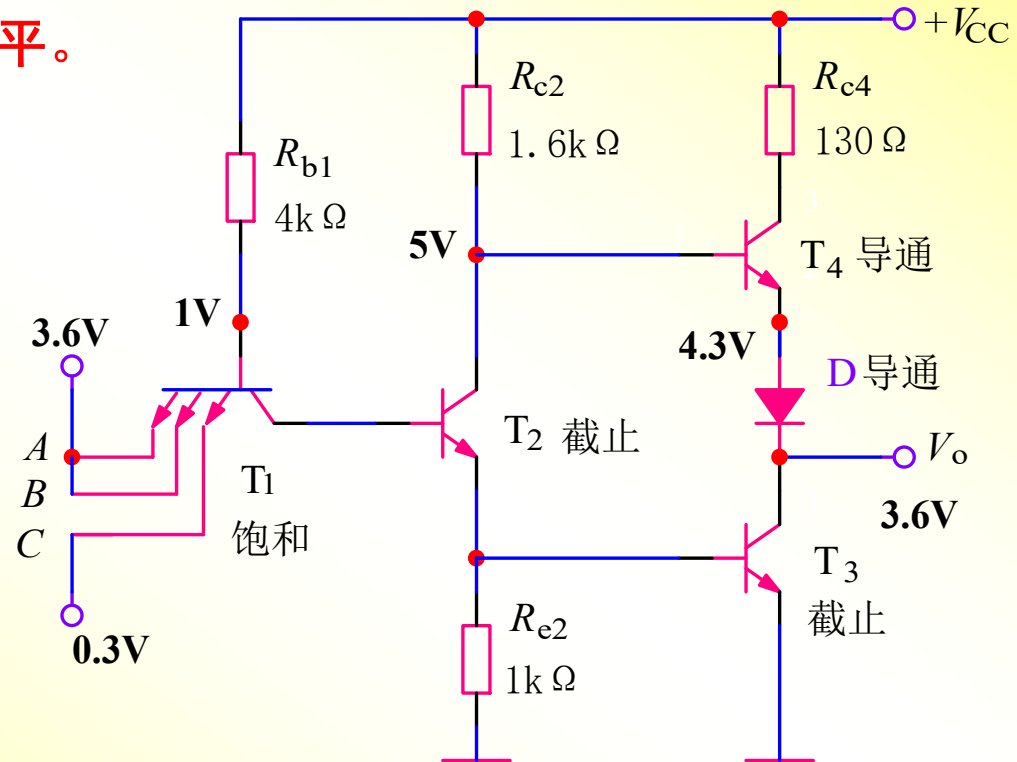
输入有低电平时，输出为高电平。

综合上述两种情况，

该电路满足与非的

逻辑功能，即：

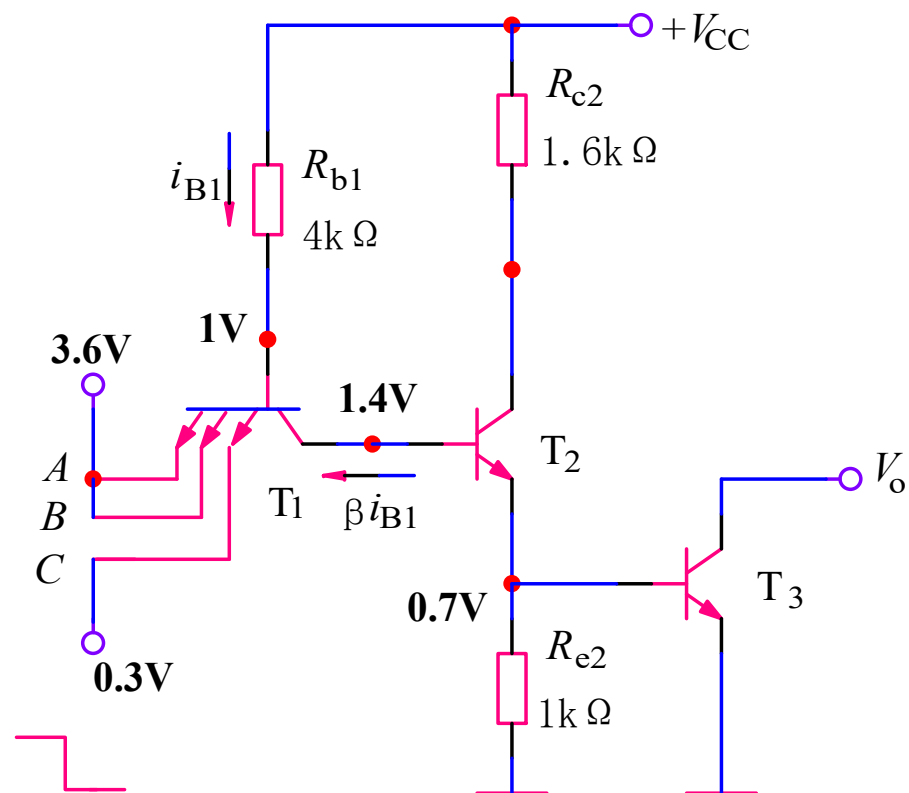
$$L = \overline{A \cdot B \cdot C}$$



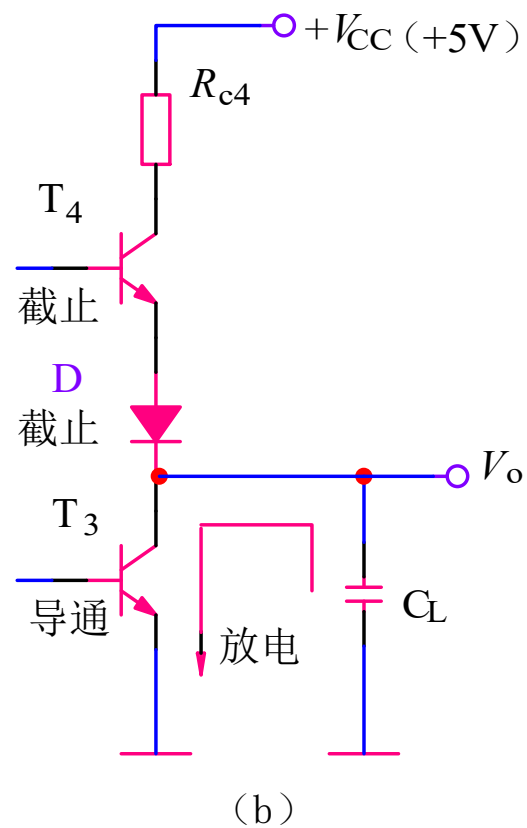
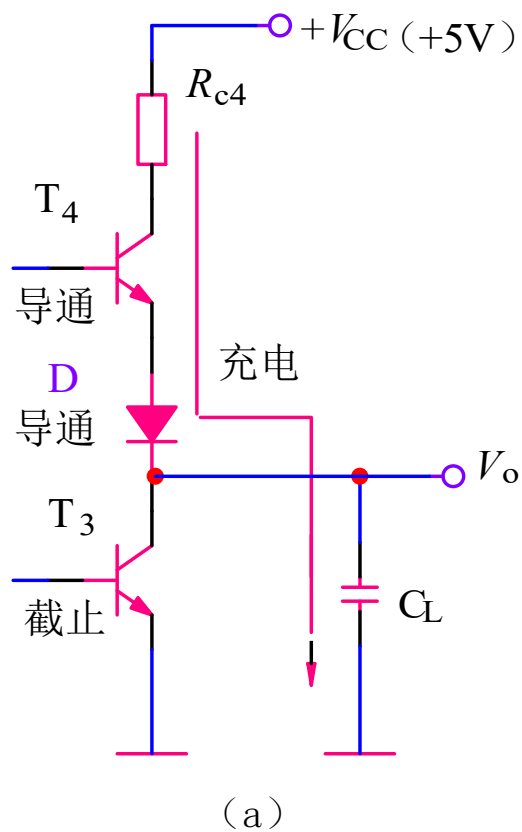
二、TTL与非门的开关速度

1. TTL与非门提高工作速度的原理

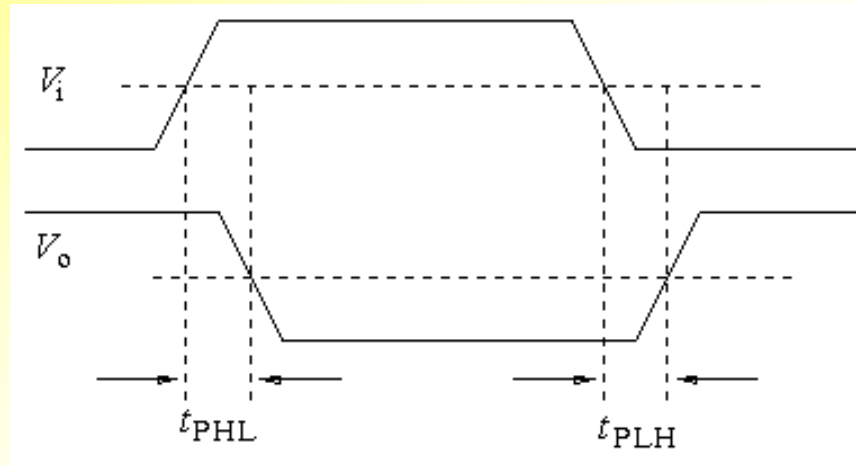
(1) 采用多发射极三极管加快了存储电荷的消散过程。



(2) 采用了推拉式输出级，输出阻抗比较小，可迅速给负载电容充放电。



2. TTL与非门传输延迟时间 t_{pd}



导通延迟时间 t_{PHL} ——从输入波形上升沿的中点到输出波形下降沿的中点所经历的时间。

截止延迟时间 t_{PLH} ——从输入波形下降沿的中点到输出波形上升沿的中点所经历的时间。

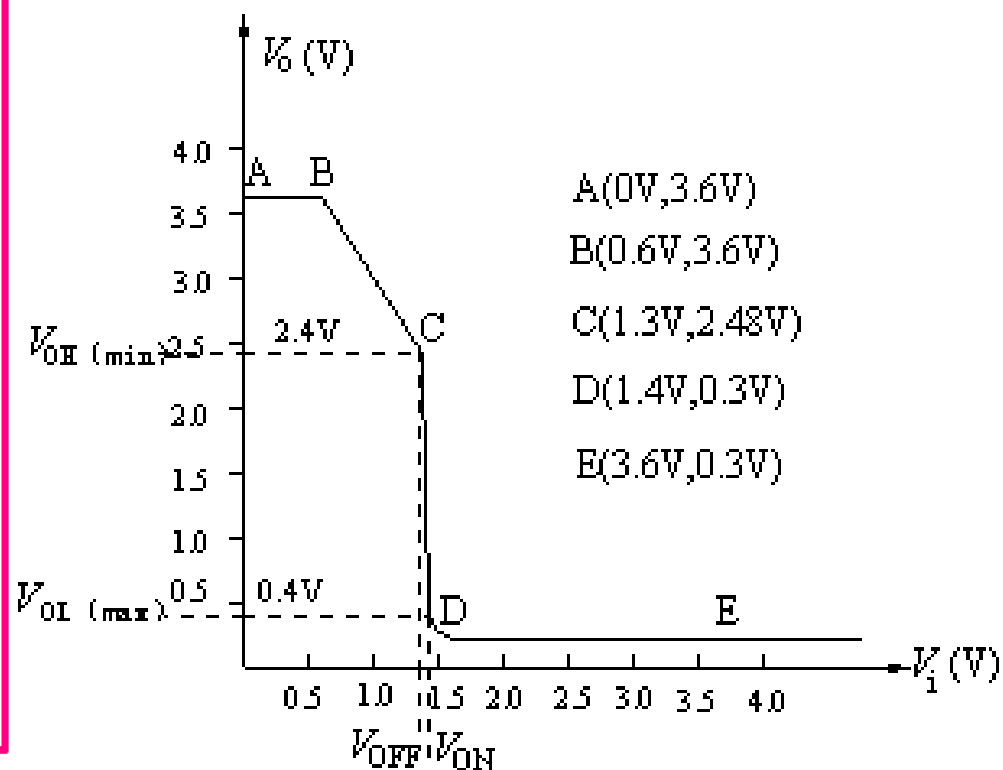
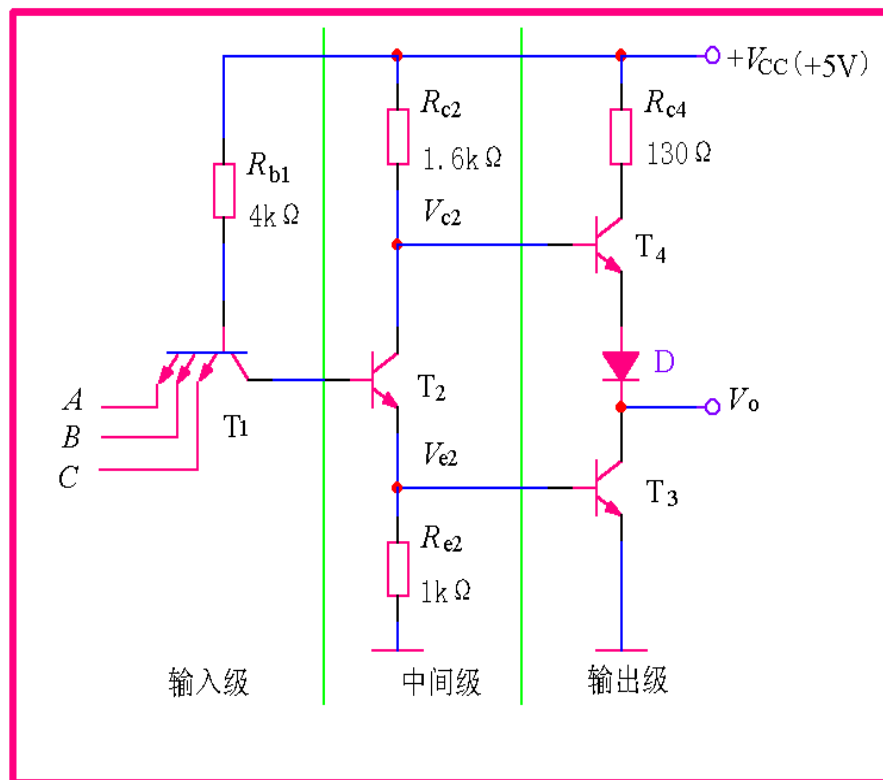
与非门的传输延迟时间 t_{pd} 是 t_{PHL} 和 t_{PLH} 的平均值。即

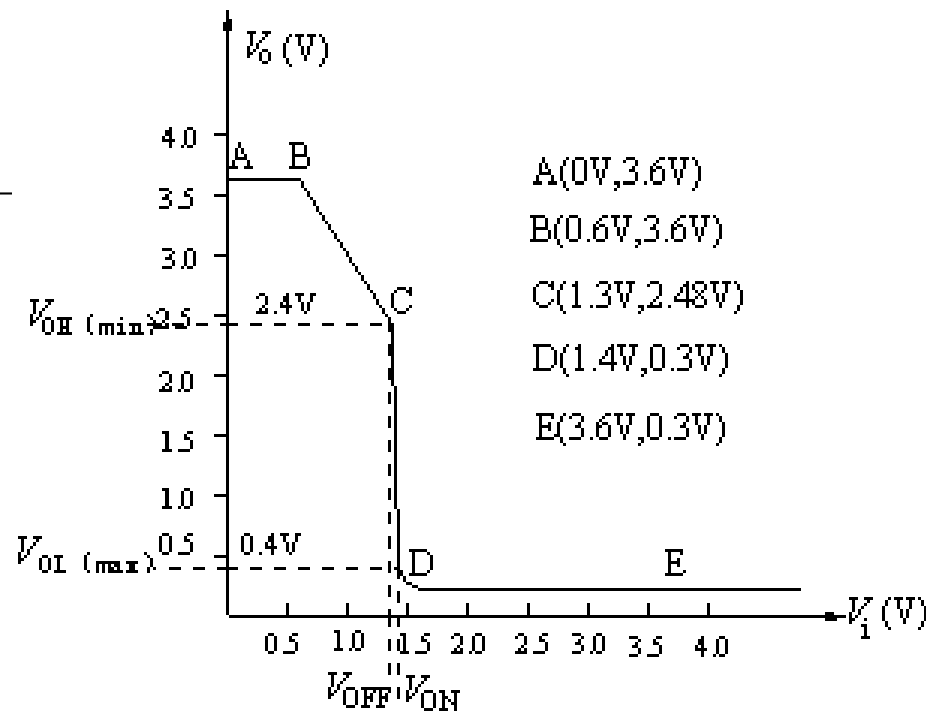
$$t_{pd} = \frac{t_{PLH} + t_{PHL}}{2}$$

一般TTL与非门传输延迟时间 t_{pd} 的值为几纳秒~十几个纳秒。

三、TTL与非门的电压传输特性及抗干扰能力

1. 电压传输特性曲线: $V_o = f(V_i)$





制中代表逻辑“1”的输出电压。

电压的最小值 $V_{OH(min)} = 2.4V$ 。

中代表逻辑“0”的输出电压。 V_{OL} 的最大值 $V_{OL(max)} = 0.4V$ 。

下降到 $V_{OH(min)}$ 时对应的输入电压。中常称为**输入低电平电压**，用 V_{IL}

下降到 $V_{OL(max)}$ 时对应的输入电压。

即输入高电压的最小值。在产品手册中常称为**输入高电平电压**，用 $V_{IH(min)}$ 表示。产品规定 $V_{IH(min)} = 2V$ 。

(5) **阈值电压 V_{th}** ——电压传输特性的过渡区所对应的输入电压，即决定电路截止和导通的分界线，也是决定输出高、低电压的分界线。

近似地： $V_{th} \approx V_{OFF} \approx V_{ON}$

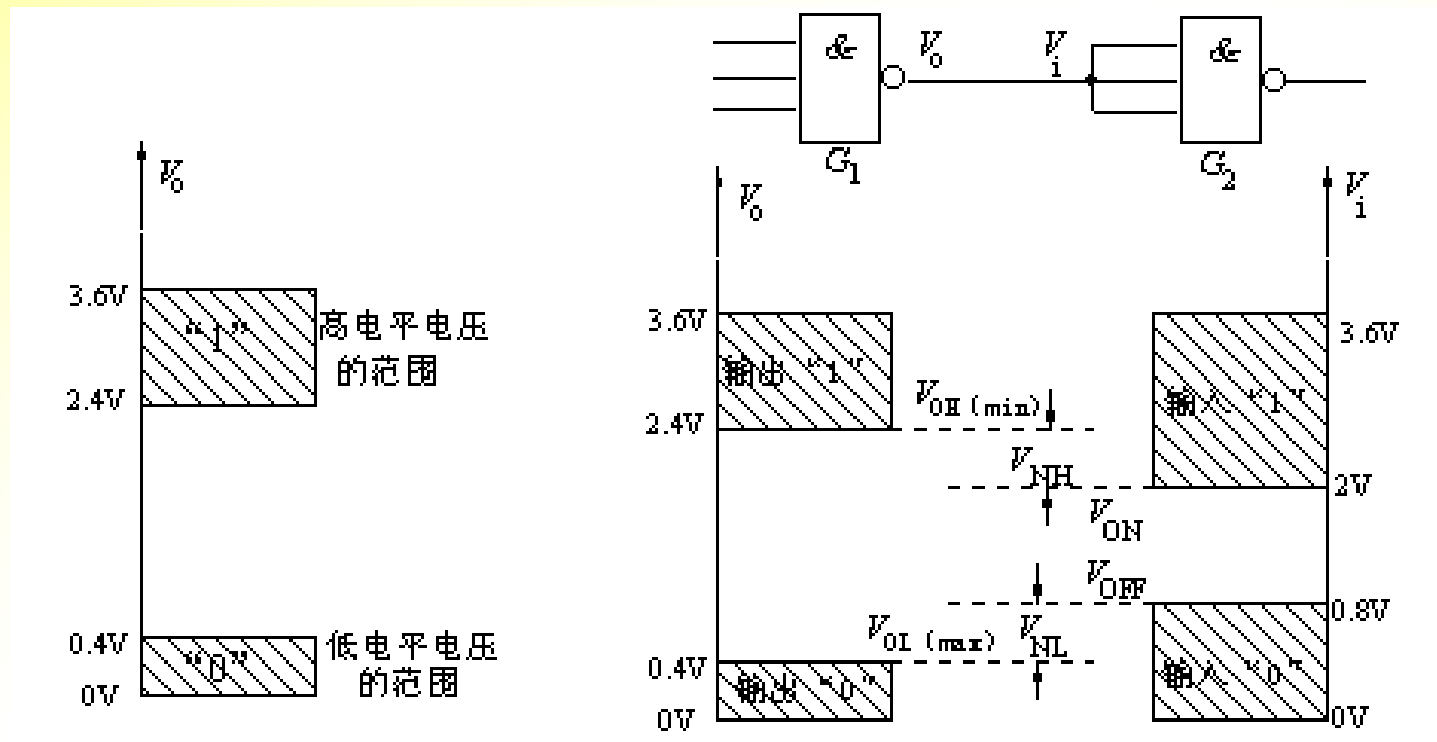
即 $V_i < V_{th}$ ，与非门关门，输出高电平；

$V_i > V_{th}$ ，与非门开门，输出低电平。

V_{th} 又常被形象化地称为**门檻电压**。 V_{th} 的值为 $1.3V \sim 1.4V$ 。

3. 抗干扰能力

TTL门电路的输出高低电平不是一个值，而是一个范围。同样，它的输入高低电平也有一个范围，即它的输入信号允许一定的容差，称为**噪声容限**。



低电平噪声容限

$$V_{NL} = V_{OFF} - V_{OL(\max)} = 0.8V - 0.4V = 0.4V$$

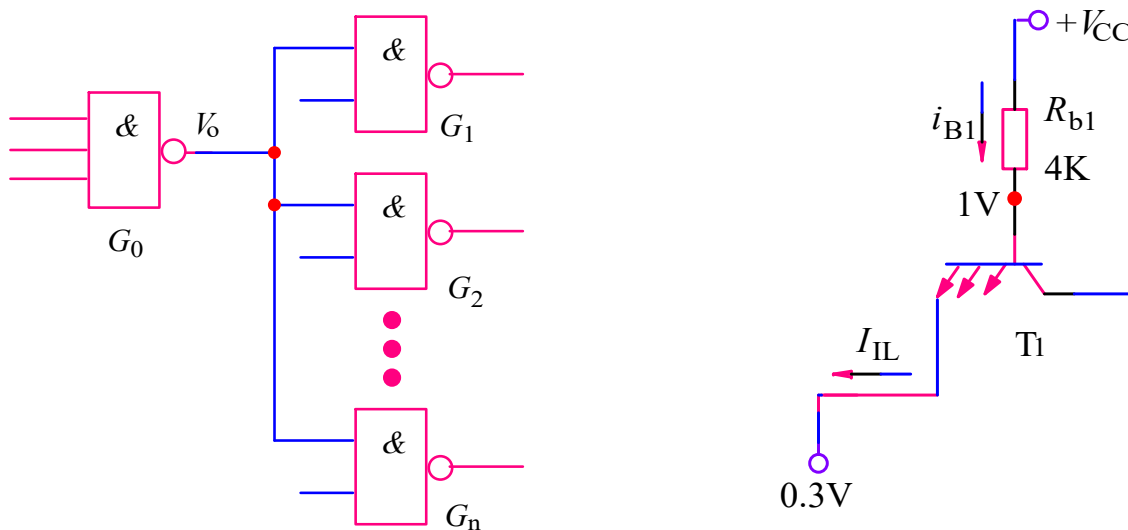
高电平噪声容限

$$V_{NH} = V_{OH(\min)} - V_{ON} = 2.4V - 2.0V = 0.4V$$

四、TTL与非门的带负载能力

1. 输入低电平电流 I_{IL} 与输入高电平电流 I_{IH}

(1) **输入低电平电流 I_{IL}** ——是指当门电路的输入端接低电平时，从门电路输入端流出的电流。



可以算出：

$$I_{IL} = \frac{V_{CC} - V_{B1}}{R_{b1}} = \frac{5 - 1}{4} = 1(\text{mA})$$

产品规定 $I_{IL} < 1.6\text{mA}$ 。

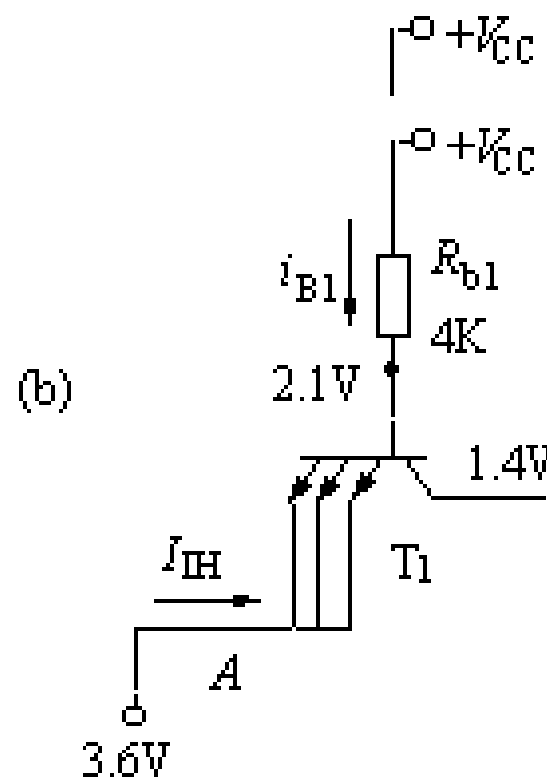
(2) **输入高电平电流 I_{IH}** ——是指当门电路的输入端接高电平时，流入输入端的电流。有两种情况。

①寄生三极管效应：如图（a）所示。

这时 $I_{IH} = \beta_P I_{B1}$ ， β_P 为寄生三极管的电流放大系数。

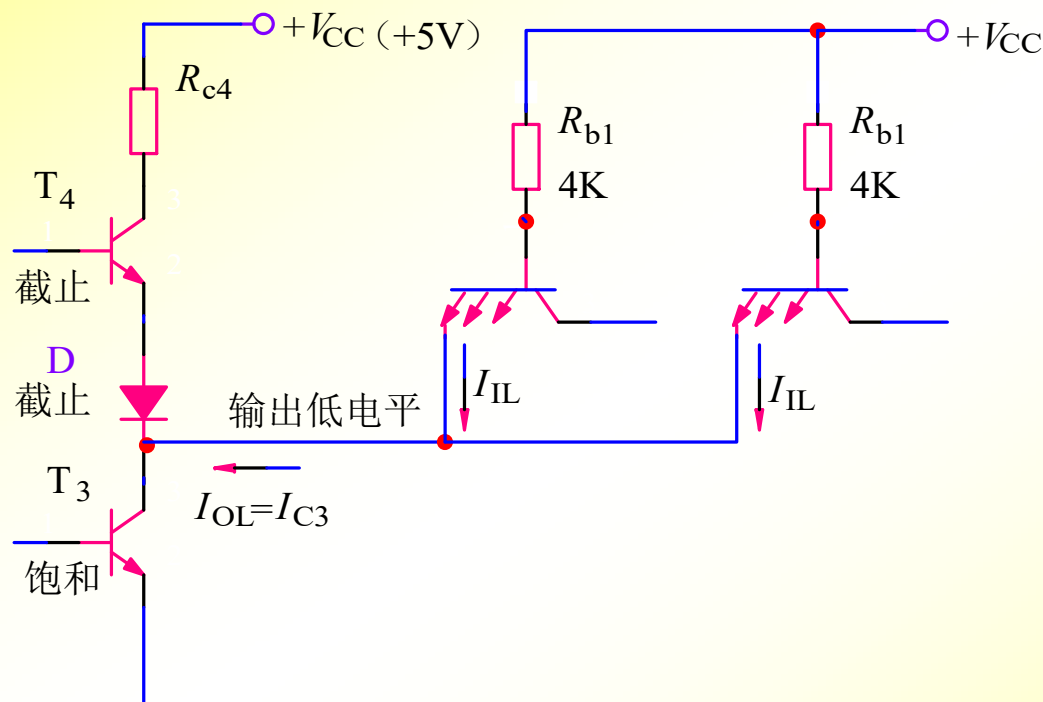
②倒置的放大状态：如图（b）所示。这时 $I_{IH} = \beta_i I_{B1}$ ， β_i 为倒置放大的电流放大系数。

由于 β_P 和 β_i 的值都远小于1，
所以 I_{IH} 的数值比较小，产品规定： $I_{IH} < 40\mu A$ 。



2. 带负载能力

(1) 灌电流负载



当驱动门输出低电平时，电流从负载门灌入驱动门。

当负载门的个数增加，灌电流增大，会使 T_3 脱离饱和，输出低电平升高。因此，把允许灌入输出端的电流定义为**输出低电平电流 I_{OL}** ，产品规定 $I_{OL}=16\text{mA}$ 。由此可得出：

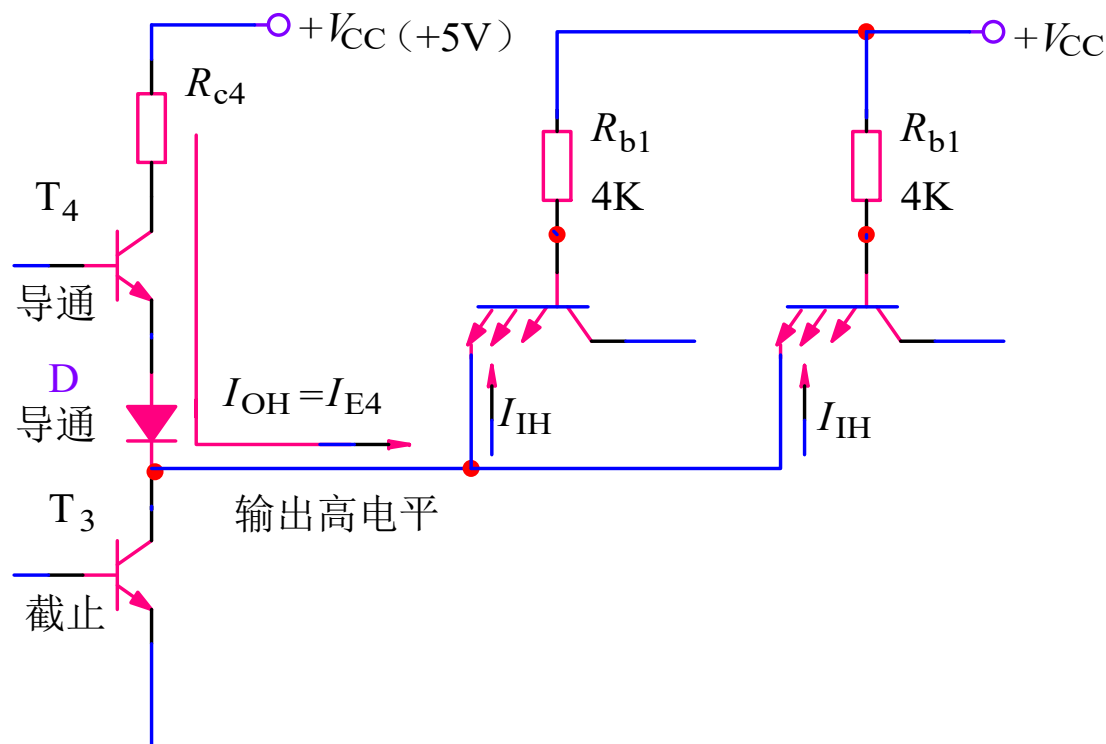
$$N_{OL} = \frac{I_{OL}}{I_{IL}}$$

N_{OL} 称为输出低电平时的扇出系数。

(2) 拉电流负载。

当驱动门输出高电平时，
电流从驱动门拉出，流至
负载门的输入端。

拉电流增大时， R_{C4} 上的
压降增大，会使输出高
电平降低。因此，把允
许拉出输出端的电流定
义为**输出高电平电流** I_{OH} 。



产品规定 $I_{OH}=0.4\text{mA}$ 。由此可得出：

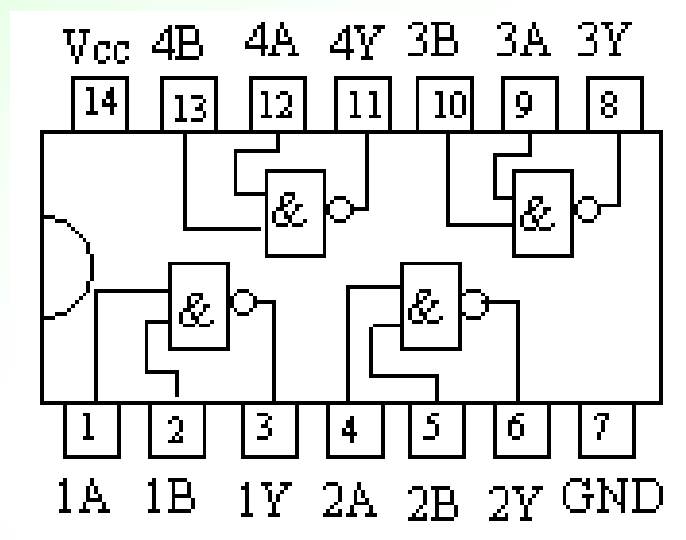
$$N_{OH} = \frac{I_{OH}}{I_{IH}}$$

N_{OH} 称为输出高电平时的扇出系数。

一般 $N_{OL} \neq N_{OH}$ ，常取两者中的较小值作为门电路的扇出系数，用 N_O 表示。

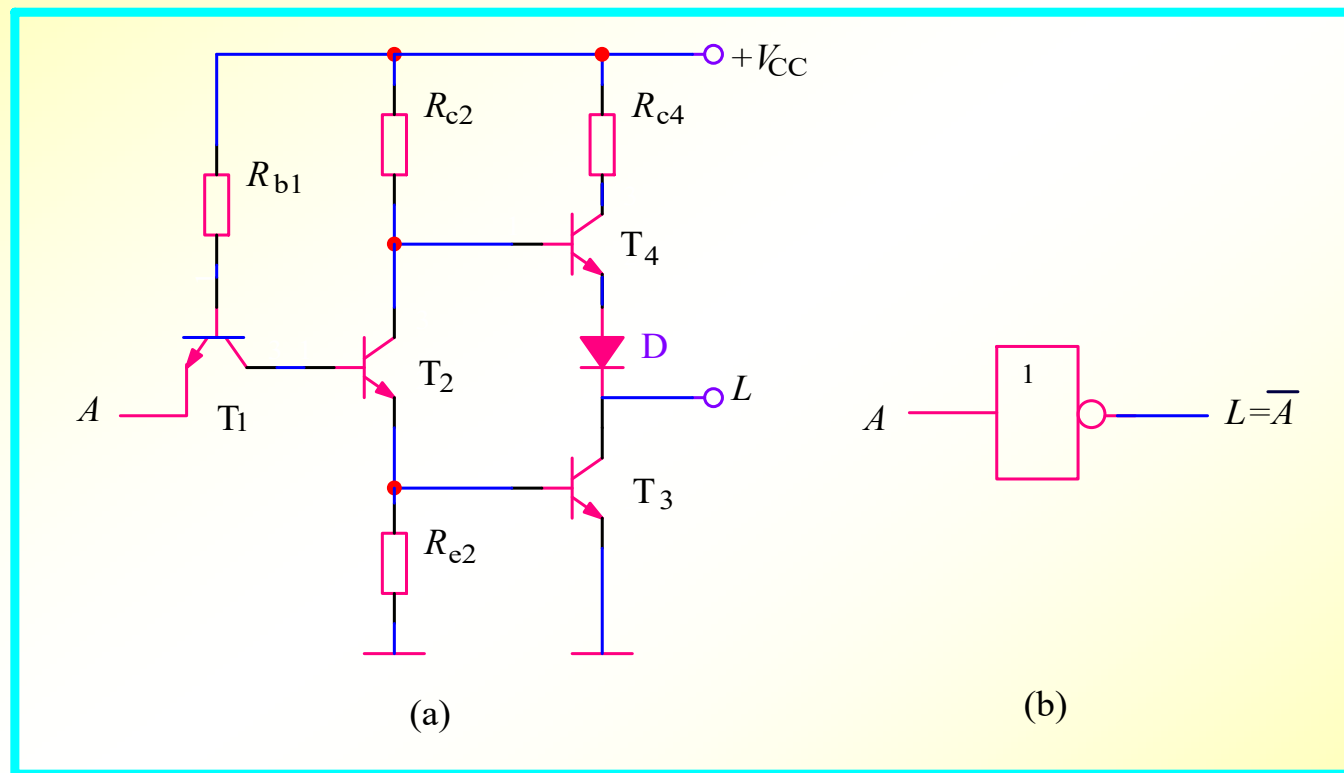
五、TTL与非门举例——7400

7400是一种典型的TTL与非门器件，内部含有4个2输入端与非门，共有14个引脚。引脚排列图如图所示。

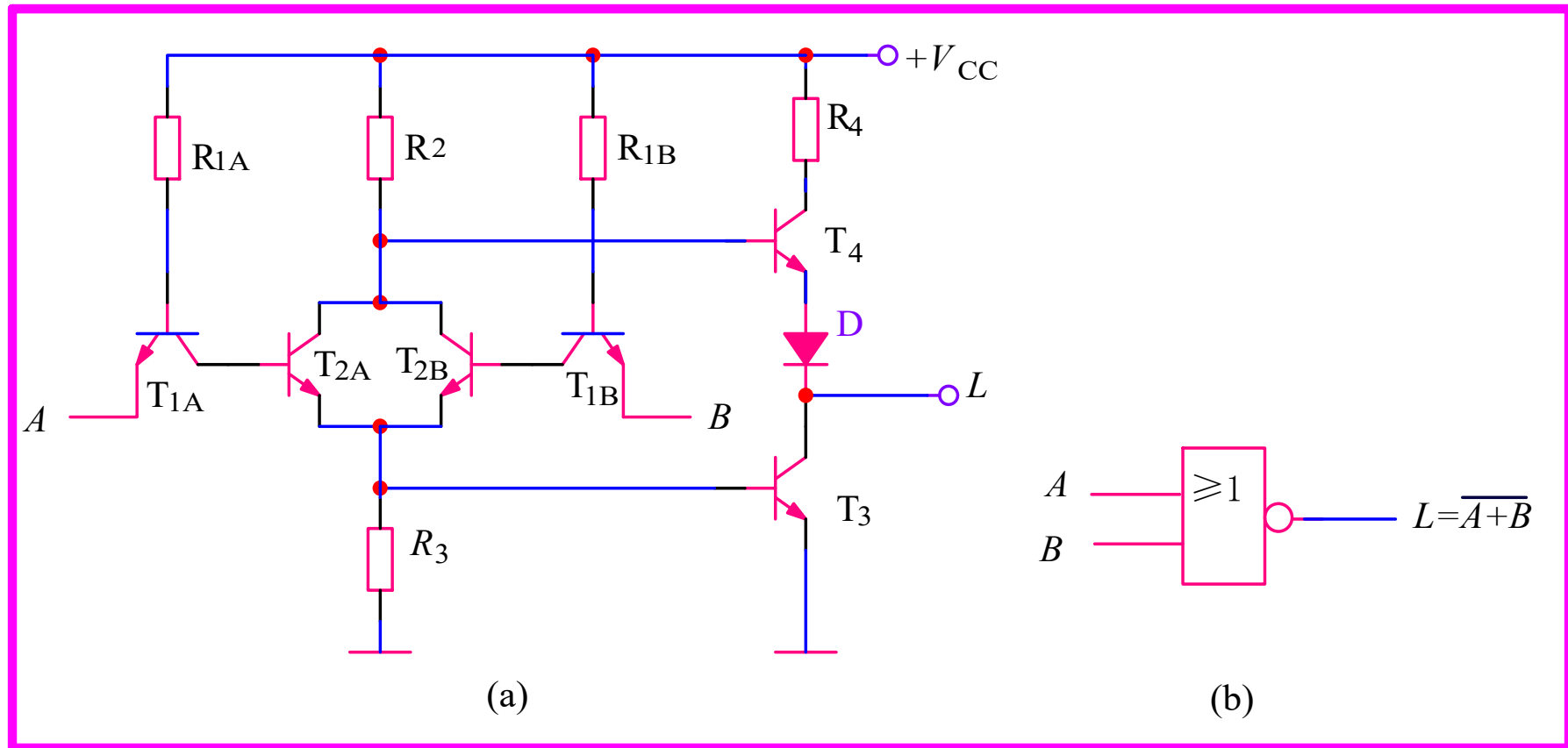


六、 TTL门电路的其他类型

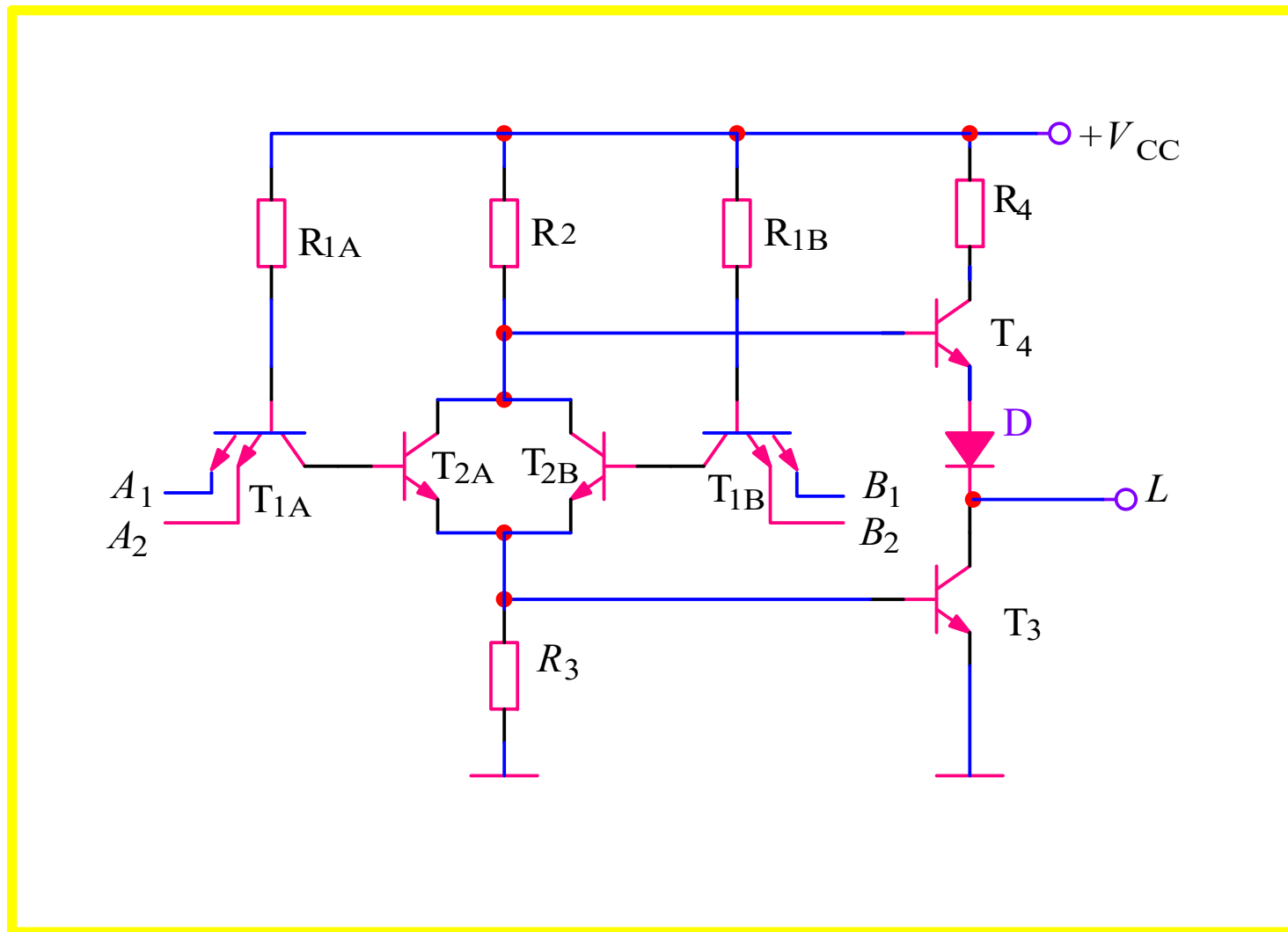
1. 非门



2. 或非门



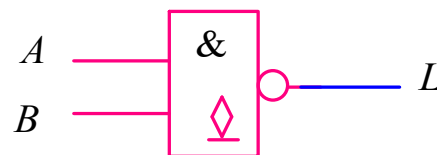
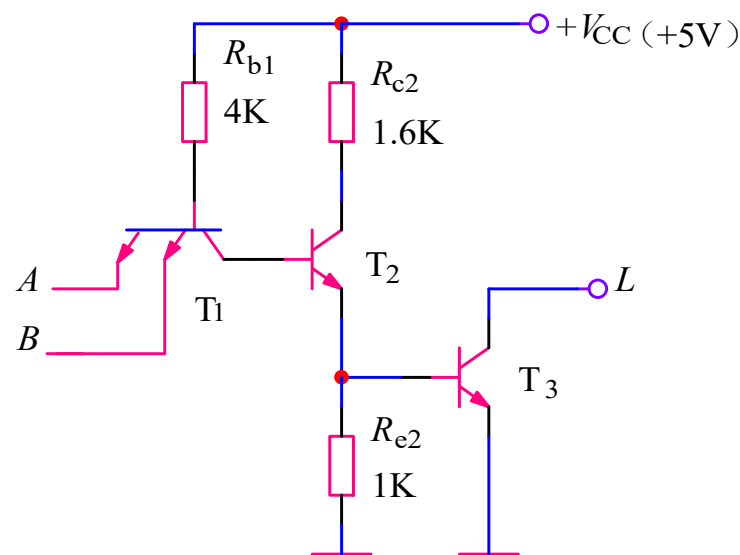
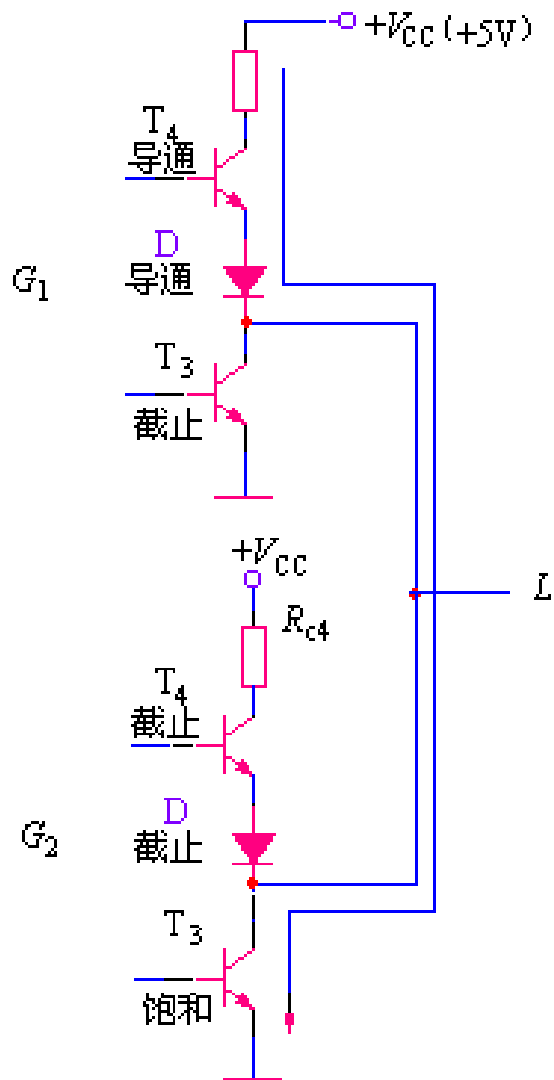
3. 与或非门



4. 集电极开路门（OC门）

在工程实践中，有时需要将几个门的输出端并联使用，以实现与逻辑，称为**线与**。**普通的TTL门电路不能进行线与**。

为此，专门生产了一种可以进行线与的门电路——集电极开路门。

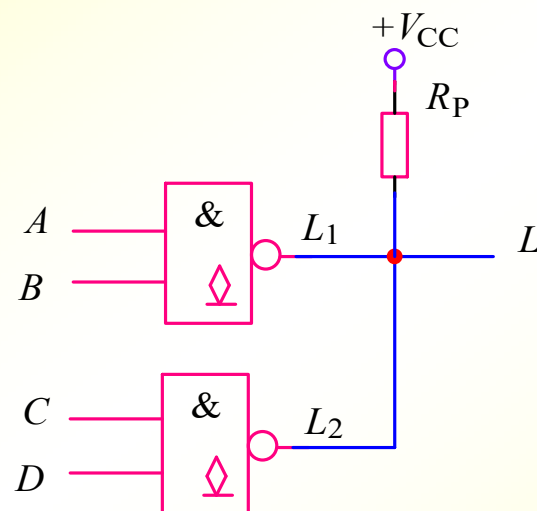


OC门主要有以下几方面的应用：

(1) 实现线与。

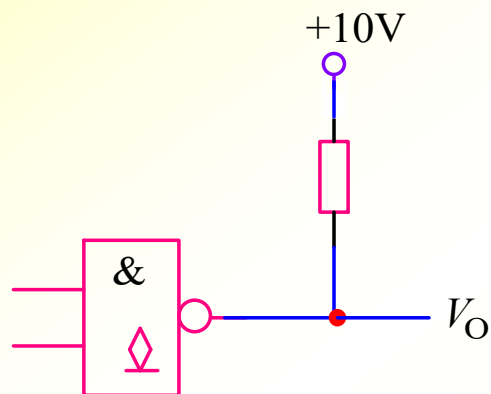
电路如右图所示，逻辑关系为：

$$L = L_1 \cdot L_2 = \overline{AB} \cdot \overline{CD}$$



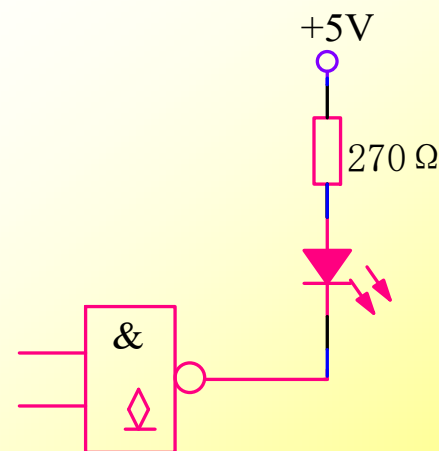
(2) 实现电平转换。

如图示，可使输出高电平变为10V。



(3) 用做驱动器。

如图是用来驱动发光二极管的电路。



OC门进行线与时，外接上拉电阻 R_P 的选择：

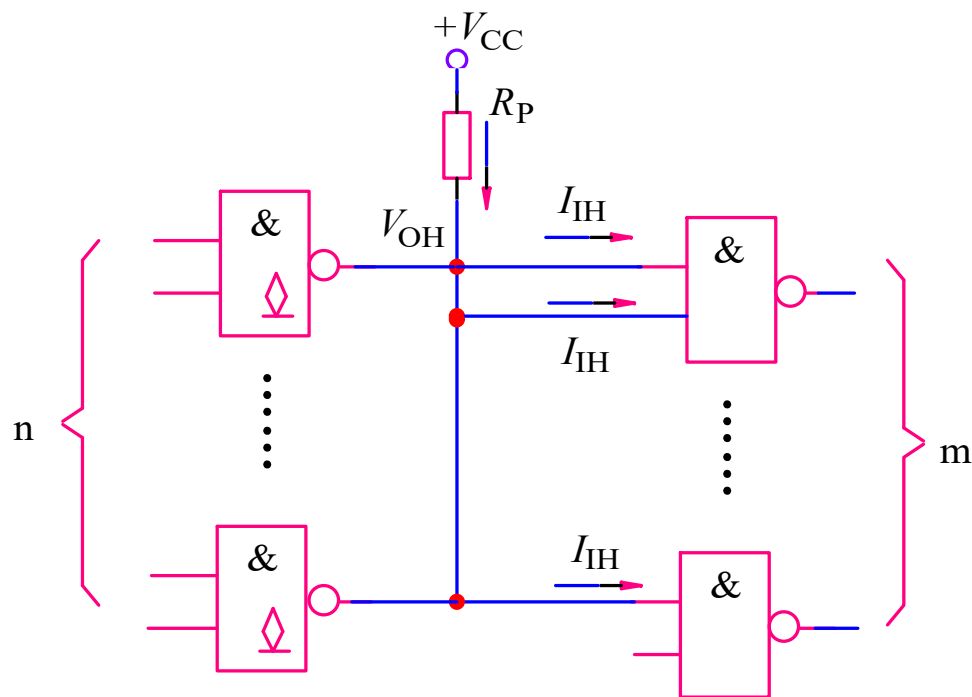
(1) 当输出高电平时，

R_P 不能太大。 R_P 为最大值时要保证输出电压为 $V_{OH(\min)}$ ，由

$$V_{CC} - V_{OH(\min)} = m' I_{IH} R_{P(\max)}$$

得：

$$R_{P(\max)} = \frac{V_{CC} - V_{OH(\min)}}{m' \cdot I_{IH}}$$



(2) 当输出低电平时，
 R_P 不能太小。 R_P 为最小值时要保证输出电压为 $V_{OL(max)}$ ，
由

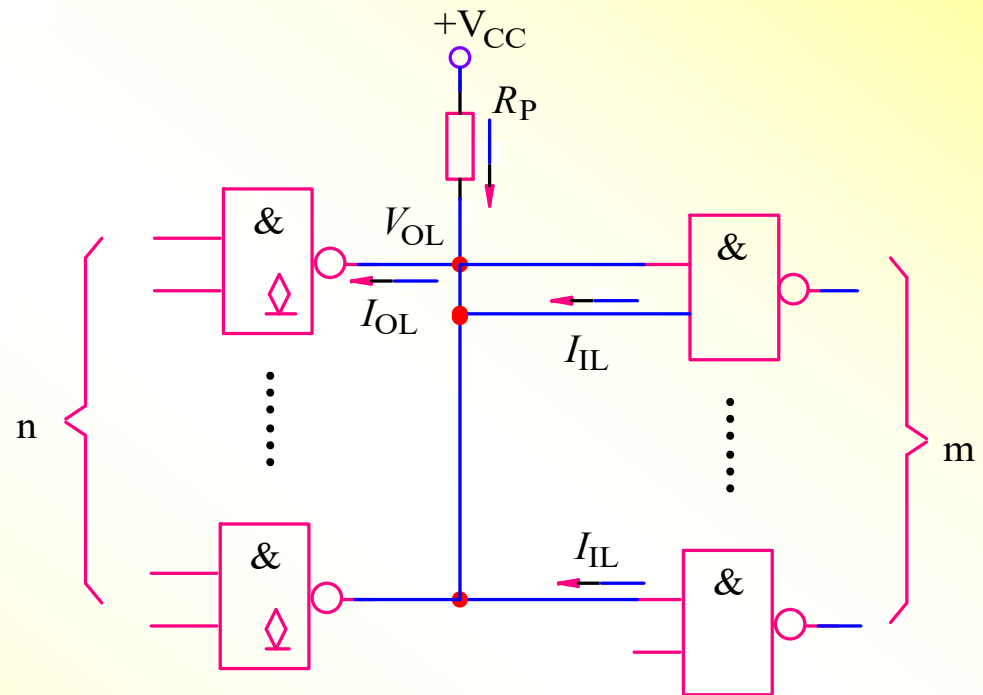
$$I_{OL(max)} = \frac{V_{CC} - V_{OL(max)}}{R_{P(min)}} + m \cdot I_{IL}$$

得：

$$R_{P(min)} = \frac{V_{CC} - V_{OL(max)}}{I_{OL(max)} - m \cdot I_{IL}}$$

所以：

$$R_{P(min)} < R_P < R_{P(max)}$$

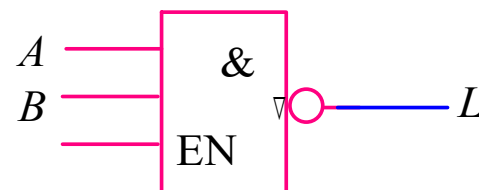
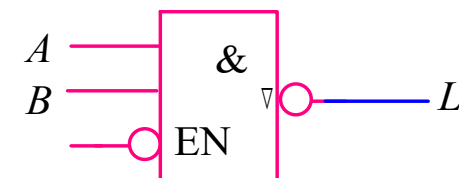
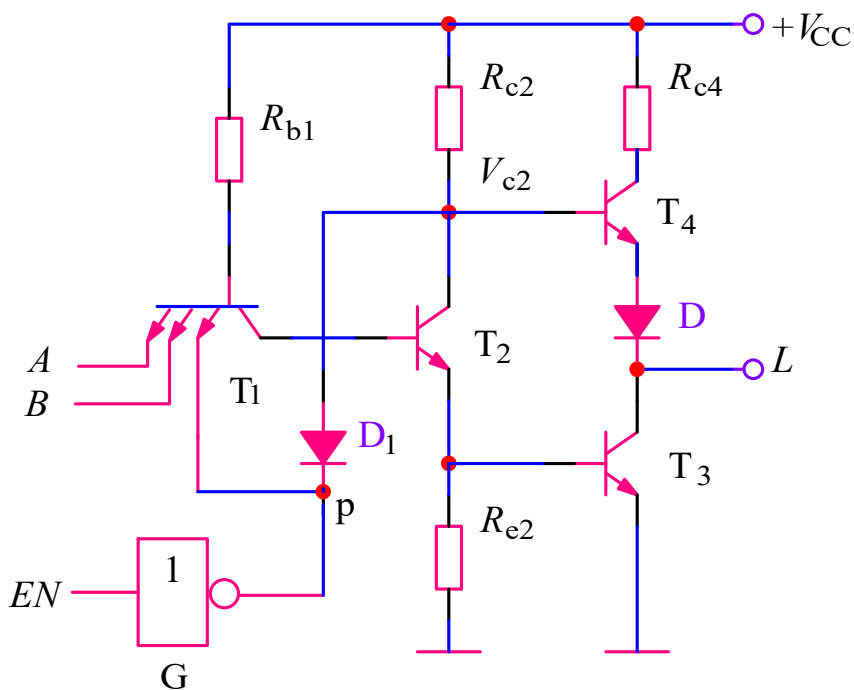


5. 三态输出门

(1) 三态输出门的结构及工作原理。

当 $EN=0$ 时， G 输出为1， D_1 截止，相当于一个正常的二输入端与非门，称为正常工作状态。

当 $EN=1$ 时， G 输出为0， T_4 、 T_3 都截止。这时从输出端 L 看进去，呈现高阻，称为高阻态，或禁止态。

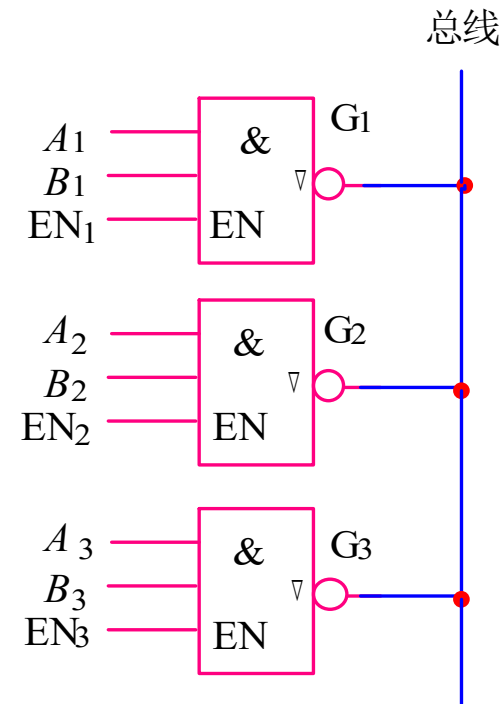
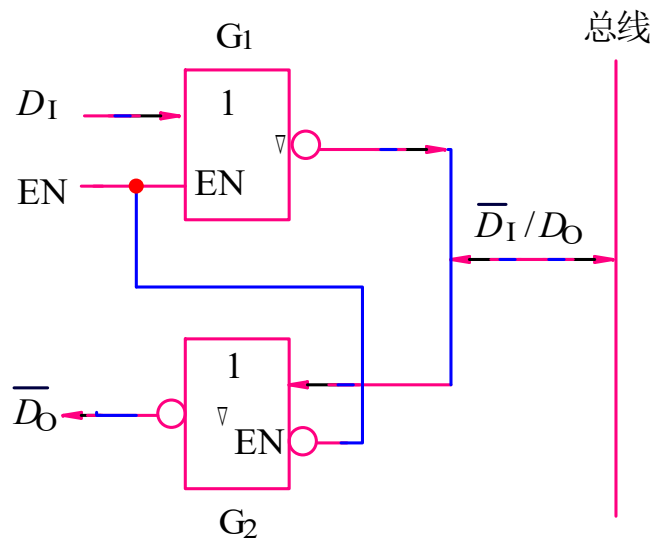


(2) 三态门的应用

三态门在计算机总线结构中有着广泛的应用。

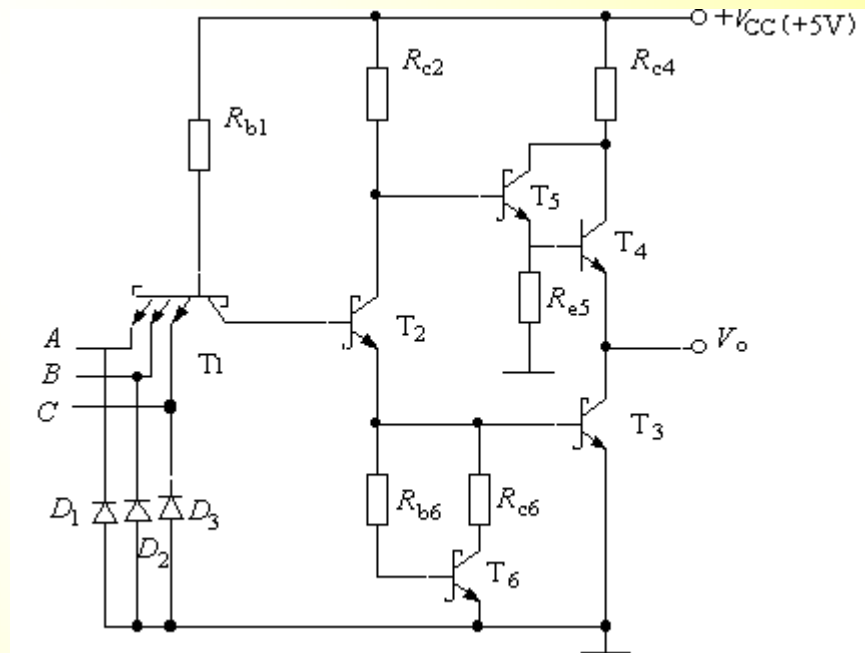
(a) 组成单向总线，
实现信号的分时单向传送。

(b) 组成双向总线，
实现信号的分时双向传送。



七、TTL集成逻辑门电路系列简介

1. 74系列——为TTL集成电路的早期产品，属中速TTL器件。
2. 74L系列——为低功耗TTL系列，又称LTTL系列。
3. 74H系列——为高速TTL系列。
4. 74S系列——为肖特基TTL系列，进一步提高了速度。如图示。
5. 74LS系列——为低功耗肖特基系列。
6. 74AS系列——为先进肖特基系列，它是74S系列的后继产品。
7. 74ALS系列——为先进低功耗肖特基系列，是74LS系列的后继产品。



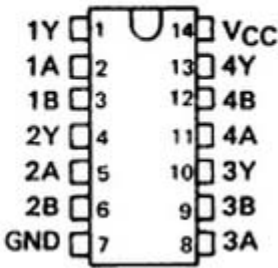
74/54LS02 四2输入或非门NOR

Quad 2-Input NOR Gate

逻辑表:

输入		输出
A	B	Y
H	H	L
L	H	L
H	L	L
L	L	H

外引线排列图



推荐工作条件

符号	参数名称	74 II			54			单位
		参数值			参数值			
		最小	典型	最大	最小	典型	最大	
V _{CC}	电源电压	4.75	5	5.25	4.5	5	5.5	V
V _{IH}	输入高电平电压	2			2			V
V _{IL}	输入低电平电压			0.8			0.7	V
I _{OH}	输出高电平电流			-400			-400	μA
I _{OL}	输出低电平电流			8			4	mA
T _A	工作环境温度	-40		85	-55		125	℃

电 性 能: (除特别说明外, 均为全温度范围)

符号	参数名称	测试条件	74 II			54			单位
			参数值			参数值			
			最小	典型	最大	最小	典型	最大	
V _{IK}	输入钳位电压	V _{CC} = 最小 I _I =-18mA			-1.5			-1.5	V
V _{OH}	输出高电平电压	V _{CC} = 最小 V _{IL} =最大 I _{OH} =最大	2.7			2.5	3.4		V
V _{OL}	输出低电平电压	V _{CC} = 最小 V _{IH} =2V I _{OL} =最大			0.5		0.25	0.4	V
I _I	输入电流 (最大输入电压时)	V _{CC} = 最大 V _I =7V			0.1			0.1	mA
I _{IH}	输入高电平电流	V _{CC} = 最大 V _I =2.7V			20			20	μA
I _{IL}	输入低电平电流	V _{CC} = 最大 V _I =0.4V			-0.4			-0.4	mA
I _{OS}	输出短路电流	V _{CC} = 最大 V _O =0V	-20		-100	-20		-100	mA
I _{CCH}	高电平电源电流	V _{CC} = 最大 V _I =0V			3.2		1.6	3.2	mA
I _{CCL}	低电平电源电流	V _{CC} = 最大 输入开路			5.4		2.8	5.4	mA

注: 所有典型值均在 $V_{CC}=5.0\text{V}$, $T_A=25^\circ\text{C}$ 下测量得出。

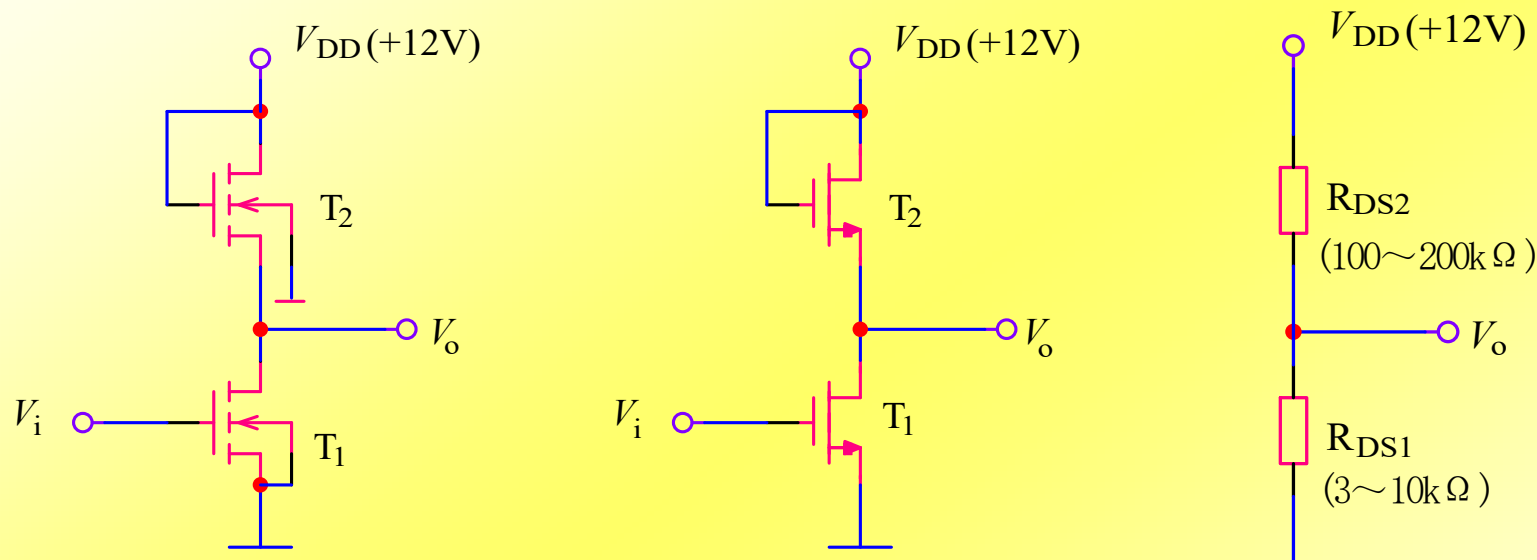
交流 (开关) 参数: $V_{CC}=5.0\text{V}$, $T_A=25^\circ\text{C}$

符号	参数名称	从 (输入)	到 (输出)	测试条件	参数值			单位
					最小	典型	最大	
t_{PLH}	传输延迟	A 或 B	Y	$C_L=15\text{pF } R_L=2\text{k}\Omega$		10	15	ns
t_{PHL}	传输延迟	A 或 B	Y			10	15	ns

2.3 MOS逻辑门电路

一、NMOS门电路

1. NMOS非门



逻辑关系：（设两管的开启电压为 $V_{T1}=V_{T2}=4V$ ，且 $g_{m1} \gg g_{m2}$ ）

（1）当输入 V_i 为高电平8V时， T_1 导通， T_2 也导通。因为 $g_{m1} \gg g_{m2}$ ，所以两管的导通电阻 $R_{DS1} \ll R_{DS2}$ ，输出电压为：

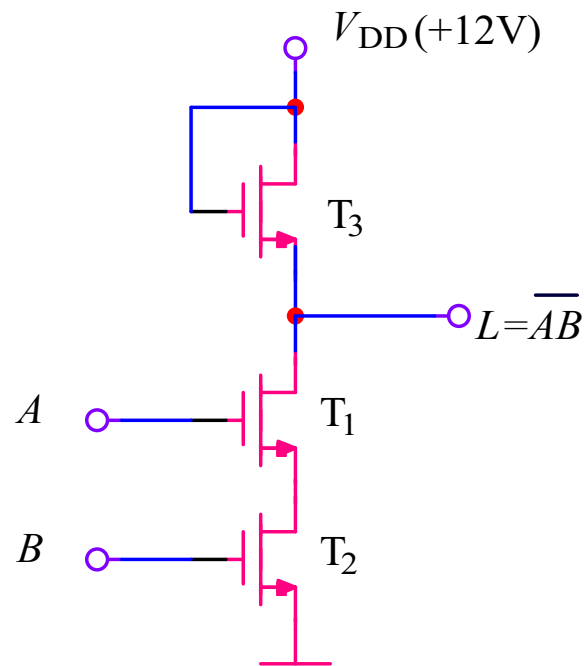
$$V_{OL} = \frac{R_{DS1}}{R_{DS1} + R_{DS2}} V_{DD} \leq 1V$$

所以输出为低电平。

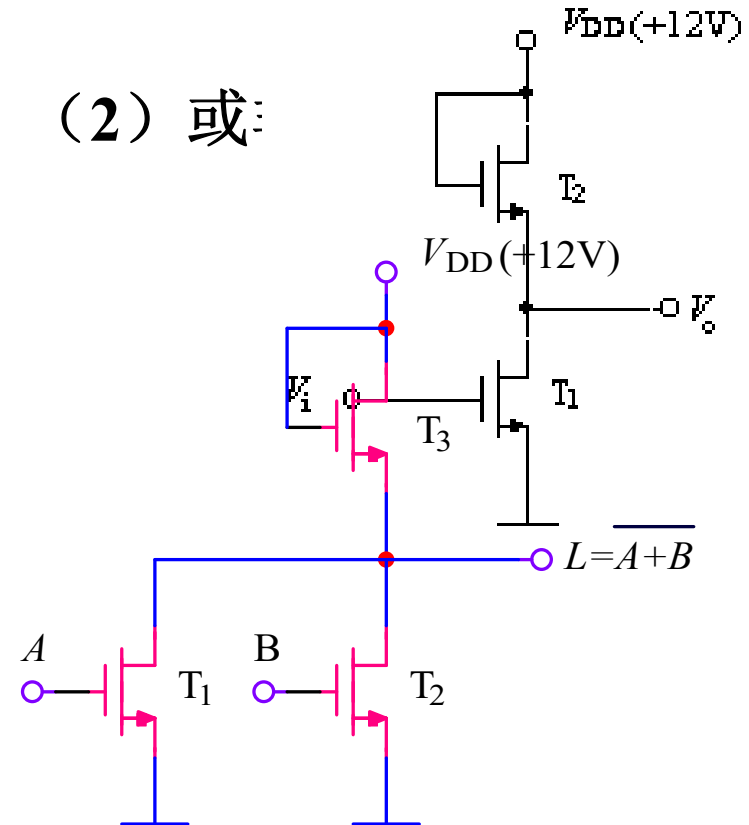
(2) 当输入 V_i 为低电平 $0V$ 时， T_1 截止， T_2 导通。所以输出电压为 $V_{OH} = V_{DD} - V_T = 8V$ ，即输出为高电平。所以电路实现了非逻辑。

2. NMOS门电路

(1) 与非门

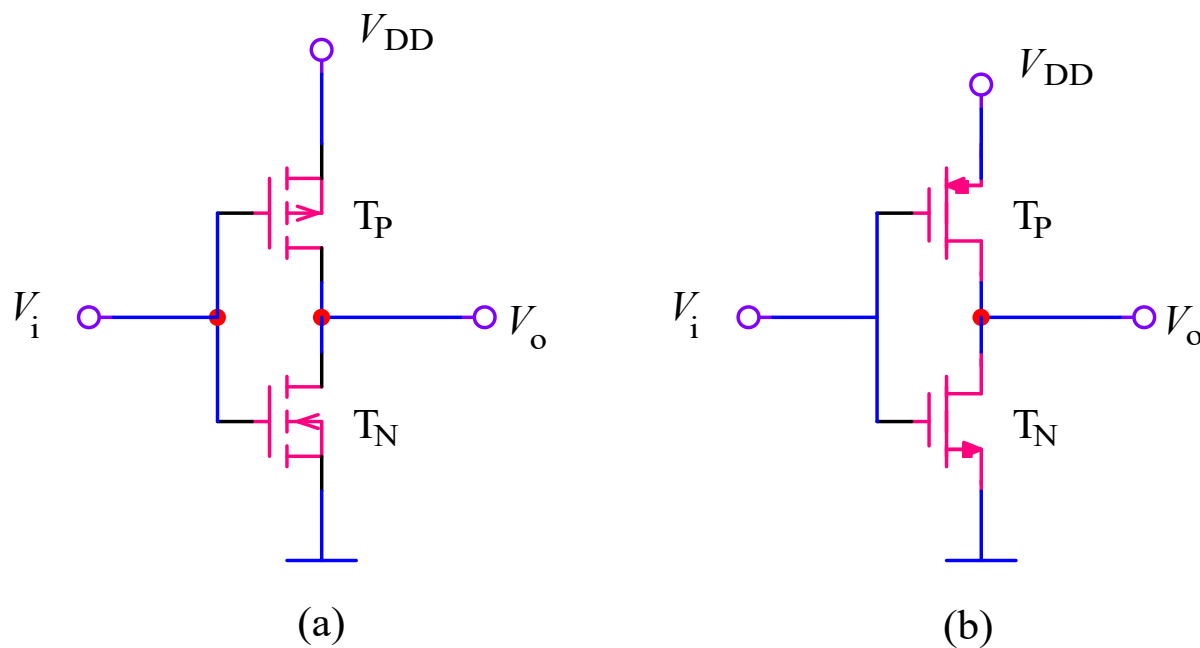


(2) 或门



二、CMOS非门

CMOS逻辑门电路是由N沟道MOSFET和P沟道MOSFET互补而成。



1. 逻辑关系:

(设 $V_{DD} > (V_{TN} + |V_{TP}|)$, 且 $V_{TN} = |V_{TP}|$)

(1) 当 $V_i = 0V$ 时, T_N 截止, T_P 导通。输出 $V_o \approx V_{DD}$ 。

(2) 当 $V_i = V_{DD}$ 时, T_N 导通, T_P 截止, 输出 $V_o \approx 0V$ 。

2. 电压传输特性: (设: $V_{DD}=10V$, $V_{TN}=|V_{TP}|=2V$)

(1) 当 $V_i < 2V$, T_N 截止, T_P 导通, 输出 $V_o \approx V_{DD} = 10V$ 。

(2) 当 $2V < V_i < 5V$, T_N 工作在饱和区, T_P 工作在可变电阻区。

(3) 当 $V_i = 5V$, 两管都工作在饱和区,
 $V_o = (V_{DD}/2) = 5V$ 。

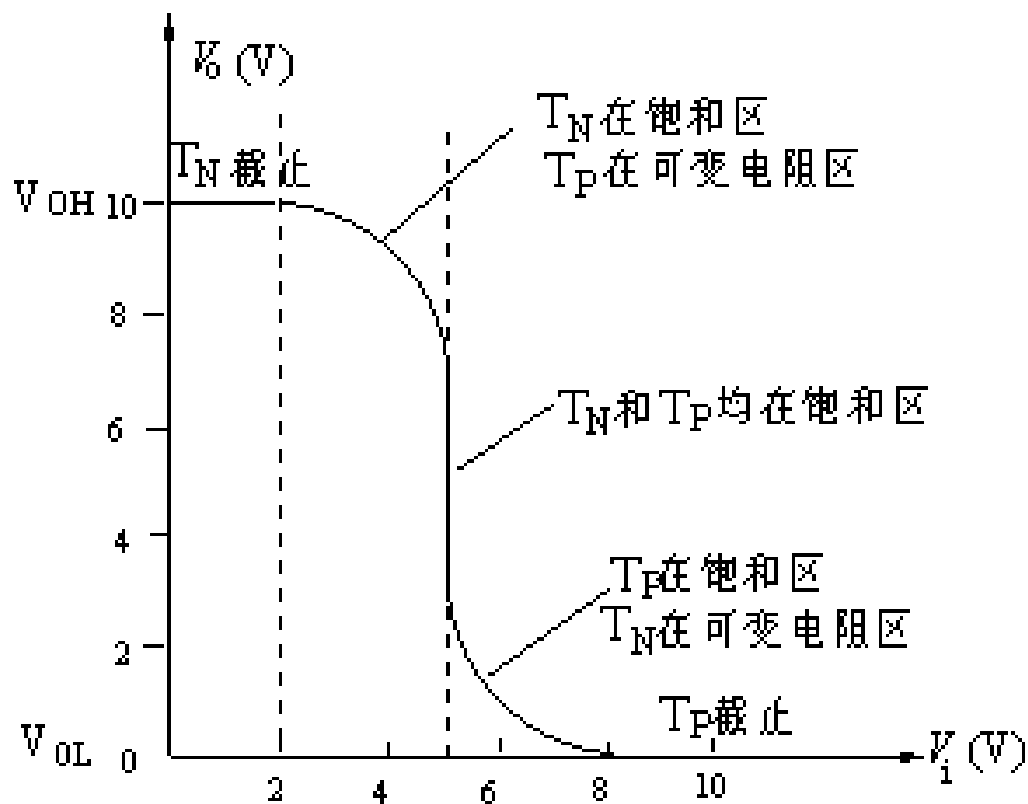
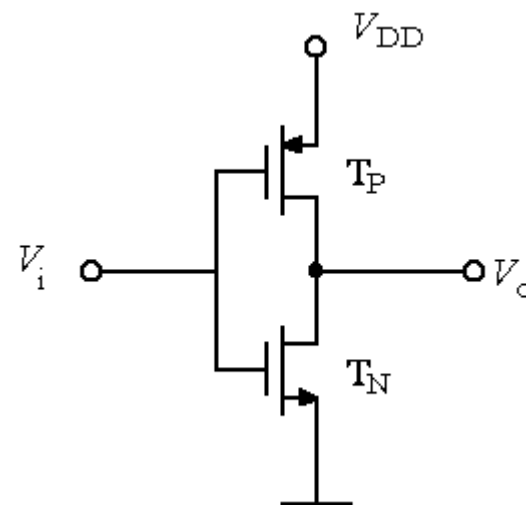
(4) 当 $5V < V_i < 8V$,
 T_P 工作在饱和区,
 T_N 工作在可变电阻区。

(5) 当 $V_i > 8V$, T_P 截止,
 T_N 导通, 输出 $V_o = 0V$ 。

可见:

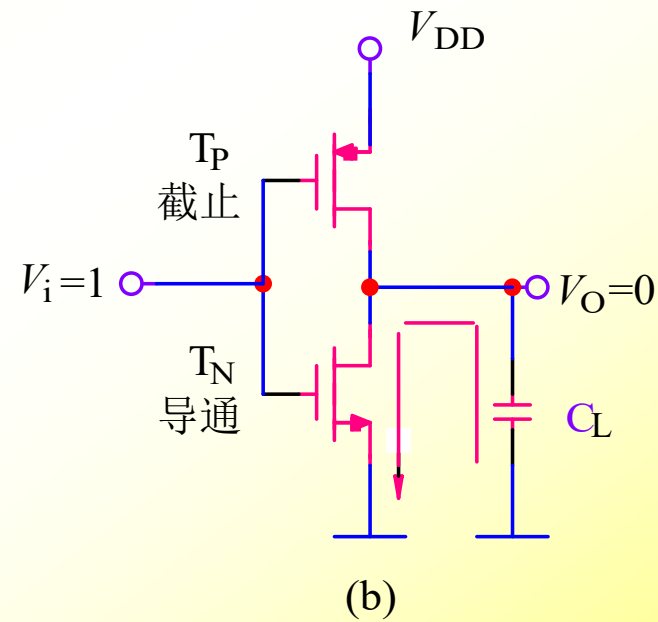
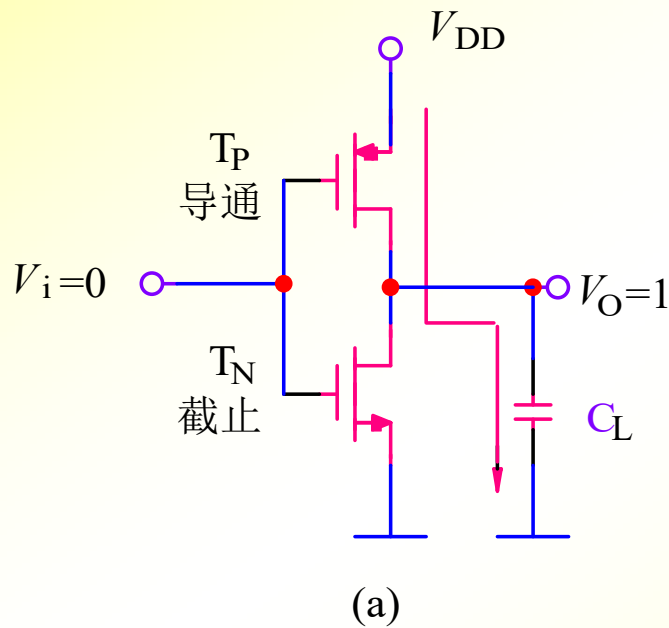
CMOS门电路的阈值电压

$$V_{th} = V_{DD}/2$$



3. 工作速度

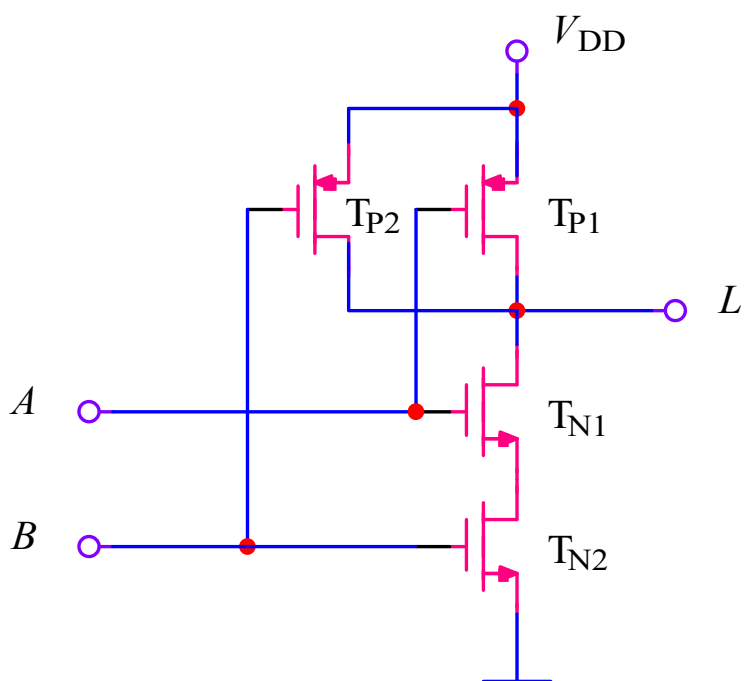
由于CMOS非门电路工作时总有一个管子导通，所以当带电容负载时，给电容充电和放电都比较快。CMOS非门的平均传输延迟时间约为10ns。



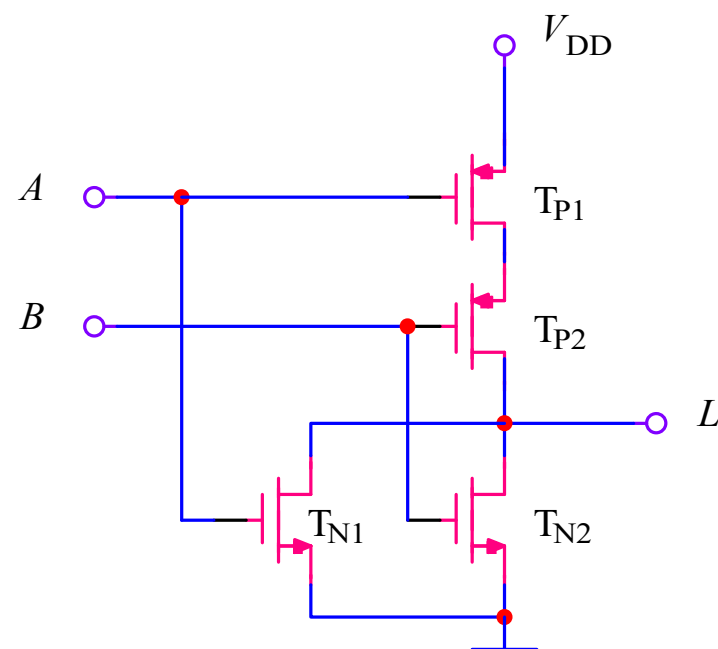
三、其他的CMOS门电路

1. CMOS与非门和或非门电路

(1) 与非门



(2) 或非门

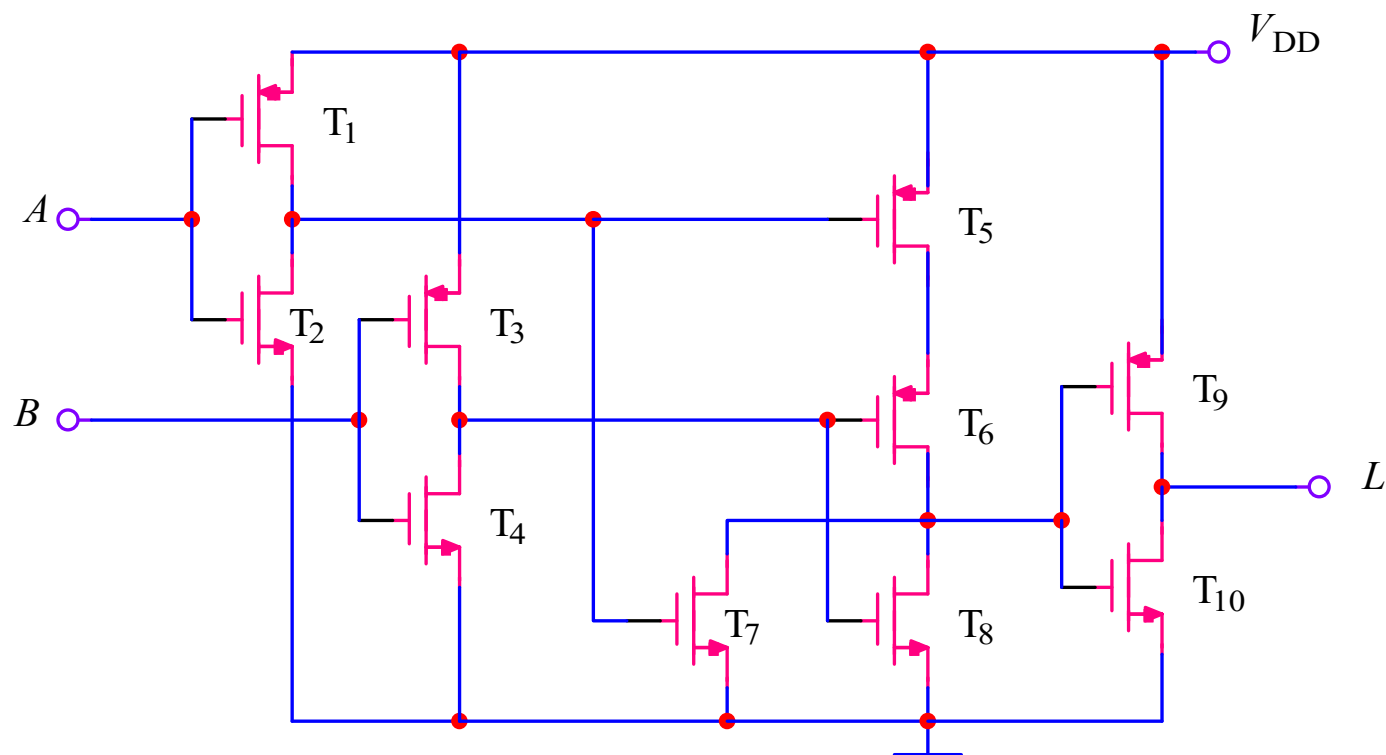


(3) 带缓冲级的门电路

为了稳定输出高低电平，可在输入输出端分别加反相器作缓冲级。下图所示为带缓冲级的二输入端与非门电路。

$L=$

$$\overline{\overline{A + B}} = \overline{A \cdot B}$$

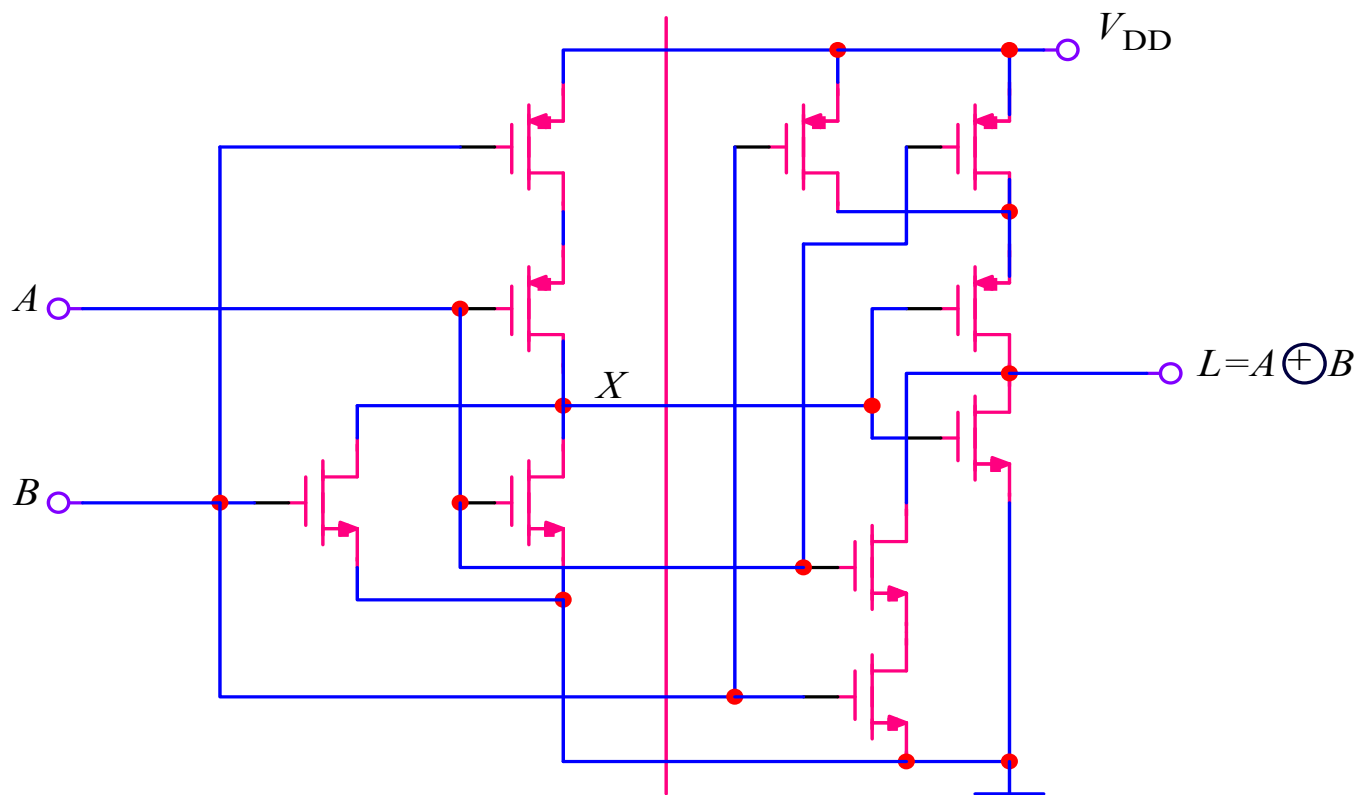


2. CMOS异或门电路

由两级组成，前级为或非门，输出为 $X = \overline{A + B}$

后级为与或非门，经过逻辑变换，可得：

$$L = \overline{A \cdot B + X} = \overline{A \cdot B + \overline{A + B}} = \overline{A \cdot B + \overline{A} \cdot \overline{B}} = A \oplus B$$



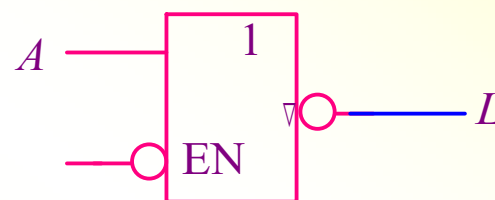
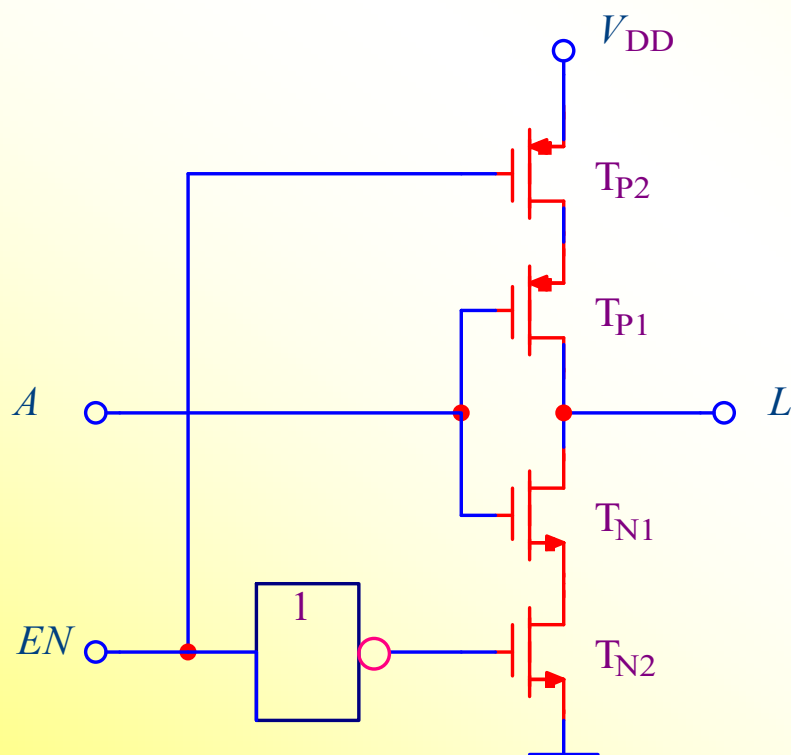
3 . CMOS三态门

工作原理:

当 $EN=0$ 时, T_{P2} 和 T_{N2} 同时导通, 为正常的非门, 输出 $L = \overline{A}$

当 $EN=1$ 时, T_{P2} 和 T_{N2} 同时截止, 输出为高阻状态。

所以, 这是一个低电平有效的三态门。

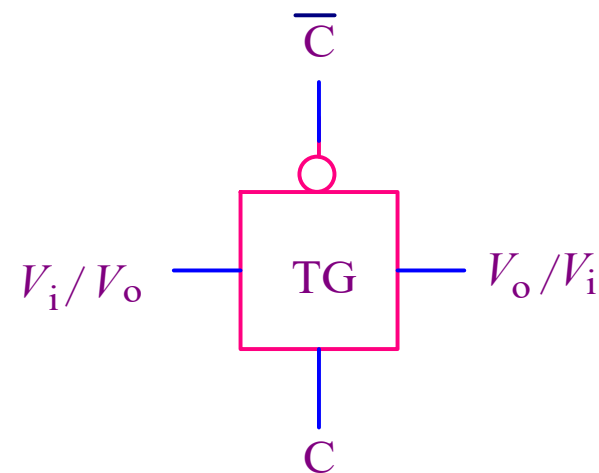
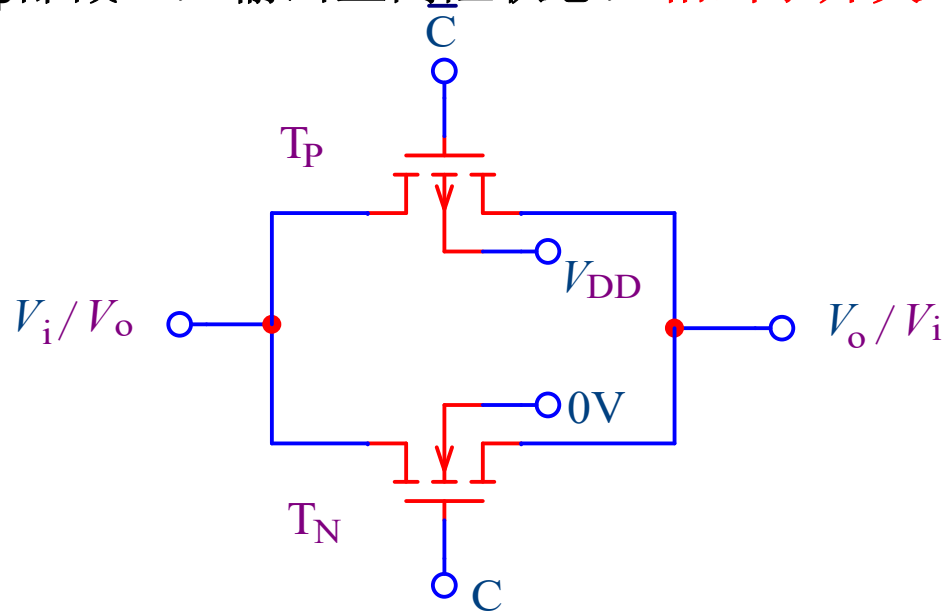


4. CMOS传输门

工作原理：（设两管的开启电压 $V_{TN}=|V_{TP}|$ ）

(1) 当C接高电平 V_{DD} ， \overline{C} 接低电平0V时，若 V_i 在 $0V \sim V_{DD}$ 的范围变化，至少有一管导通，相当于一闭合开关，将输入传到输出，即 $V_o = V_i$ 。

(2) 当C接低电平0V， \overline{C} 接高电平 V_{DD} ， V_i 在 $0V \sim V_{DD}$ 的范围变化时， T_N 和 T_P 都截止，输出呈高阻状态，相当于开关断开。



四、CMOS逻辑门电路的系列及主要参数

1. CMOS逻辑门电路的系列

- (1) 基本的CMOS——4000系列。
- (2) 高速的CMOS——HC系列。
- (3) 与TTL兼容的高速CMOS——HCT系列。

2. CMOS逻辑门电路主要参数的特点

- (1) $V_{OH(min)} = 0.9V_{DD}$; $V_{OL(max)} = 0.01V_{DD}$ 。

所以CMOS门电路的逻辑摆幅（即高低电平之差）较大。

- (2) 阈值电压 V_{th} 约为 $V_{DD}/2$ 。
- (3) CMOS非门的关门电平 V_{OFF} 为 $0.45V_{DD}$ ，开门电平 V_{ON} 为 $0.55V_{DD}$ 。因此，其高、低电平噪声容限均达 $0.45V_{DD}$ 。
- (4) CMOS电路的功耗很小，一般小于1 mW/门；
- (5) 因CMOS电路有极高的输入阻抗，故其扇出系数很大，可达50。

2.4 集成逻辑门电路的应用

一、TTL与CMOS器件之间的接口问题

两种不同类型的集成电路相互连接，驱动门必须要为负载门提供符合要求的高低电平和足够的输入电流，即要满足下列条件：

$$\text{驱动门的 } V_{OH(\min)} \geq \text{负载门的 } V_{IH(\min)}$$

$$\text{驱动门的 } V_{OL(\max)} \leq \text{负载门的 } V_{IL(\max)}$$

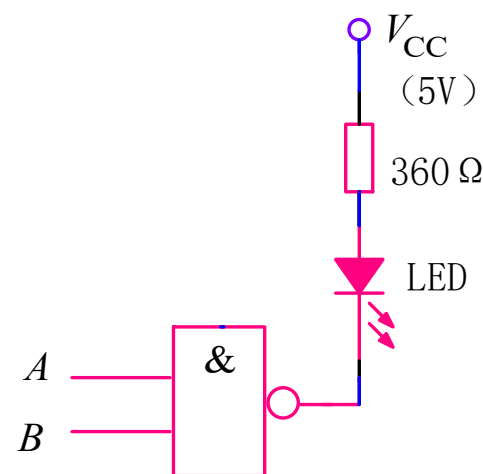
$$\text{驱动门的 } I_{OH(\max)} \geq \text{负载门的 } I_{IH(\text{总})}$$

$$\text{驱动门的 } I_{OL(\max)} \geq \text{负载门的 } I_{IL(\text{总})}$$

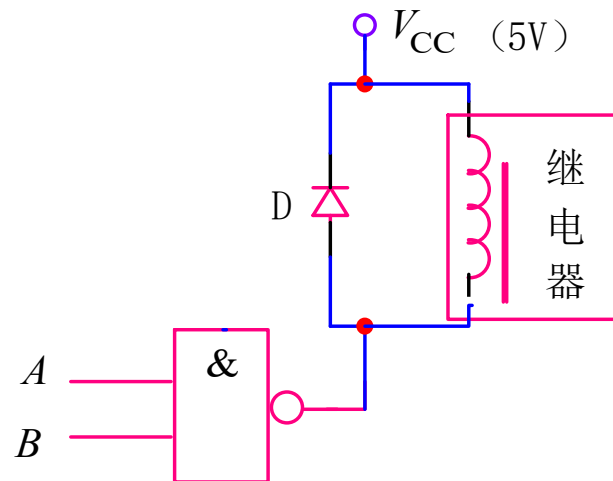
二、TTL和CMOS电路带负载时的接口问题

1. 对于电流较小、电平能够匹配的负载可以直接驱动。

(a) 用TTL门电路驱动发光二极管LED，这时只要在电路中串接一个约几百 Ω 的限流电阻即可。



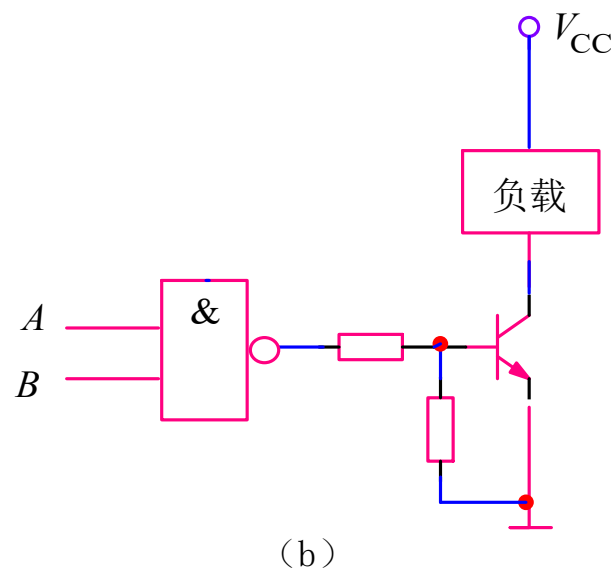
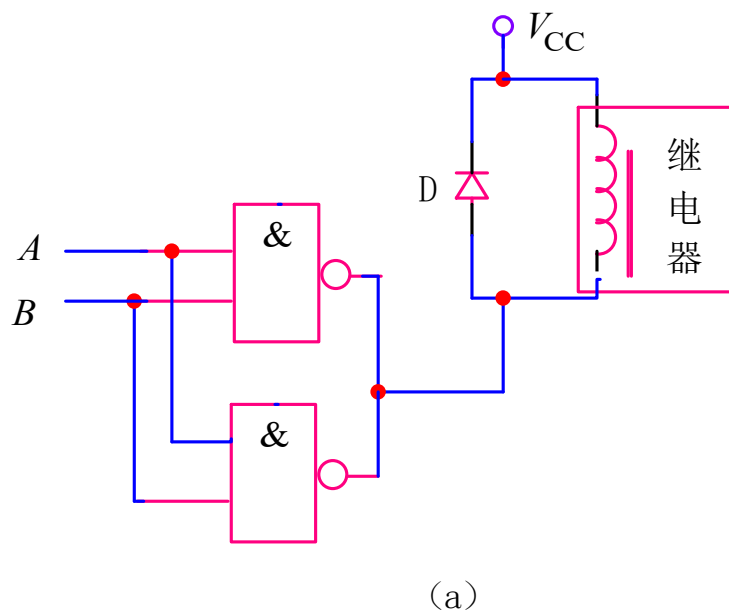
(b) 用TTL门电路驱动5V低电流继电器，其中二极管D作保护，用以防止过电压。



2. 带大电流负载

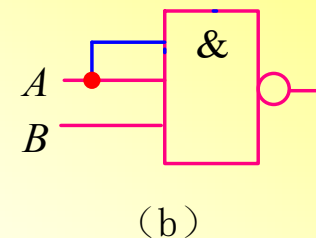
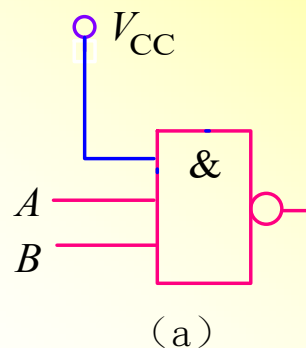
(a) 可将同一芯片上的多个门并联作为驱动器，如图 (a) 所示。

(b) 也可在门电路输出端接三极管，以提高负载能力，如图 (b) 所示。

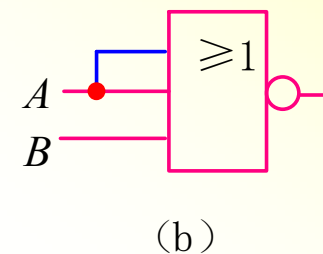
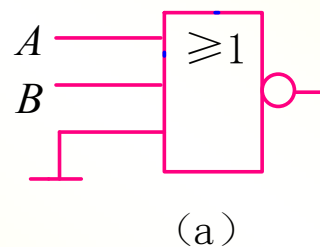


三、多余输入端的处理

(1) 对于与非门及与门，多余输入端应接高电平，比如直接接电源正端，或通过一个上拉电阻（ $1\sim 3\text{k}\Omega$ ）接电源正端；在前级驱动能力允许时，也可以与有用的输入端并联使用。

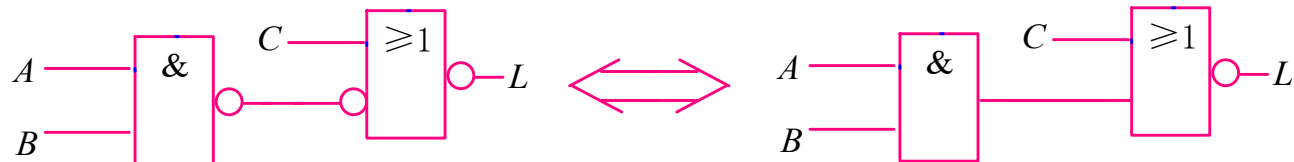


(2) 对于或非门及或门，多余输入端应接低电平，比如直接接地；也可以与有用的输入端并联使用。

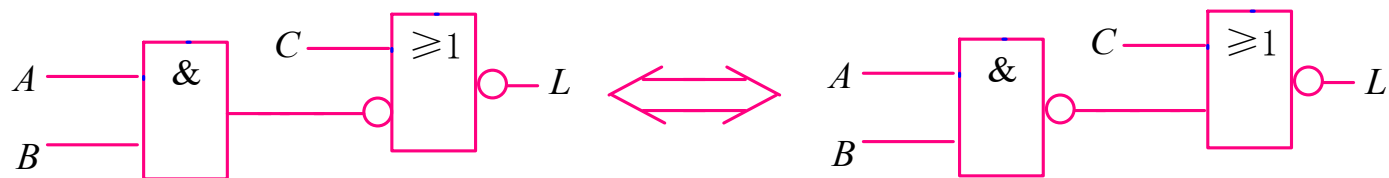


2.5 混合逻辑中逻辑符号的变换

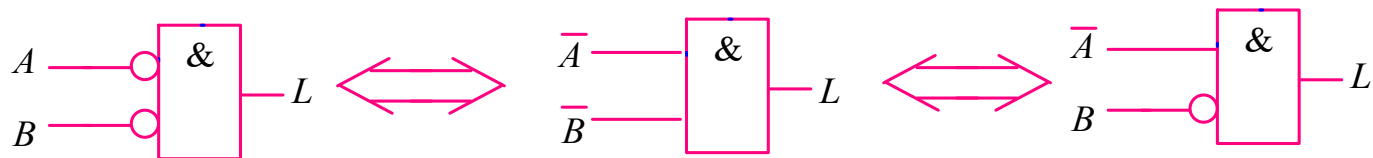
1. 逻辑图中任一条线的两端同时加上或消去小圆圈，其逻辑关系不变。



2. 任一条线一端上的小圆圈移到另一端，其逻辑关系不变。



3. 一端消去或加上小圆圈，同时将相应变量取反，其逻辑关系不变。



本章小结

1. 最简单的门电路是二极管与门、或门和三极管非门。它们是集成逻辑门电路的基础。

2. 目前普遍使用的数字集成电路主要有两大类，一类由NPN型三极管组成，简称TTL集成电路；另一类由MOSFET构成，简称MOS集成电路。

3. TTL集成逻辑门电路的输入级采用多发射极三极管、输出级采用达林顿结构，这不仅提高了门电路的开关速度，也使电路有较强的驱动负载的能力。在TTL系列中，除了有实现各种基本逻辑功能的门电路以外，还有集电极开路门和三态门。

4. MOS集成电路常用的是两种结构。一种是NMOS门电路，另一类是CMOS门电路。与TTL门电路相比，它的优点是功耗低，扇出数大，噪声容限大，开关速度与TTL接近，已成为数字集成电路的发展方向。

5. 为了更好地使用数字集成芯片，应熟悉TTL和CMOS各个系列产品的外部电气特性及主要参数，还应能正确处理多余输入端，能正确解决不同类型电路间的接口问题及抗干扰问题。