

## 实验六 加减法器的设计

### 实验目的

- 1、掌握一位全加器的逻辑功能，学会多位全加器的设计原理。
- 2、学会利用加法器完成减法器的设计与实现。
- 3、掌握多位数码管分时复用显示原理及应用。
- 4、掌握位拼接运算符的使用。

### 实验内容

- 1、设计一个 1 位全加器，然后由 4 个 1 位全加器组成 4 位加法器，并通过写仿真文件、看 RTL 电路图验证其正确性。
- 2、在加法器中增加进位标志和溢出标志，设计实现一个带进位标志和溢出标志的 4 位加法器，并编写顶层模块将加法器模块和 7 段数码管模块连接起来，将 SW3~SW0 作为第一操作数（可显示在左起第一个 7 段数码管上），SW7~SW4 作为第二操作数（可显示在左起第二个 7 段数码管上），将结果显示在最右侧的 7 段数码管上，进位和溢出标志通过 LED 灯显示。
- 3、用全加器来构建全减器，画出电路图，设计并实现带进位位和溢出位的 4 位加/减法器，将 SW3~SW0 作为第一操作数（可显示在左起第一个 7 段数码管上），SW7~SW4 作为第二操作数（可显示在左起第二个 7 段数码管上），SW15=0（1）时做加（减）法，将结果显示在最右侧的 7 段数码管上，进位和溢出标志可通过 LED 灯显示。
- 4、将所设计的加减法器与系统自带的“+/-”进行比较。可以从 RTL 电路分析、仿真波形、开发板资源使用情况等方面进行比较。

**注意：**不能使用系统自带的“+/-”号。

**提示：**二进制数按补码进行运算，数值和显示应明确区分有符号数和无符号数。

### 实验原理

数码管显示原理参见文档“七段数码管显示原理 basys3”。

当开发板 I/O 资源不足时，可以在通过 1、在设计文件中内置操作数；2、在模块实例化时利用位拼接运算符对端口的某些位传入高/低电平等方法来解决。如下图 addsubx4 模块在实例化 U1 时，分别将输入端口 a、b 的高 24 位直接传入低电平，赋值为 0。

<pre> addsubx4 U1(     {24'b0,a}     {24'b0,a},     cin,     sub,     cout,     overflow,     sum ); </pre>	<pre> module addsubx4(     input [31:0] a,     input [31:0] b,     input cin,     input sub,     output cout,     output overflow,     output [31:0] sum ); </pre>
---	--

## 实验过程（供参考）

- 1、根据半加器的真值表，画出半加器的逻辑电路图。
- 2、根据全加器的真值表，列出结果位和进位位的逻辑表达式，并画出由半加器构成的全加器的逻辑电路图。
- 3、新建项目，实现 4 位加法器，并通过写仿真文件、看 RTL 电路图验证其正确性。
- 5、在 3）中的加法器中增加进位标志和溢出标志，设计实现一个带进位标志和溢出标志的 4 位加法器。
- 6、实现在不同数码管上显示多个不同数据的显示模块。
- 7、编写顶层模块文件实例化加法器和显示模块，实现加法器和显示模块的组合电路，将 SW3~SW0 作为第一操作数（可显示在左起第一个 7 段数码管上），SW7~SW4 作为第二操作数（可显示在左起第二个 7 段数码管上），将结果显示在最右侧的 7 段数码管上，进位和溢出标志通过 LED 灯显示。
- 8、改变加法器模块，实现带进位位和溢出位的 4 位可加可减的运算器，将 SW3~SW0 作为第一操作数（可显示在左起第一个 7 段数码管上），SW7~SW4 作为第二操作数（可显示在左起第二个 7 段数码管上），SW15=0（1）时做加（减）法，将结果显示在最右侧的 7 段数码管上，进位和溢出标志可通过 LED 灯显示。
- 9、利用系统自带“+、-”实现加减法器，并从 RTL 电路分析、仿真波形、开发板资源使用情况等方面进行比较。