

实验九 寄存器实验

实验目的

掌握寄存器的逻辑功能，并学会寄存器与寄存器组的设计与实现。

学习和掌握通用移位寄存器的设计与实现。

学习和掌握桶形移位寄存器的设计与实现。

实验内容

- 1、设计一个带有（同步或异步）复位的 D 触发器 ddf1。编写仿真文件观察仿真时序波形图，回答异步清零与同步清零的区别，并下载到板验证。信号和板上器件的关系是：输出 q-LD0, 输出 qn-LD1, 输入 d-SW0, 时钟 clk-BTNC, 复位 reset-BTND。
- 2、给 1、中的 D 触发器 ddf1 增加一个 load 信号就成为了一个寄存器 reg_1，当 load 为 1 时，那么在下一个始终上升沿，输入值 d 就被存储到 q 中，编写代码实现 reg_1，并下载到板验证。
- 3、把 N 个 1 位寄存器组合起来就构成了一个 N 位寄存器。只需要将 1 位寄存器的输入端和输出端定义为 N 位的数组。编写代码实现一个可变宽度的 N 位寄存器（默认为 8），编写顶层模块实例化一个 8 位寄存器，并下载到板验证。
- 4、实现一个 8 位的通用移位寄存器，可以加载并行数据，通过两位控制信号 ctrl 可以选择控制将其内容向左移位、向右移位或保持原有状态。利用此移位寄存器实现并转串（先加载并行输入，然后移位），和串转并（首先移位，然后进行并行输出），并下载到板验证。
- 5、实现一个 8 位的桶形移位寄存器，具有 8 位数据输入和 8 位数据输出，以及指定如何移动数据的控制输入，指定移位方向、移位类型（循环、算术还是逻辑移位）及移动的位数（0~7）。信号和板上器件的关系是：原始数据 d[7:0]--SW[7:0]，输出 q[7:0]--ld[7:0]，s[2:0]--SW[15:13]表示移动的位数，t[1:0]--SW[12:11]表示移动类型（00 逻辑右移，01-算术右移，1X-左移）。

实验原理

一个触发器可以存储 1 位信息。由 n 个触发器组成的电路可以用来存储 n 位信息。一个 n 位寄存器是由 n 个触发器共用同一个时钟组成的电路。

如果使用按键作为手动时钟输入，由于实际的拨码开关和按键开关都是机械式的设备，开关动作来回抖动多次后才能稳定下来，这个过程就会使得信号产生抖动。因此，为了一次按键得到一次上升沿（或下降沿），那么需要对按键输入先进行消抖处理。代码实现参考文档“按键消抖模块参考学习”。

实验步骤（供参考，具体步骤请同学自己完成）

参考预习资料文档“FPGA Basys3 开发实验指导书”。Basys 3 开发板内置时钟管脚为 W5。