

实验十二 递增递减计数器

实验目的

通过实验，充分理解和掌握计数器原理，并学会设计递增递减计数器。

实验内容

设计一个递增递减计数器，满足以下功能：

它可以根据输入信号 `enable_cnt_up` 和 `enable_cnt_dn` 进行加法计数和减法计数。

当 `new_cntr_preset` 为高电平并保持一个时钟周期，则计数器被设置为新的预设值 `new_cntr_preset_value`，它是减法计数时的初始值或者加法计数时的上限值。

只要 `enable_cnt_up` 或 `enable_cnt_dn` 有效，计数器将持续计数，当 `paus_counting` 有效时，计数器停止计数并保持当前计数值。

当计数值达到结束标志时，计数器的输出端口 `ctr_expired` 有效。

计数值到边界后，它会自动加载预设值并重新开始计数。

每隔一秒计数一次，拨码开关作为控制位和预设值输入位，并将当前计数值显示到 7 段数码管上。

实验步骤（供参考，具体请同学自己完成）

设计给出递增递减计数器原理图

实现递增递减计数器，并进行仿真

将内置时钟（W5）进行分频得到 1 秒的时钟

添加显示模块

给出实验原理框图，编写顶层文件