

## 七段数码管显示原理

七段数码管是一种常用的用于显示的电子器件。因为其廉价、性能稳定、使用方便，所以应用很广泛。七段数码管基本发光原件就是发光二极管，由 7 个字符(a, b, c, d, e, f, g)显示 LED 和一个小数点显示(dp)LEG 构成。七段数码管分为共阳极和共阴极两种。其简易电路图如图 1 所示。

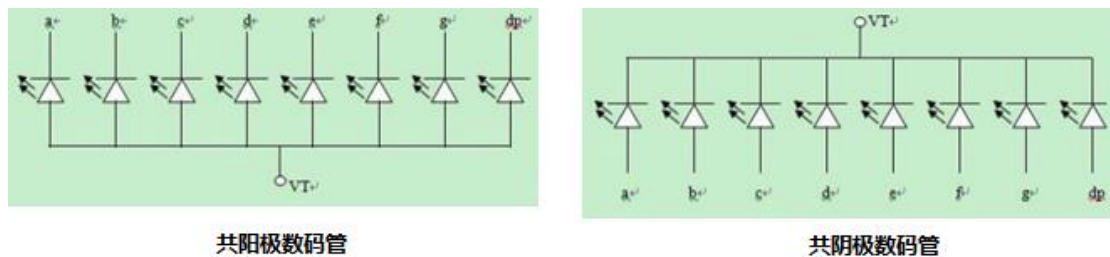


图 1 7 段数码管内部结构简图

共阳极和共阴极七段数码管的区别在于，它们的公共端连接的位置的区别。共阳极数码管中，公共的连接线是在二极管的阳极；同理，共阴极数码管公共连接线在阴极。共阳极数码管点亮一个二极管，只需在对应的引脚加上低电平即可；同理，共阴极数码管点亮一个数码管需要加上高电平。

Basys 3 提供了 4 位带小数点的七段共阳极数码管，其内部电路如图 2 所示。每个数码管中的 7 个 LED 的阳极一起连接到“共同阳极”电路节点，但阴极是分开的。因此要想使某个 LED 点亮，只需对应的二极管电路阴极为低电平即可。7 段数码管显示数字对应的真值表如图 3 所示。

数码管除了控制数码管显示的引脚外，还有一个控制数码管开关的使能端(an)，如图 4。当使能端有效时，对应数码管才能被点亮。

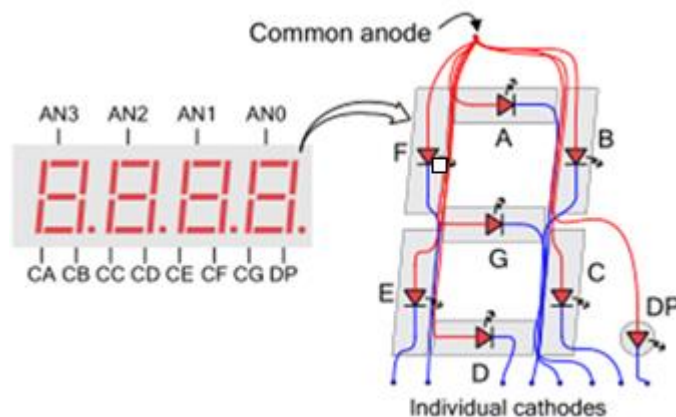


图 2 七段数码管内部电路图

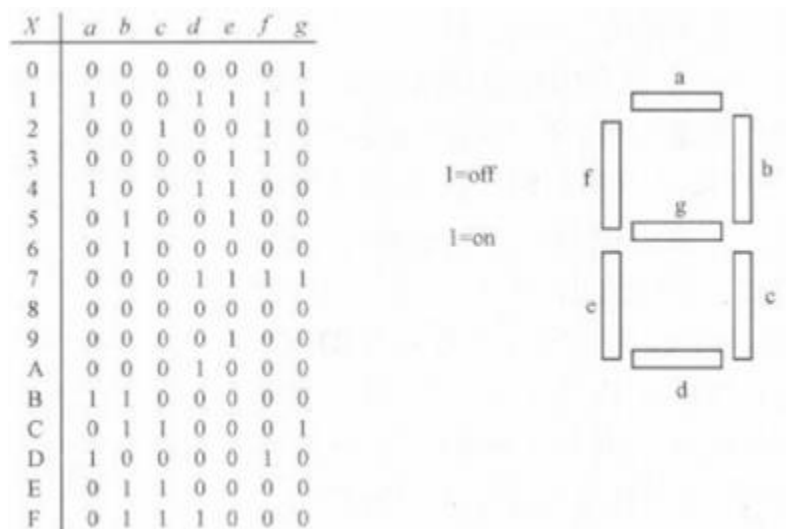


图 3 共阳极 7 段数码管显示 16 进制数对应真值表

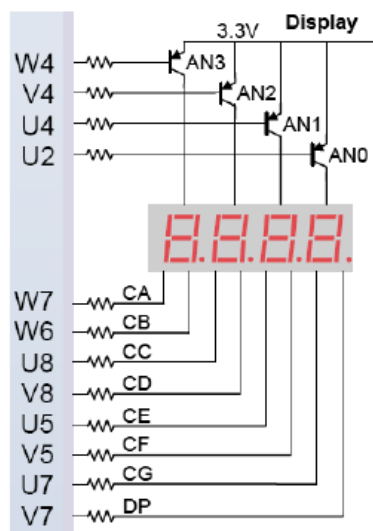


图 4 Basys 3 数码管硬件连接图

显示模块参考如下：

```

module hexseg(
    input [3:0] hex,
    input en,      //使能控制输入
    output an,     //使能输出
    output reg [6:0] segs
);
    assign an = en;      //使能信号赋值
    always @(*)
        case(hex)        //hex为要显示的二进制数
                                // abc_defg段
            4'h0: segs = 7'b000_0001;
            4'h1: segs = 7'b100_1111;
            4'h2: segs = 7'b001_0010;
            4'h3: segs = 7'b000_0110;
            4'h4: segs = 7'b100_1100;
            4'h5: segs = 7'b010_0100;
            4'h6: segs = 7'b010_0000;
            4'h7: segs = 7'b000_1111;
            4'h8: segs = 7'b000_0000;
            4'h9: segs = 7'b000_1100;
            4'ha: segs = 7'b000_1000;
            4'hb: segs = 7'b110_0000;
            4'hc: segs = 7'b111_0010;
            4'hd: segs = 7'b100_0010;
            4'he: segs = 7'b011_0000;
            4'hf: segs = 7'b011_1000;
            default:
                segs = 7'b111_1111;
        endcase
endmodule

```

为了减少 FPGA 芯片 IO 口的使用数量，4 个七段数码管相应的每一段是串接在一起的，因此，产生的控制显示信号，将同时影响 4 个数码管。若直接将显示信号传给 4 个数码管，则 4 个数码管将显示同样的内容。

要想实现 4 个数码管显示不同的内容，就要利用人眼的视觉暂留，对 4 个 7 段数码管进行**分时复用**。当数码管的刷新频率高于人眼的视觉暂留时，人眼就无法察觉数码管的信息改变。

若 4 个数码管交替被点亮发光，显示对应的信息。4 个数码管每 16ms 驱动一次。因为更新频率大约在 1KHz 到 60Hz 之间。例如，在 62.5Hz 的刷新频率下，整个显示器每 8ms 刷新一下，每个数字在刷新周期的 1/4 或者 2ms 将发光。控制器在正确的图案下必须驱动阴极信号为低电平，而驱动对应的阳极信号为高电平。

为了说明这个过程，假设 AN0 有效且 CB 和 CC 有效，“1”将显示在数字位置 1 上。然后，假设 AN1 有效且 CA, CB 和 CC 有效，“7”将显示在数字位置 2 上。在无尽的自然演替中，假设 AN0, CB 和 CC 持续驱动 4ms，然后 AN1, CA, CB 和 CC 持续驱动 4ms，“71”将显示在前两个数码管上。一个 4 位数码管控制器的时序图如下图 5 所示。

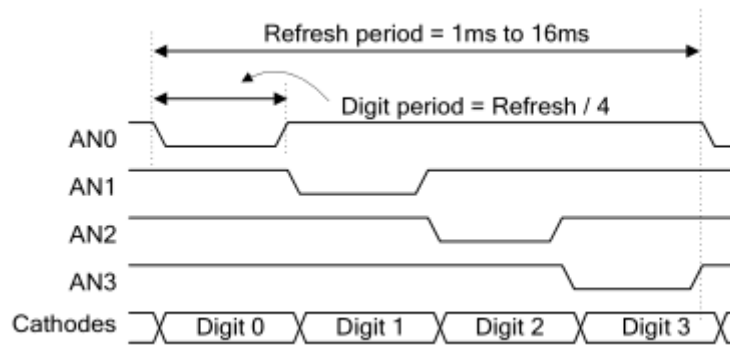


图 5 4 位数码管控制器的时序图

以下 2 个模块代码段可供参考学习，掌握七段数码管显示。

参考代码 1:

```
always@(posedge clk)          //分频器功能，clk为输入时钟
begin
    count=count+1;
    if(count[19]==1)
    begin
        count=0;
        clk_div=~clk_div;      //clk_div为分频后的输出时钟
    end
end

always@(posedge clk_div)
case(hex)    //hex为要显示的二进制数
    // an为8个数码管的是能信号，segs为abc_defg_dp段
    3'h0: begin an=8'b1111_1110; segs = 8'b00000010; end //在0号数码管显示0
    3'h1: begin an=8'b1111_1011; segs = 8'b10011110; end //在1号数码管显示1
    3'h2: begin an=8'b1111_1101; segs = 8'b00100100; end //在2号数码管显示2
    3'h3: begin an=8'b1111_0111; segs = 8'b00001100; end
    3'h4: begin an=8'b1110_1111; segs = 8'b10011000; end
    3'h5: begin an=8'b1101_1111; segs = 8'b01001000; end
    3'h6: begin an=8'b1011_1111; segs = 8'b01000000; end
    3'h7: begin an=8'b0111_1111; segs = 8'b00011110; end
    default:
        begin an=8'b1111_1111; segs = 8'b11111111; end
endcase
```

参考代码 2:

```
always@(posedge clk,posedge reset)
if(reset)
    count = 0;
else
    count = count + 1;

always @(posedge clk)
case(count[20:18])
    0:begin
        ans = 8'b11111110;
        digit = s[3:0];
    end

    1:begin
        ans = 8'b11111101;
        digit = s[7:4];
    end

    2:begin
        ans = 8'b11111011;
        digit =s[11:8];
    end

    3:begin
        ans = 8'b11110111;
        digit = s[15:12];
    end

    4:begin
        ans = 8'b11101111;
        digit = s[19:16];
    end

    5:begin
        ans = 8'b11011111;
        digit = s[23:20];
    end

    6:begin
        ans = 8'b10111111;
        digit =s[27:24];
    end

    7:begin
        ans = 8'b01111111;
        digit = s[31:28];
    end
endcase
```