

实验三 多路选择器

实验目的

通过实验，学会多路选择器的功能，以及使用 Block Design 和 verilog HDL 语言设计多路选择器。

实验内容

1. 分别使用 Block Design 设计方法和添加源代码的方法设计一个一位 4 选 1 多路选择器，并通过写仿真文件、看 RTL 电路图、下载到板子验证其正确性。
2. 使用 Verilog HDL 语言的行为描述方法设计一个 3 位数据的 4 选 1 多路选择器 mux4x3，3 位输出 out 分别接 LD2~LD0，四个 3 位的数据输入 in1, in2, in3, in4 分别接 SW2~SW0, SW5~SW3, SW8~SW6, SW11~SW9, 两位选择位分别接 SW15, SW14。LD2~LD0 的取值如下表：

SW15	SW14	LD2~LD0
0	0	SW2~SW0
0	1	SW5~SW3
1	0	SW8~SW6
1	1	SW11~SW9

实验过程（供参考，具体步骤请同学们自己完成）

- 1、列出 4 选 1 选择器的逻辑表达式，画出电路原理图。
- 2、新建项目，用 Block Design 设计方法实现 4 选 1 选择器。
- 3、新建项目，添加设计文件（源代码编写），实现 4 选 1 选择器。
- 4、新建项目，用 Verilog HDL 语言的行为描述方法设计一个 3 位数据的 4 选 1 多路选择器 mux4x3。