

可编程逻辑器件

PLD

Programmable **L**ogic **D**evice

1 概述

可编程逻辑器件是一种由用户编程实现所需功能的半定制集成电路，近年来发展十分迅速，已在国内外的计算机硬件、工业控制、智能仪表、数字视听设备、家用电器等领域得到了广泛的应用。可编程逻辑器件与EDA技术的结合，使得系统设计人员与芯片设计人员的相互渗透，从而快速、方便地构建数字系统。学习ASIC技术，掌握可编程逻辑器件的设计方法，已成为现代电子系统设计人员必须具备的基本技能之一。

可编程逻辑器件发展历程

综观可编程逻辑器件的发展情况，大体可以分为六个发展阶段：

（1）20世纪70年代初，熔丝编程的可编程只读存储器PROM和可编程逻辑阵列PLA是最早的可编程逻辑器件。

（2）20世纪70年代末，对PLA器件进行了改进，AMD公司推出了可编程阵列逻辑。

（3）20世纪80年代初，Lattice公司发明了电可擦写的、比PAL器件使用更灵活的通用可编程阵列逻辑GAL。

(4) 20世纪80年代中期, **Xilinx**公司提出了现场可编程的概念, 同时生产出了世界上第一个**FPGA**器件。

(5) 20世纪80年代末, **Lattice**公司又提出了在系统可编程的概念, 即**ISP技术**, 并且推出了一系列的具备在系统可编程能力的**CPLD**器件。

(6) 进入20世纪90年代以后, 集成电路技术进入到飞速发展的时期。并且出现了内嵌复杂功能块(如加法器、乘法器、RAM、PLL CPU核、DSP核等)的超大规模器件**SOPC** (System On a Programmable Chip) 。

数字集成电路产品可以分为两种形式：即**标准通用型**和**专用型**。

标准通用型集成电路是指常用的中、小规模数字电路（如74系列、4000系列等），其逻辑功能设计以实现数字系统的基本功能块为目的，一般比较简单，并且固定不变。**优点**是通用性强，使用方便灵活；**缺点**是体积、功耗和重量较大，可靠性和可维护性较差等。

专用型集成电路是指按某种专门用途而设计、制造的集成电路，又称**ASIC**（Application Specific Integrated Circuit），ASIC器件又可分为全定制和半定制两大类。ASIC的**优点**是体积小、功耗低、可靠性高，高度保密；**缺点**是在用量不大的情况下，设计和制造这样的专用集成电路不仅成本很高，而且设计、制造的周期也很长。

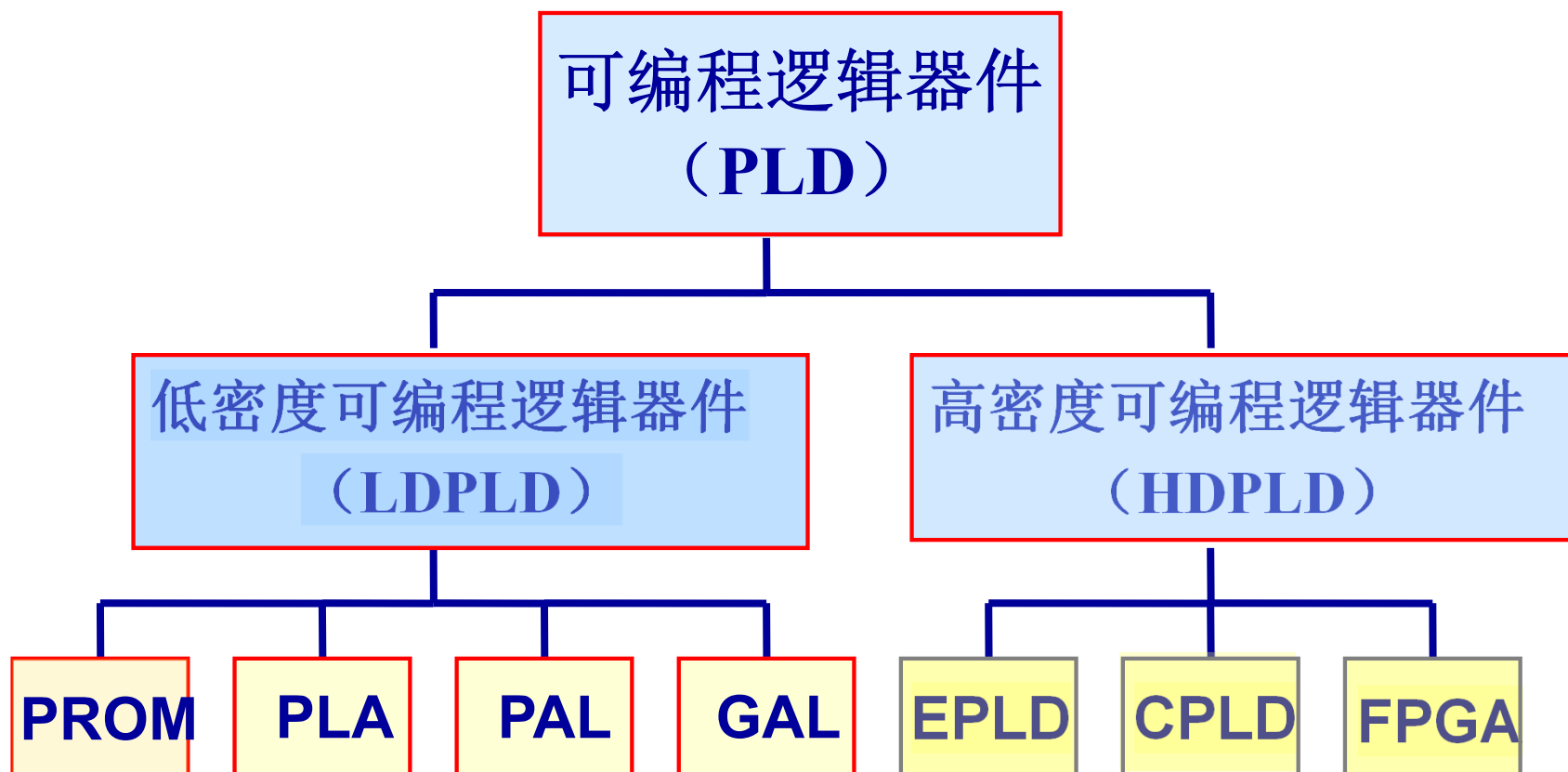
由此可见，通用型和专用型集成电路在制造和使用上存在着一定的矛盾。**可编程逻辑器件**

（Programmable Logic Device）的研制成功为解决这个矛盾提供了一条比较理想的途径。

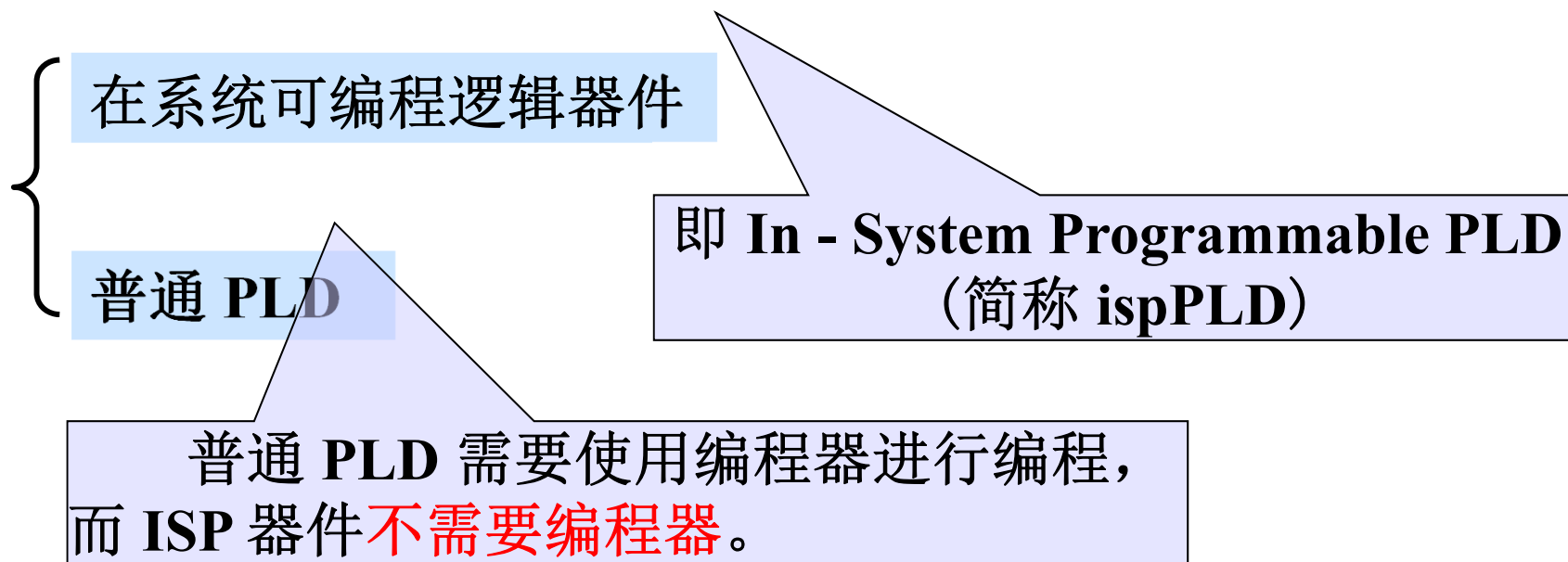
PLD虽然是作为一种通用器件生产的，但它的逻辑功能是由用户通过对器件编程来设定的。而且有些**PLD**的集成度很高，足以满足设计一般数字系统的需要。这样就可以由设计人员自行编程而把数字系统“集成”在一片**PLD**上，而不必制造专用集成电路芯片了。

2可编程逻辑器件的类型

(一) 按集成密度分类



(二) 按编程方式分类



(三) 按可编程部位分类

按器件内可编程的部位不同分为：

- 1、 **PROM**(可编程 **ROM**)
- 2、 **PLA**(**P**rogrammable **L**ogic **A**rray, 可编程逻辑阵列)
- 3、 **PAL**(**P**rogrammable **A**rray **L**ogic, 可编程阵列逻辑)
- 4、 **GAL**(**G**enetic **A**rray **L**ogic, 通用阵列逻辑)

(四) 按结构特点划分

- 简单PLD (PAL, GAL)
- 复杂的可编程器件(CPLD) :
- 现场可编程门阵列(FPGA)

（五）从可编程特性上分类

可编程逻辑器件按编程方式分为两类：

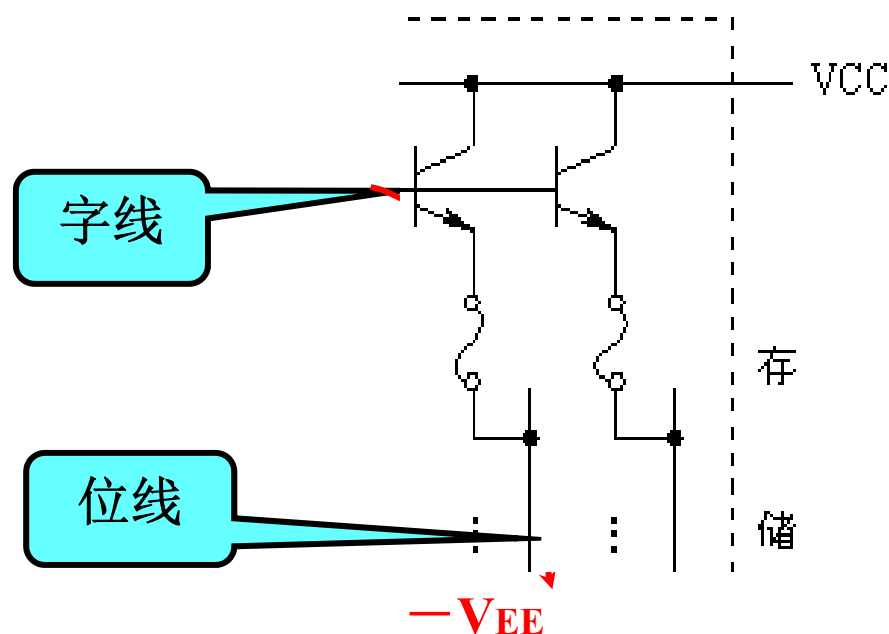
1) **一次性编程**(One Time Programmable,简称**OTP**)器件;
OTP器件只允许对器件**编程一次**,编程后不能修改,其优点是集成度高、工作频率和可靠性高、抗干扰性强。一次可编程的典型产品是**PROM**、**PAL**和熔丝型**FPGA**

2) **重复可编程器件**——优点是**可多次修改设计**,特别适合于系统样机的研制。擦写次数可达上千次,采用**SRAM**结构,可无限次编程。

3. 从可编程器件的编程元件上分类

可编程逻辑器件的编程信息均存储在可编程元件中。根据各种可编程元件的结构及编程方式,可编程逻辑器件通常又可以分为五类:

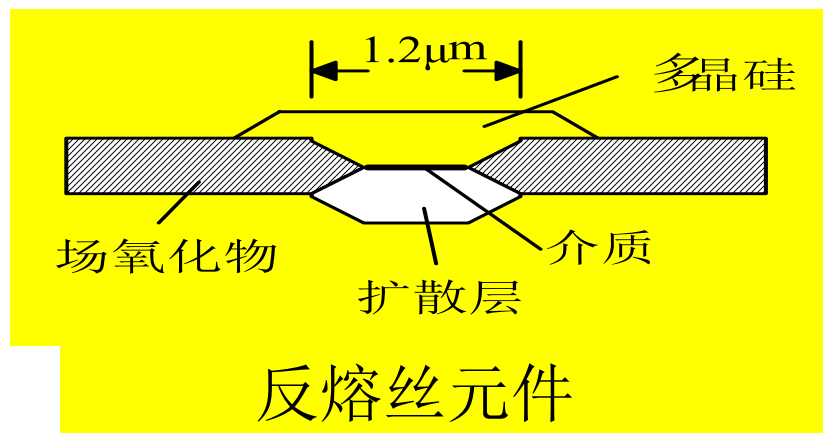
①采用一次性编程的熔丝元件的可编程器件



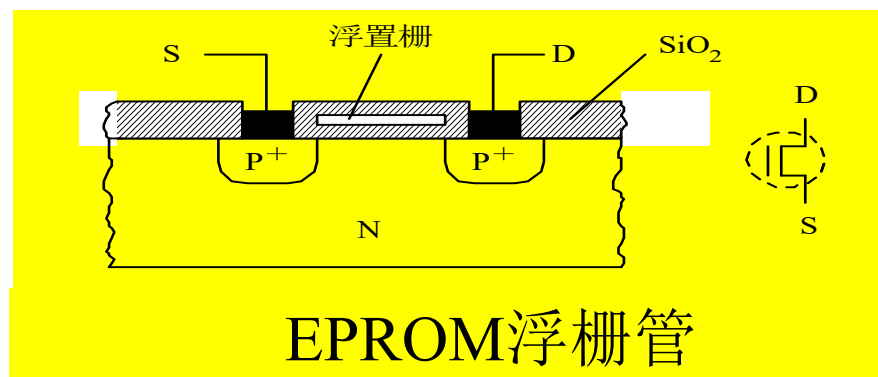
编程时, 位线须加高压
>20v

②反熔丝（低阻）元件的可编程器件（为OTP型）

编程时须加中压18v，击穿介质层，使节点联通。

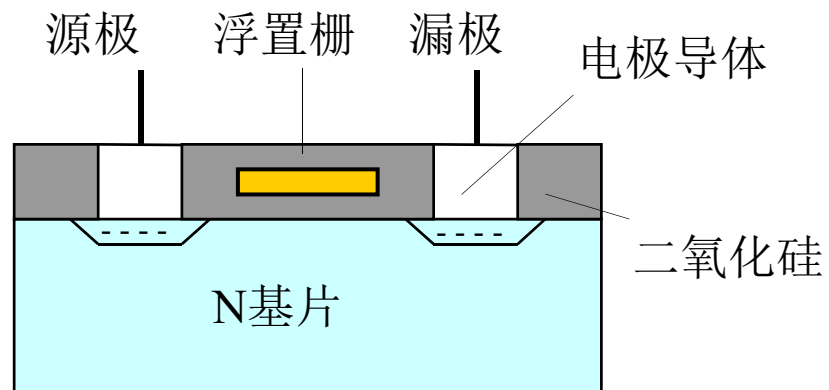


③采用紫外线擦除、电可编程元件,即采用EPROM工艺结构的可编程器件。

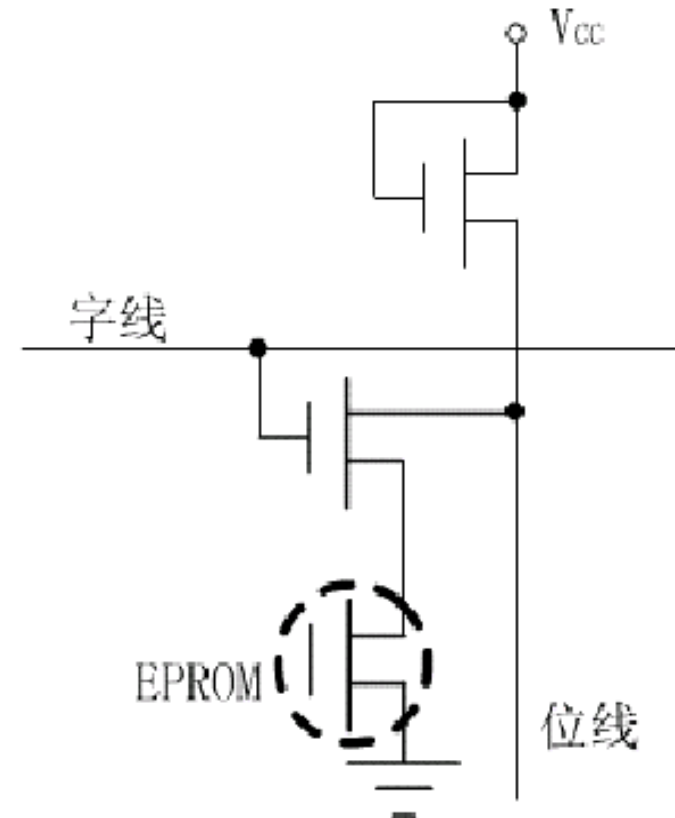


(3) 光擦可编程只读存储器EPROM

- 基本存储元电路

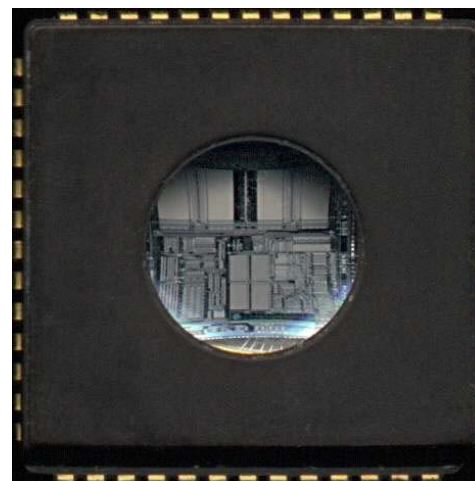
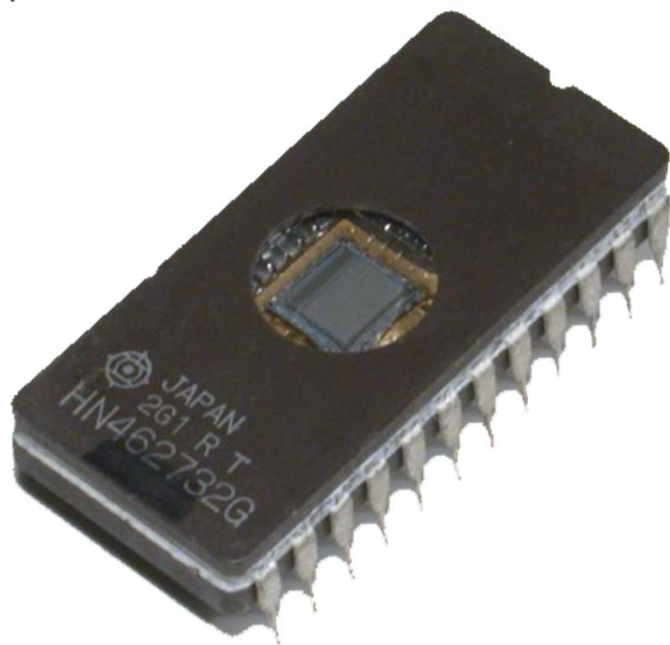
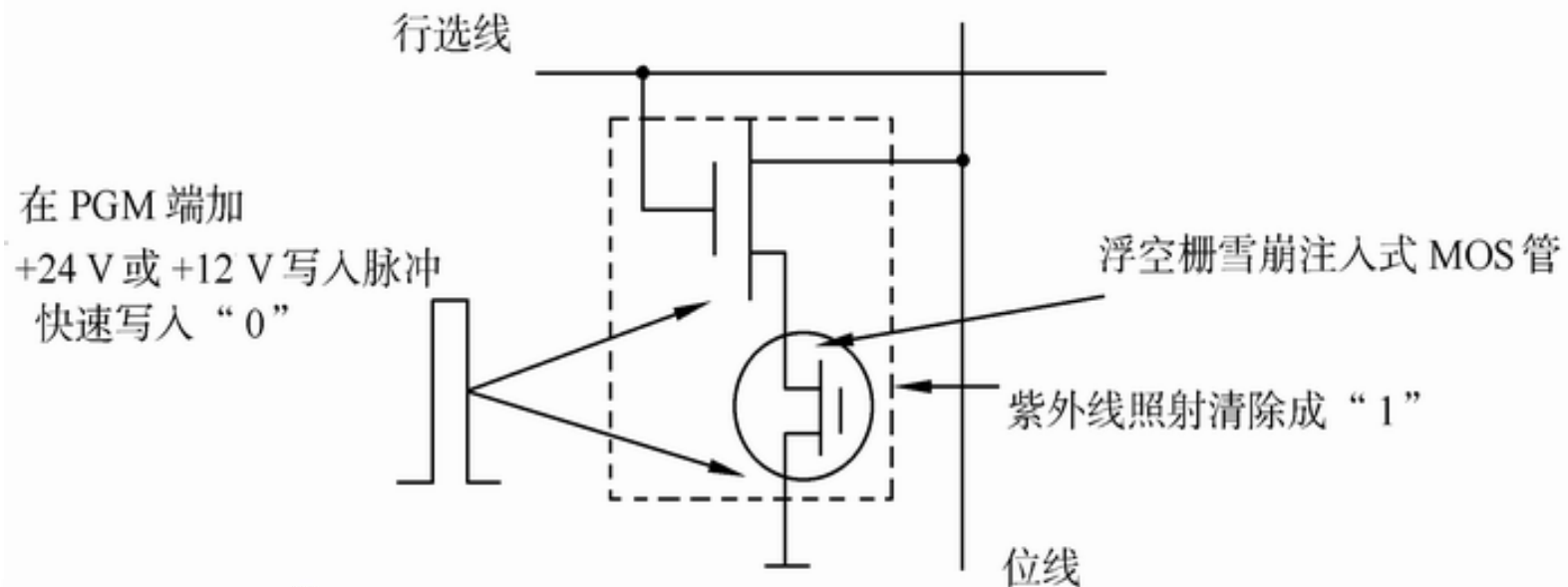


(a) 单元结构



EPROM的基本存储元

高压写入、紫外线光照擦除



编程器

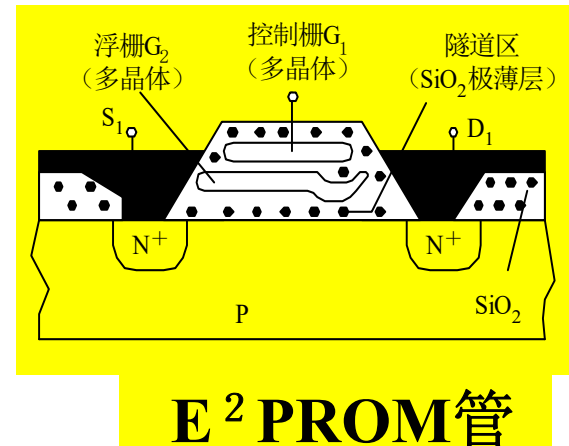


紫外线擦除器

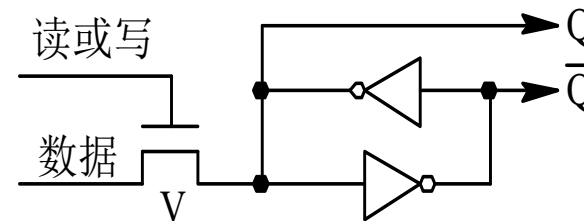


④采用电擦除、电可编程元件**EEPROM** 工艺结构的可编程器件；

ROM结构的器件，掉电后信息不会丢失，因为是利用其物理结构保存信息

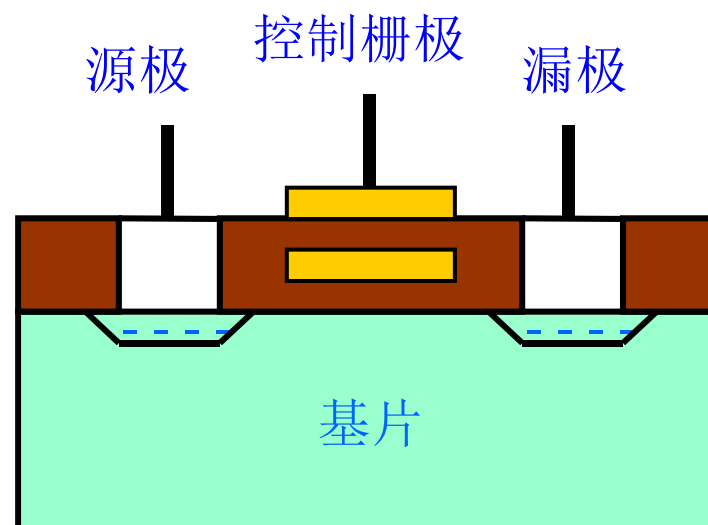
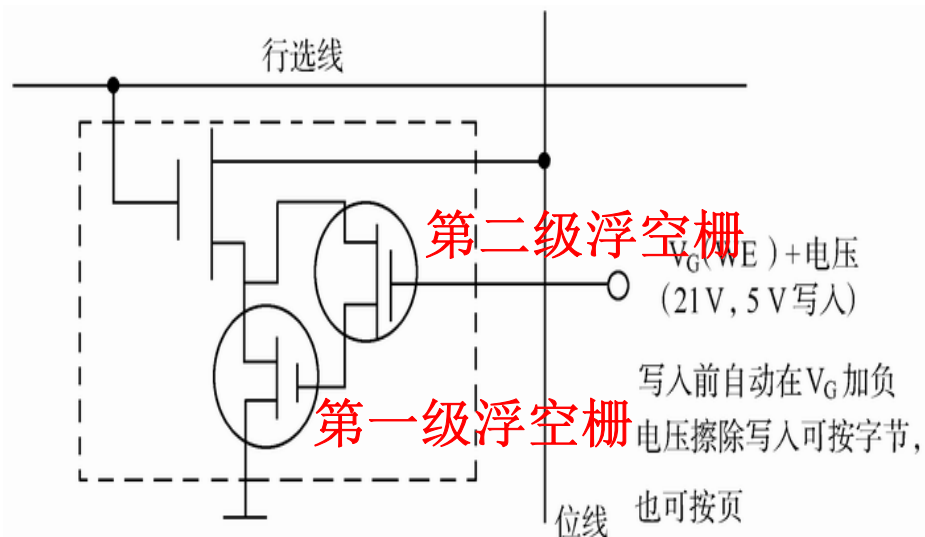


⑤基于静态存储器**SRAM**结构的编程器件---系统断电后, 编程信息会丢失。



⑥**FLASH型**：用**工作电压**编程和擦除，速度快、掉电信息不丢失，使用广泛。

(4) 电擦可编程只读存储器EEPROM



- 若 V_G 为正电压, 第一浮空栅极与漏极之间产生隧道效应, 使电子注入第一浮空栅极, 即编程写入。
- 若使 V_G 为负电压, 强使第一级浮空栅极的电子散失, 即擦除。
- EEPROM 的编程与擦除电流很小, 可用普通电源供电, 而且擦除可按字节进行。

闪速存储器 **Flash Memory**

闪速存储器是一种高密度、非易失性的读/写半导体存储器，它突破了传统的存储器体系，改善了现有存储器的特性。

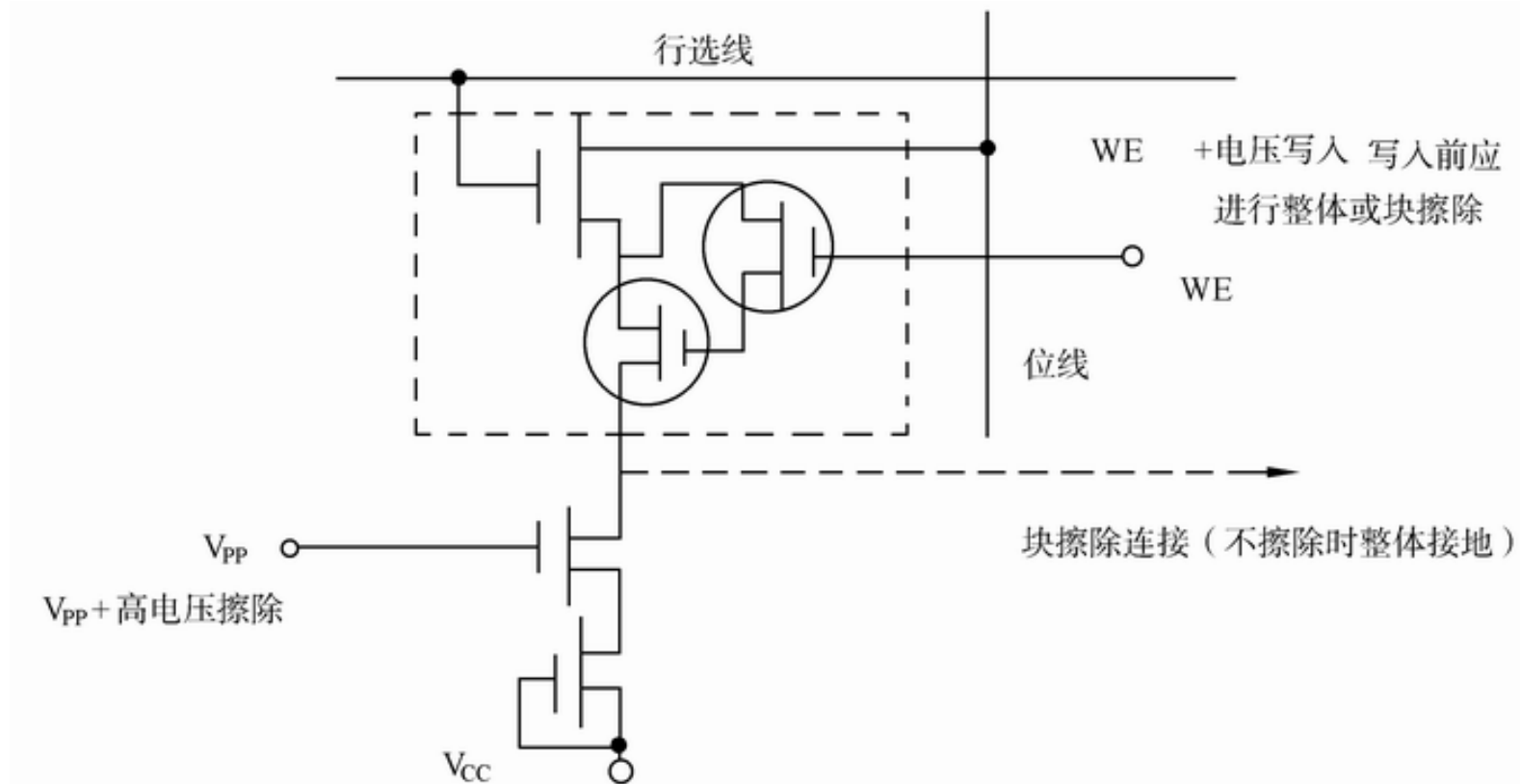
本质上属于**EEPROM**，既有**ROM**的特点，又有很高的存取速度，而且易于擦除和重写，功耗很小。

闪速存储器是在EPROM功能基础上增加了电路的电擦除和重新编程能力。

- 特点：**
- (1) 固有的非易失性
 - (2) 廉价的高密度
 - (3) 可直接执行
 - (4) 固态性能



基本单元电路

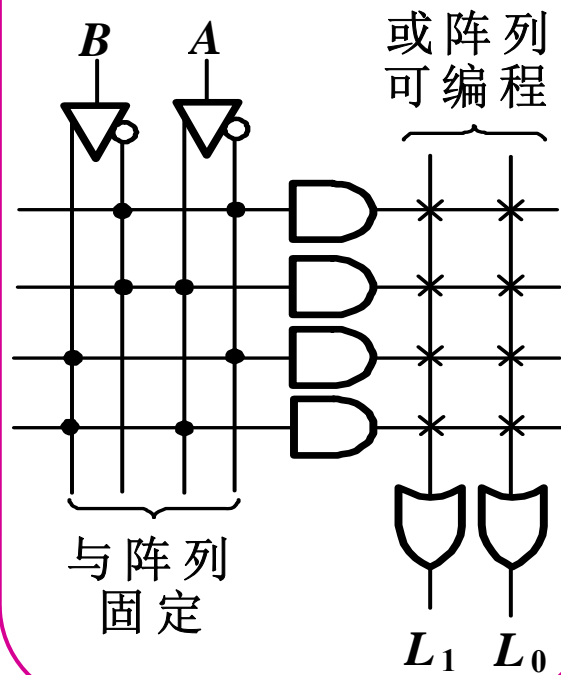


擦除方法是在源极加正电压利用第一级浮空栅与源极之间的隧道效应，把注入至浮空栅的负电荷吸引到源极。由于利用源极加正电压擦除，因此各单元的源极联在一起，这样，快擦存储器不能按字节擦除，而是全片或分块擦除。

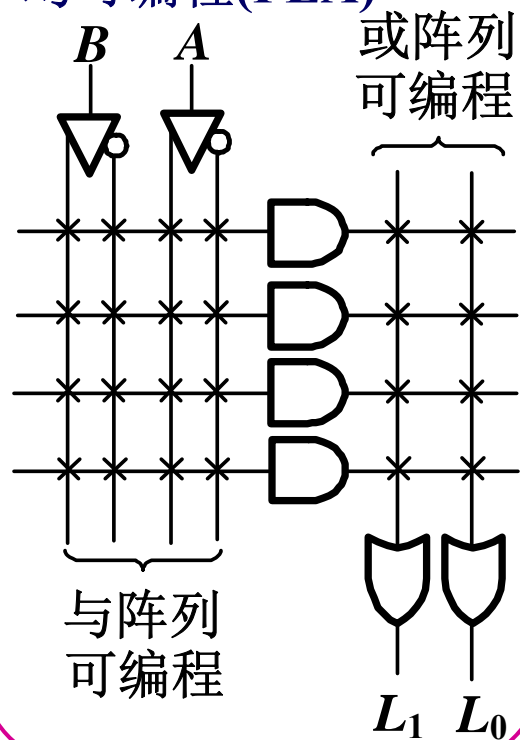
(五) 按PLD中的与、或阵列是否编程分

PLD中的三种与、或阵列

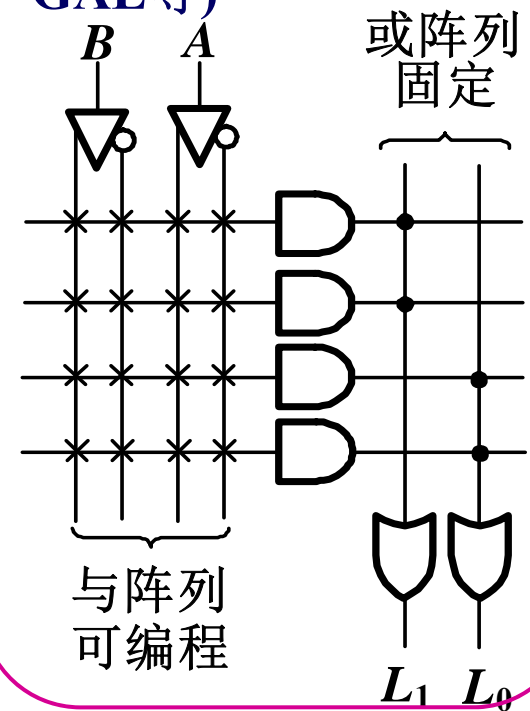
与阵列固定，或阵列可编程(PROM)



与阵列、或阵列均可编程(PLA)



与阵列可编程，或阵列固定(PAL和GAL等)



可编程ROM

内部的或阵列可编程，与阵列和输出电路固定，其编程数据只能写一次。

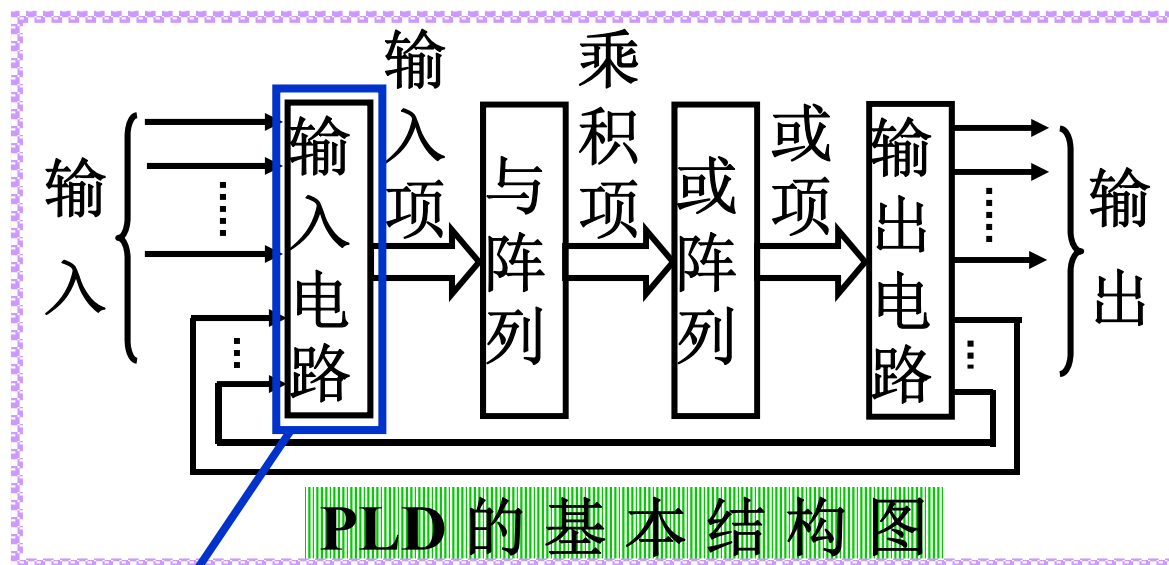
PLA(可编程逻辑阵列)

内部的与阵列和或阵列均可编程，输出电路固定，其编程数据只能写一次。

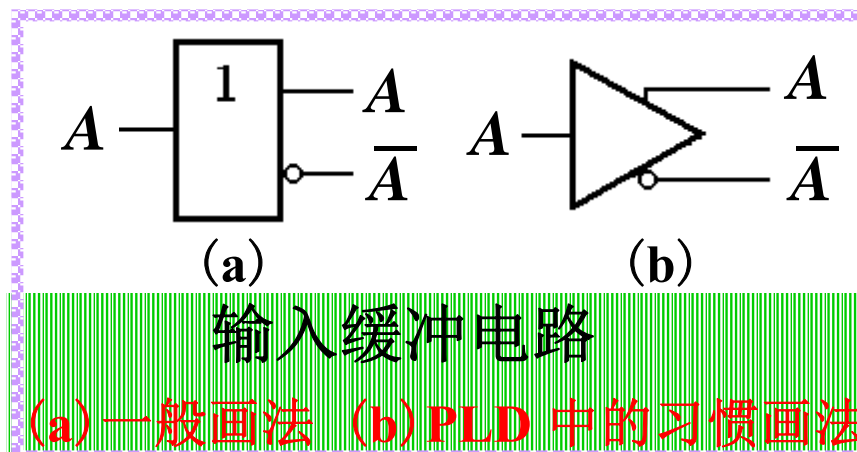
PAL(可编程阵列逻辑)

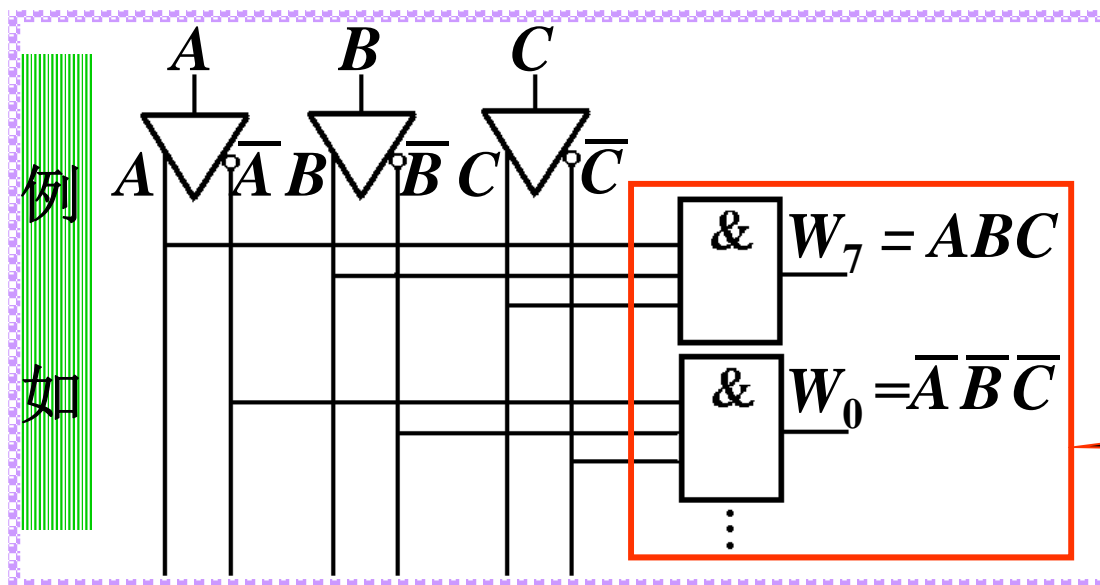
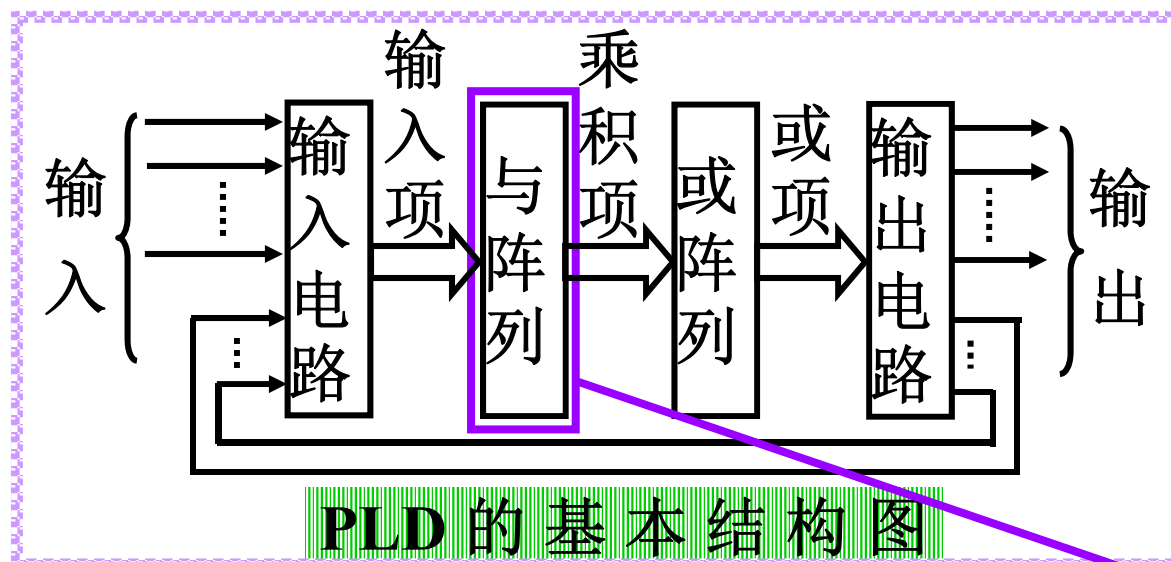
内部的与阵列可编程，而或阵列和输出电路固定，其编程数据只能写一次。

3 可编程逻辑器件的基本结构和编程原理



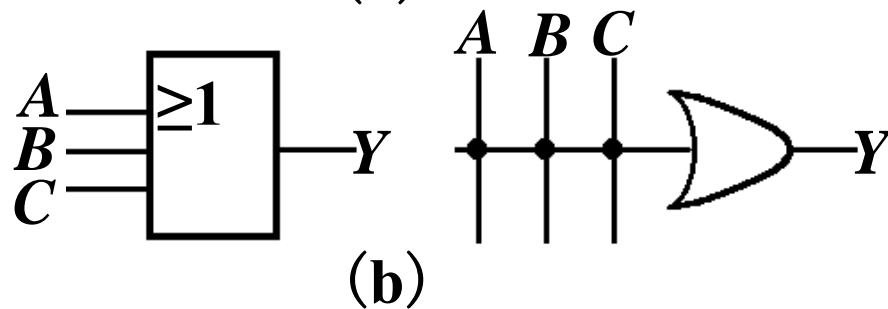
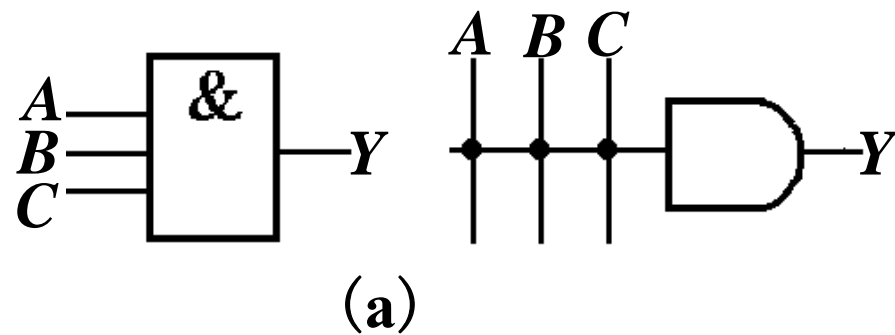
输入缓冲电路用以产生输入变量的原变量和反变量，并提供足够的驱动能力。



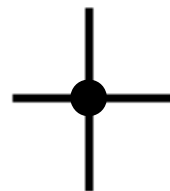


由多个多输入与门组成，用以产生输入变量的各乘积项。

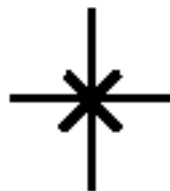
与阵列



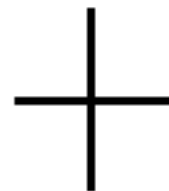
PLD 中与门和或门的习惯画法



固定连接



可编程连接

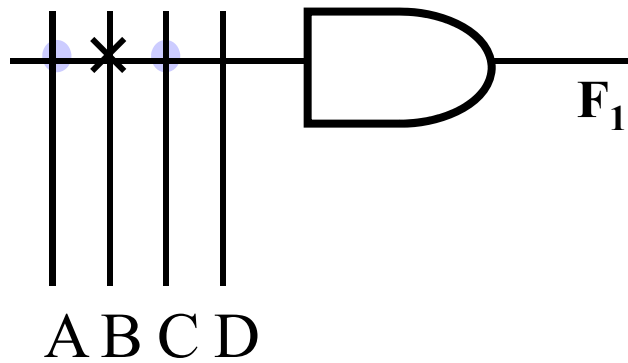


断开连接

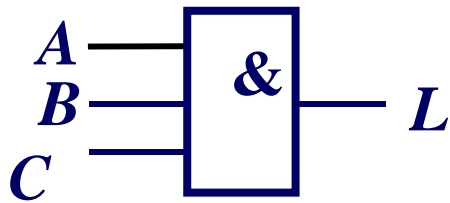
PLD 器件中连接的习惯画法

基本门电路的表示方式

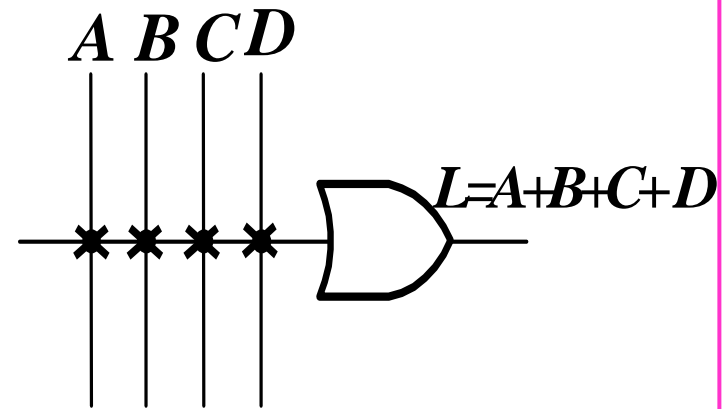
与门



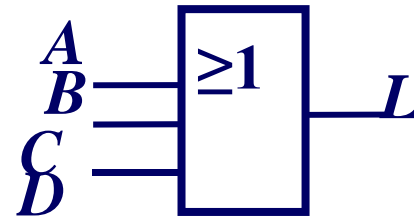
$$F_1 = A \cdot B \cdot C$$

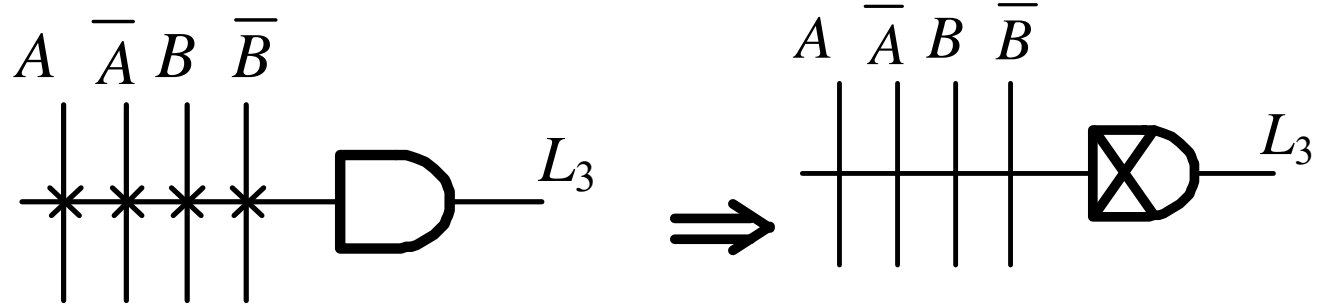


或门

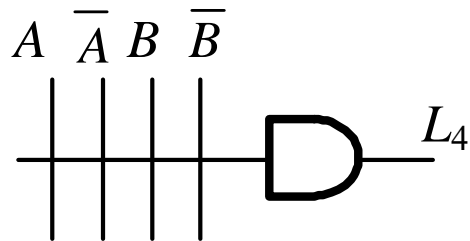


$$F_1 = A + B + C + D$$

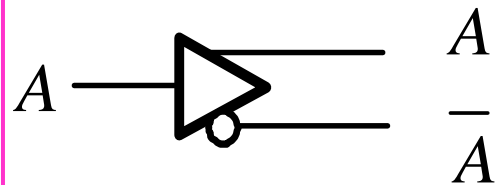




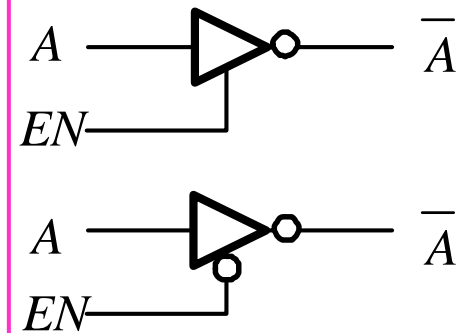
输出恒等于0的与门



输出为1的与门



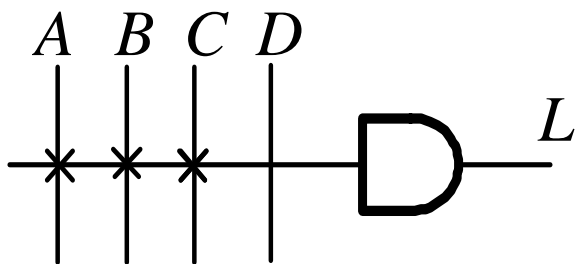
输入缓冲器



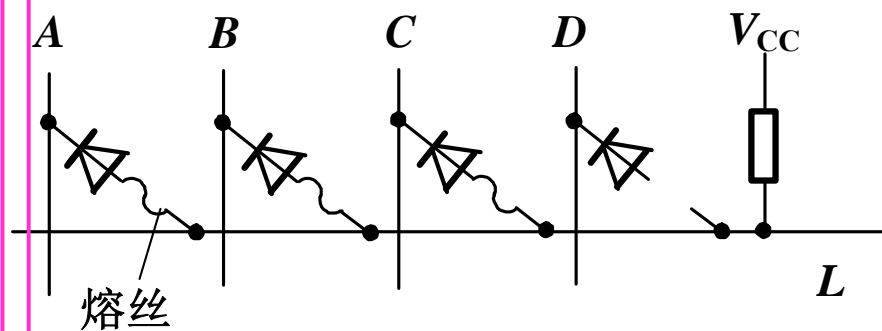
三态输出缓冲器

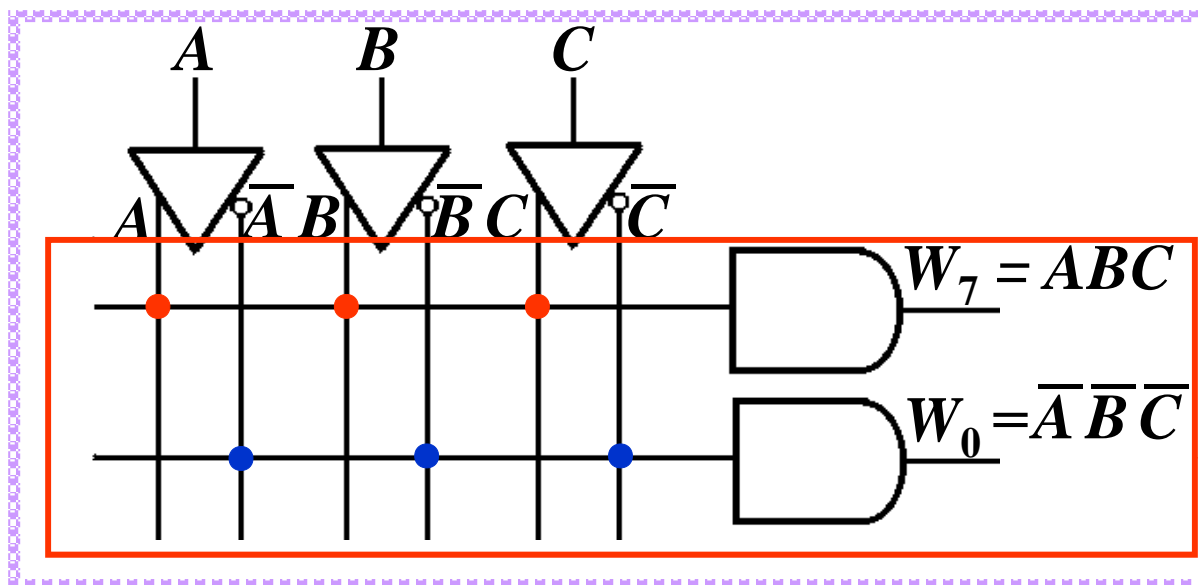
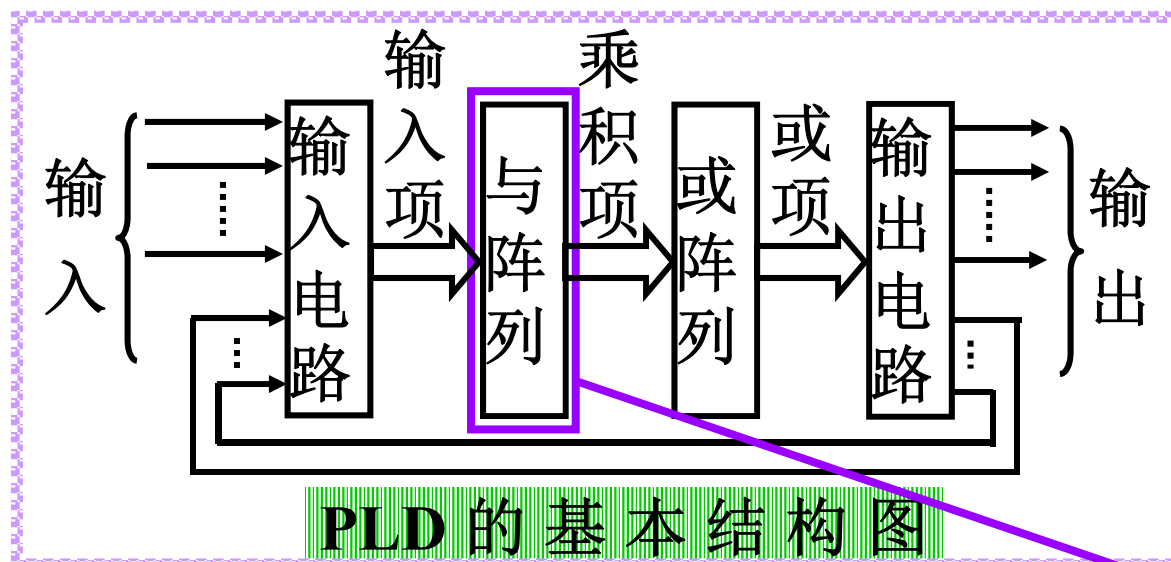
编程连接技术

PLD表示的与门



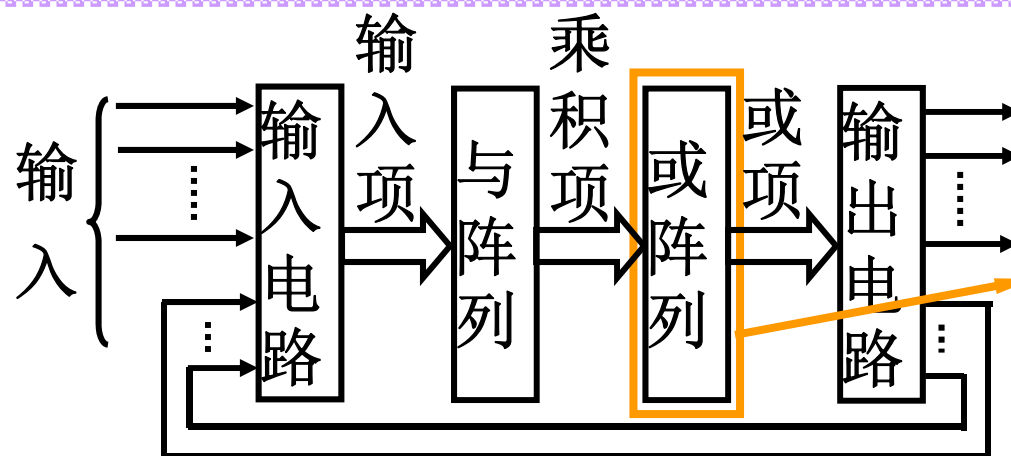
熔丝工艺的与门原理图





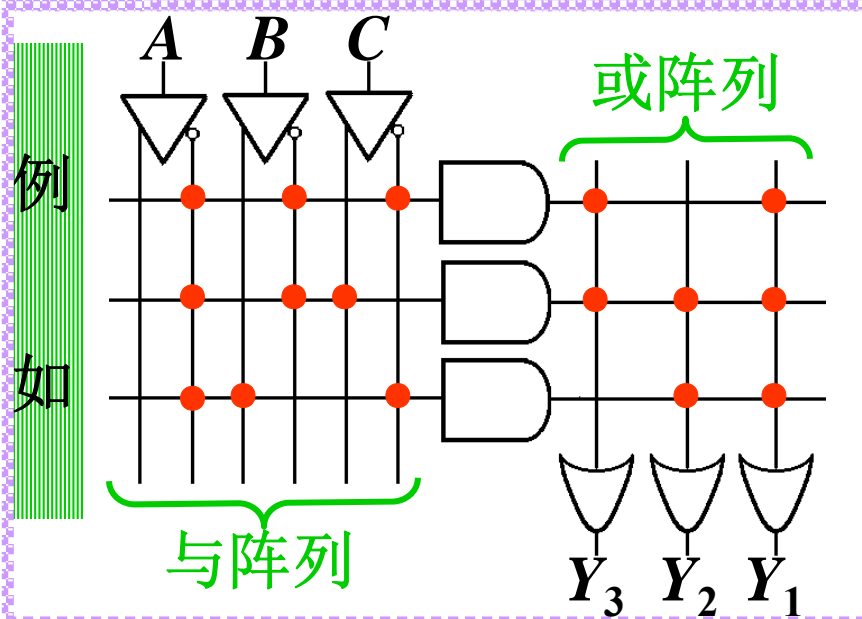
由多个多输入与门组成，用以产生输入变量的各乘积项。

与阵列的
PLD 习惯画法



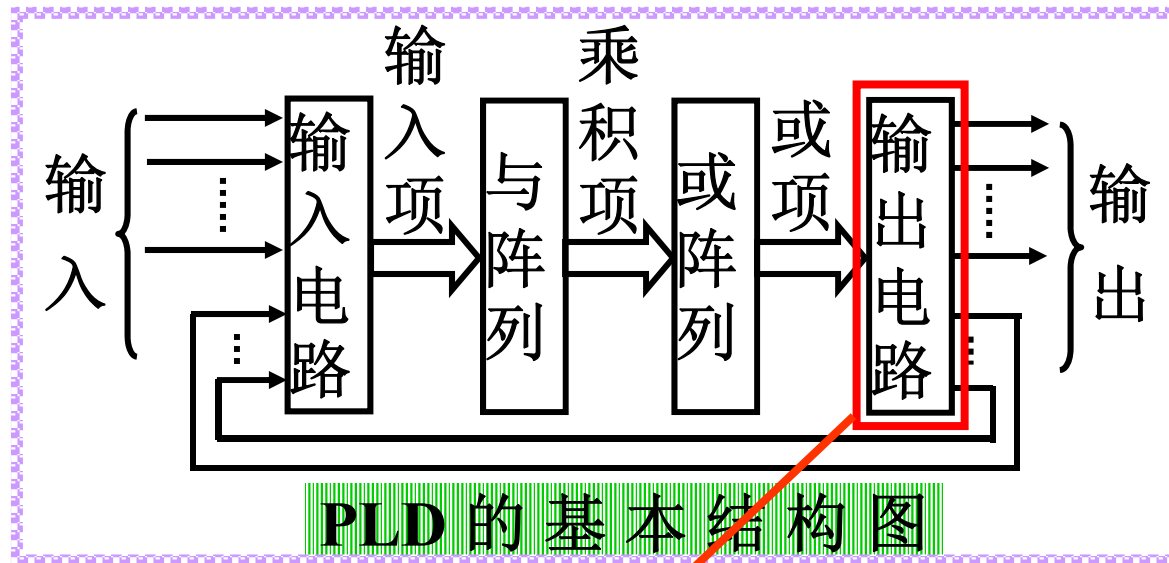
由多个多输入或门组成，用以产生或项，即将输入的某些乘积项相加。

PLD 的基本结构图



由图可得

$$\begin{cases} Y_1 = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + \bar{A}B\bar{C} \\ Y_2 = \bar{A}\bar{B}C + \bar{A}B\bar{C} \\ Y_3 = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C \end{cases}$$

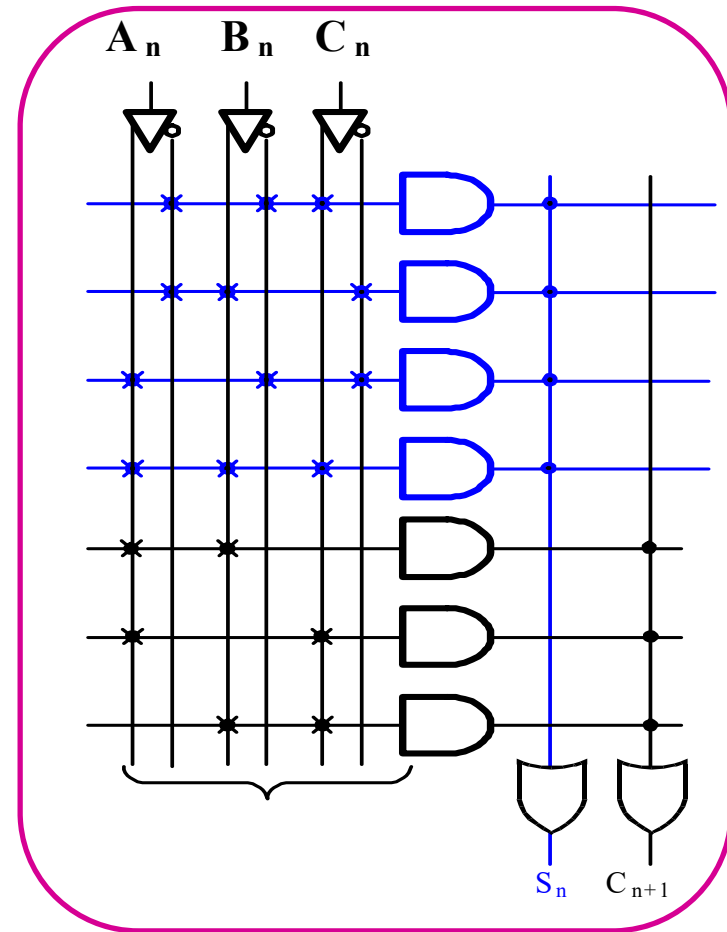


PLD 的输出回路因器件的不同而有所不同，但总体可分为**固定输出**和**可组态输出**两大类。

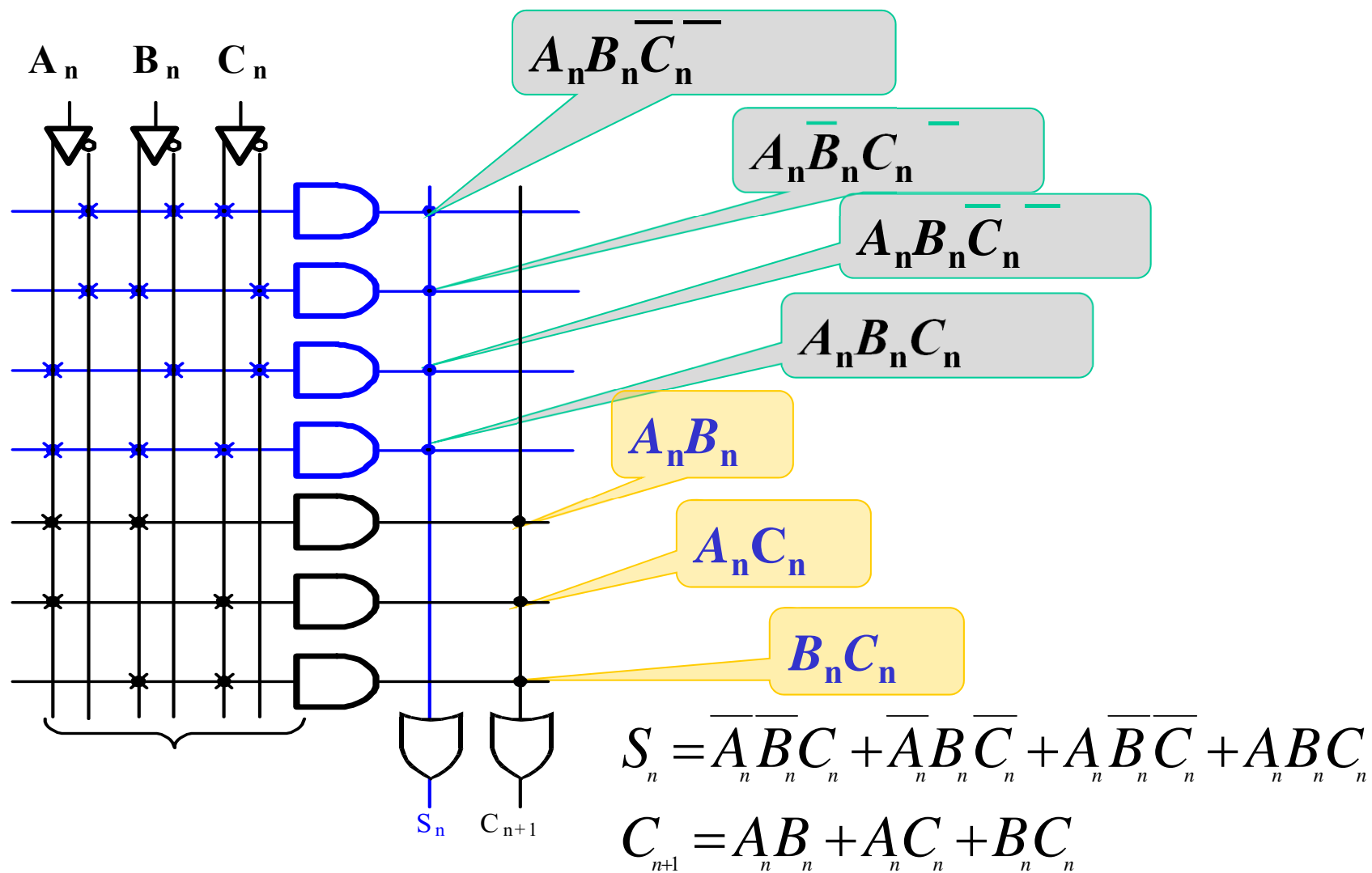
组合逻辑电路的 PLD 实现

例 由PLA构成的逻辑电路如图所示，试写出该电路的逻辑表达式，并确定其逻辑功能。

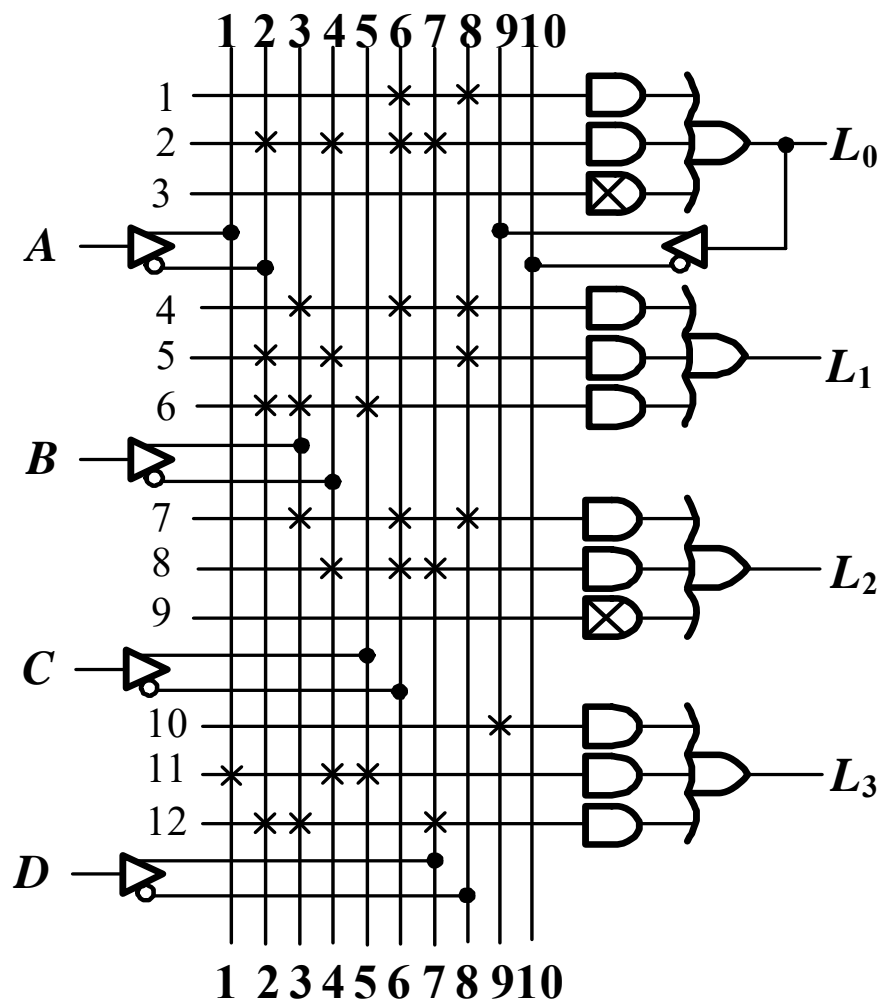
写出该电路的逻辑表达式：



全加器



例：试写出该电路的逻辑表达式。



$$L_0 = \overline{\overline{C}}\overline{\overline{D}} + \overline{\overline{A}}\overline{\overline{B}}\overline{\overline{C}}\overline{\overline{D}}$$

$$L_1 = \overline{\overline{B}}\overline{\overline{C}}\overline{\overline{D}} + \overline{\overline{A}}\overline{\overline{B}}\overline{\overline{D}} + \overline{\overline{A}}\overline{\overline{B}}\overline{\overline{C}}$$

$$L_2 = \overline{\overline{B}}\overline{\overline{C}}\overline{\overline{D}} + \overline{\overline{B}}\overline{\overline{C}}\overline{\overline{D}}$$

$$L_3 = L_0 + \overline{\overline{A}}\overline{\overline{B}}\overline{\overline{C}} + \overline{\overline{A}}\overline{\overline{B}}\overline{\overline{D}}$$

PAL应用举例：

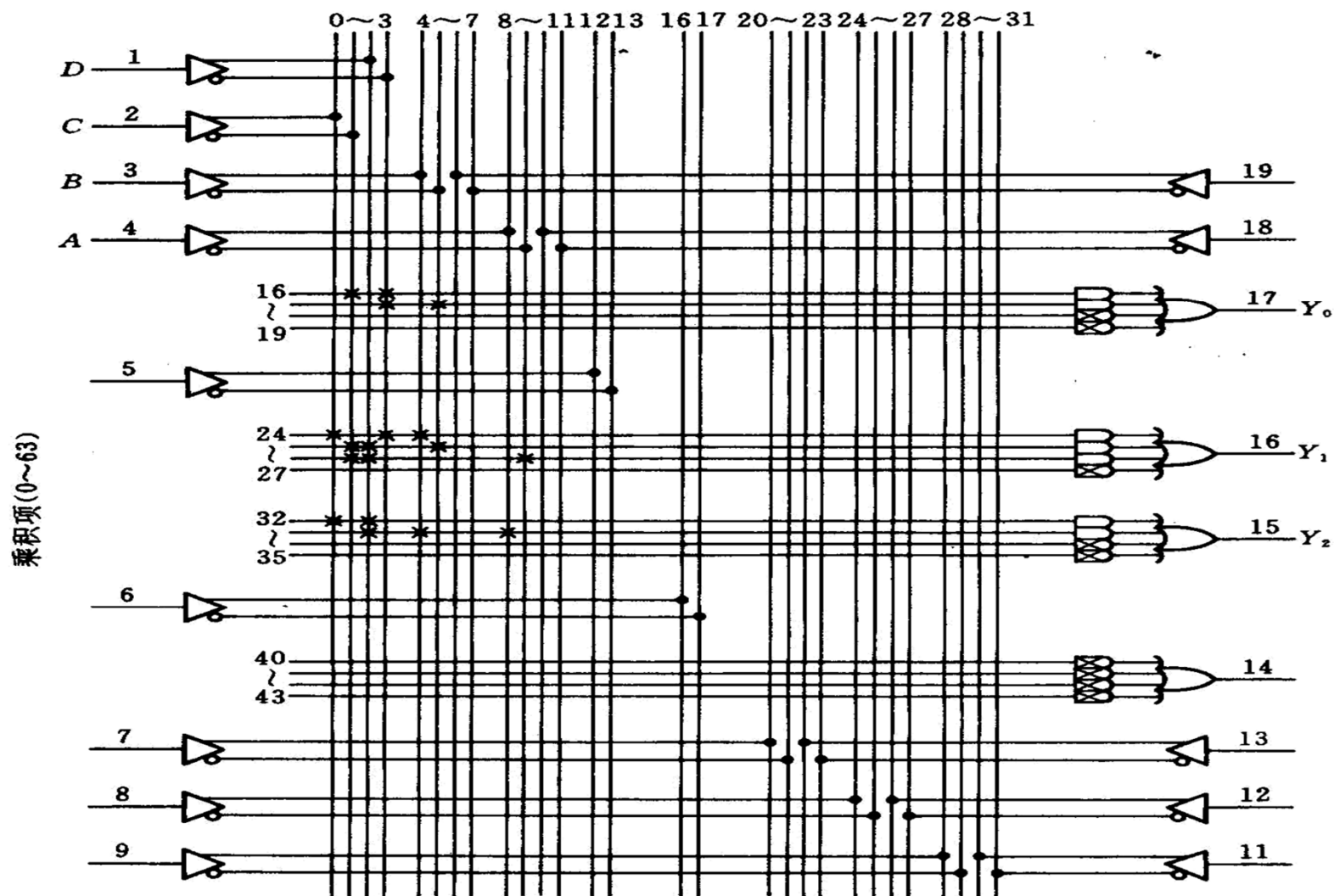
[例] 用PAL器件设计一个数值判别电路。要求判断4位二进制数DCBA的大小属于0-5、6-10、11-15三个区间的哪一个之内。

解：

函数真值表

十进制数	二进制数				Y ₀	Y ₁	Y ₂
	D	C	B	A			
0	0	0	0	0	1	0	0
1	0	0	0	1	1	0	0
2	0	0	1	0	1	0	0
3	0	0	1	1	1	0	0
4	0	1	0	0	1	0	0
5	0	1	0	1	1	0	0
6	0	1	1	0	0	1	0
7	0	1	1	1	0	1	0
8	1	0	0	0	0	1	0
9	1	0	0	1	0	1	0
10	1	0	1	0	0	1	0
11	1	0	1	1	0	0	1
12	1	1	0	0	0	0	1
13	1	1	0	1	0	0	1
14	1	1	1	0	0	0	1
15	1	1	1	1	0	0	1

从真值表可写出 Y_0 、 Y_1 、 Y_2 的逻辑函数式，这是一组具有4个输入变量、3个输出的组合逻辑函数。若选用PAL14H4来实现，可得如下所示逻辑图：



编程后的PAL14H4电路

[例] 用PAL器件设计一个4位循环码计数器，并要求所设计的计数器具有置零和对输出进行三态控制的功能。

解：

4位循环码的计数顺序表

CP	Y ₃	Y ₂	Y ₁	Y ₀	C(进位)
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	1	0
3	0	0	1	0	0
4	0	1	1	0	0
5	0	1	1	1	0
6	0	1	0	1	0
7	0	1	0	0	0
8	1	1	0	0	0
9	1	1	0	1	0
10	1	1	1	1	0
11	1	1	1	0	0
12	1	0	1	0	0
13	1	0	1	1	0
14	1	0	0	1	0
15	1	0	0	0	1
16	0	0	0	0	0

PAL16R4可满足上述要求，因为PAL16R4的**输出缓冲器是反相器**，所以4个触发器Q端的状态与上表中的Y状态相反，则 $Q_3Q_2Q_1Q_0$ 的状态转换顺序应如下表所示：

CP	Q_3	Q_2	Q_1	Q_0	\bar{C} (进位)
0	1	1	1	1	1
1	1	1	1	0	1
2	1	1	0	0	1
3	1	1	0	1	1
4	1	0	0	1	1
5	1	0	0	0	1
6	1	0	1	0	1
7	1	0	1	1	1
8	0	0	1	1	1
9	0	0	1	0	1
0	0	0	0	0	1
11	0	0	0	1	1
12	0	1	0	1	1
13	0	1	0	0	1
14	0	1	1	0	1
15	0	1	1	1	0
16	1	1	1	1	1

PAL16R4中触发器的状态转换表

化简可得各个触发器的状态方程为：

$$\begin{cases} Q_3^{n+1} = Q_3 \bar{Q}_1 + Q_3 \bar{Q}_0 + Q_2 Q_1 Q_0 \\ Q_2^{n+1} = Q_2 \bar{Q}_0 + Q_2 Q_1 + \bar{Q}_3 \bar{Q}_1 Q_0 \\ Q_1^{n+1} = Q_1 Q_0 + Q_3 \bar{Q}_2 \bar{Q}_0 + \bar{Q}_3 Q_2 \bar{Q}_0 \\ Q_0^{n+1} = \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 + \bar{Q}_3 Q_2 Q_1 + Q_3 Q_2 \bar{Q}_1 + Q_3 \bar{Q}_2 Q_1 \end{cases}$$

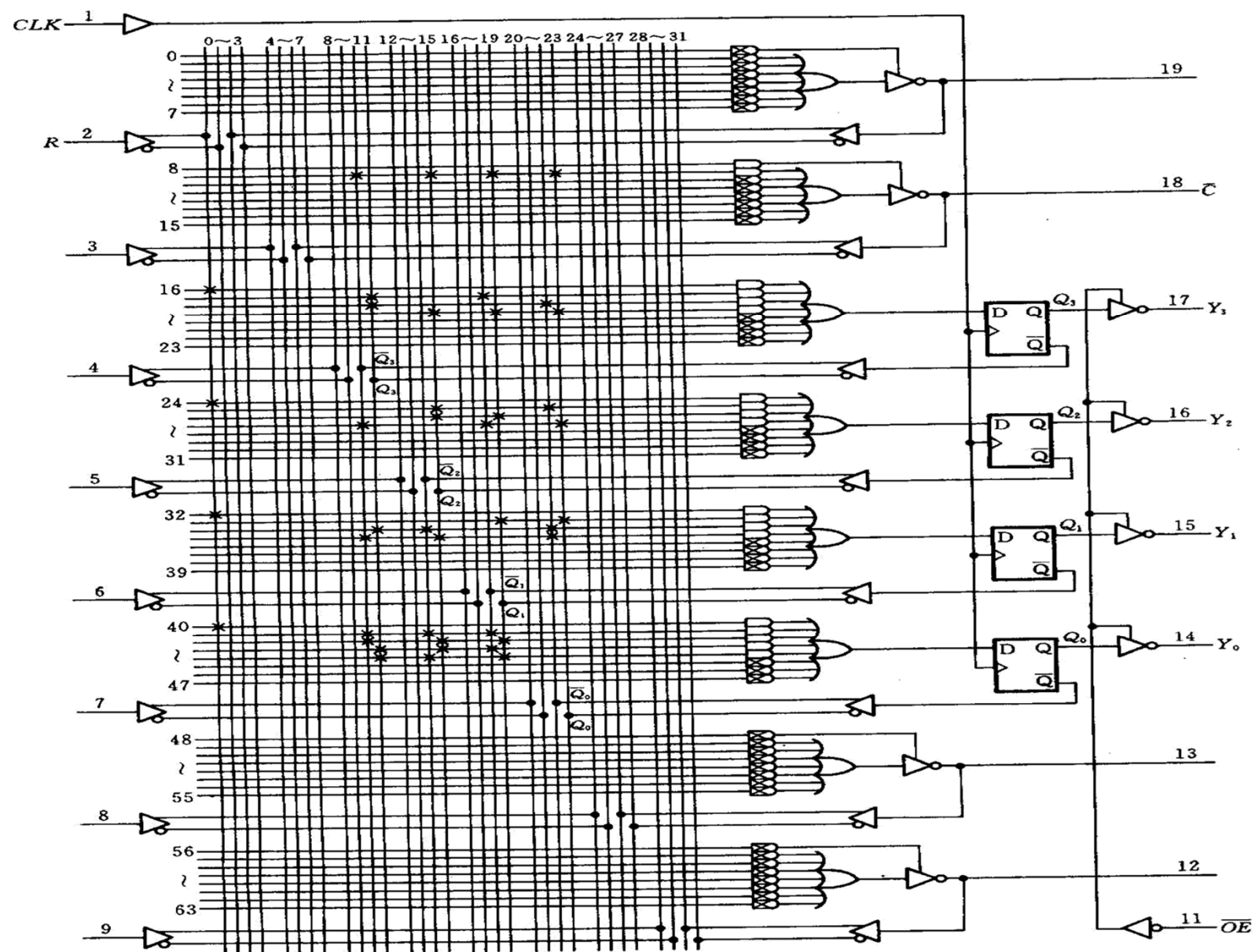
驱动方程为：

$$\begin{cases} D_3 = Q_3 \bar{Q}_1 + Q_3 \bar{Q}_0 + Q_2 Q_1 Q_0 + R \\ D_2 = Q_2 \bar{Q}_0 + Q_2 Q_1 + \bar{Q}_3 \bar{Q}_1 Q_0 + R \\ D_1 = Q_1 Q_0 + Q_3 \bar{Q}_2 \bar{Q}_0 + \bar{Q}_3 Q_2 \bar{Q}_0 + R \\ D_0 = \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 + \bar{Q}_3 Q_2 Q_1 + Q_3 Q_2 \bar{Q}_1 + Q_3 \bar{Q}_2 Q_1 + R \end{cases}$$

进位输出信号的逻辑函数式为

$$\bar{C} = \overline{Q_3 Q_2 Q_1 Q_0}$$

用PAL16R4实现四位循环码计数器



4 可编程通用阵列逻辑器件(GAL)

PAL的不足:

- 1、由于采用的是双极型熔丝工艺，一旦编程后不能修改；
- 2、输出结构类型太多，给设计和使用带来不便。

GAL的优点:

- 1、采用电可擦除的E²CMOS工艺可以多次编程；
- 2、输出端设置了可编程的输出逻辑宏单元（OLMC）通过编程可将OLMC设置成不同的工作状态，即一片GAL便可实现PAL的5种输出工作模式。器件的通用性强；
- 3、GAL工作速度快，功耗小

GAL(通用阵列逻辑 普通型)

1) GAL可编程逻辑器件

内部的**与阵列**可编程，**输出电路**可组态输出，采用了电擦除可重复编程，但**或阵列**固定不能编程。

由于GAL工作速度快、价格低、具有强大的编程工具和软件支撑，在电路结构上用可编程的输出逻辑宏单元取代了固定输出电路，因而功能相对于PROM、PLA和PAL等可编程器件更强。称为**通用可编程逻辑器件**。

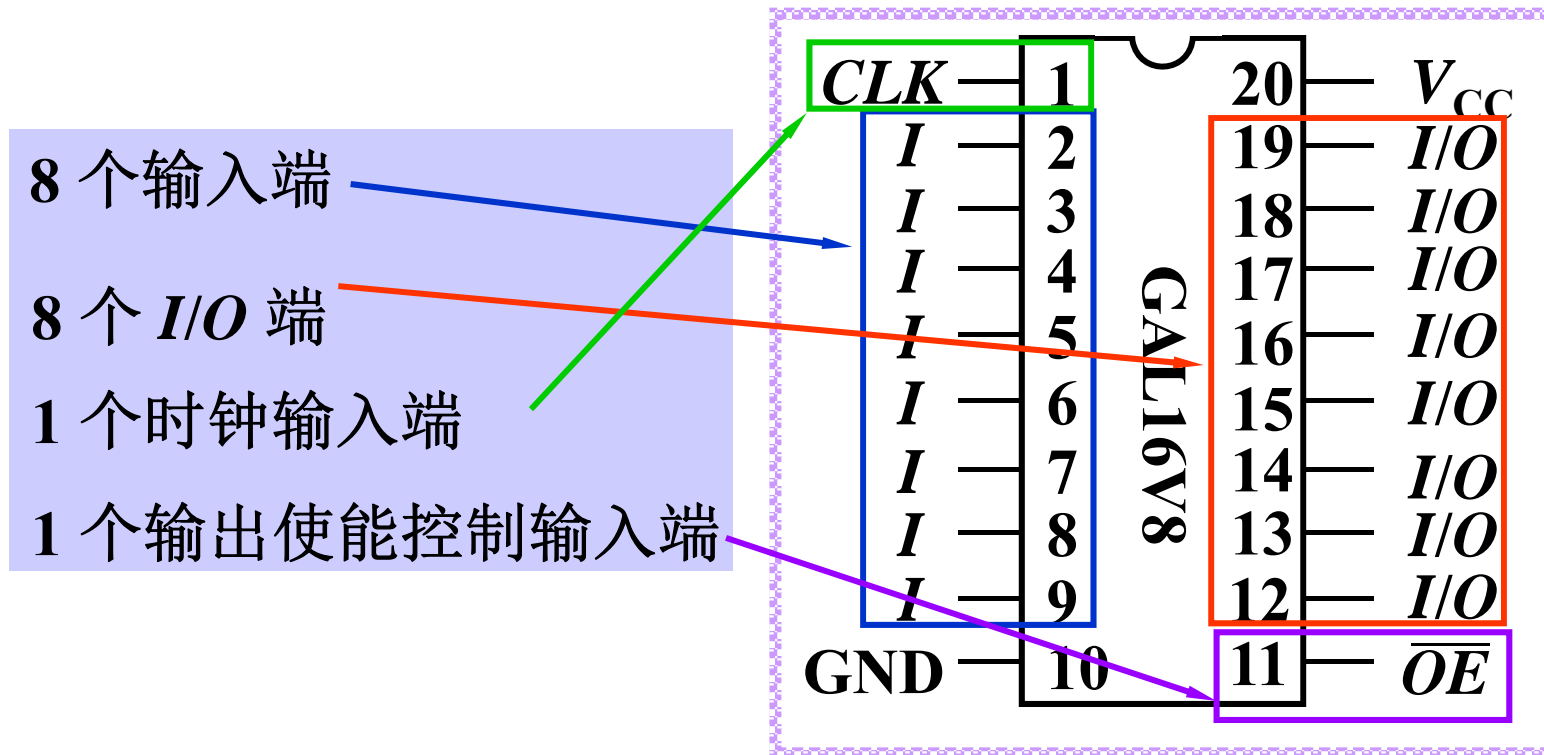
低密度的可编程逻辑器件多用 GAL。

GAL器件分两大类：一类为普通型GAL，其与或阵列结构与PAL相似，如GAL16V8（V表示输出方式可变）、GAL20V8、ispGAL16Z8都属于这一类；另一类为新型GAL，其与或阵列均可编程，与PLA结构相似，主要有GAL39V8。

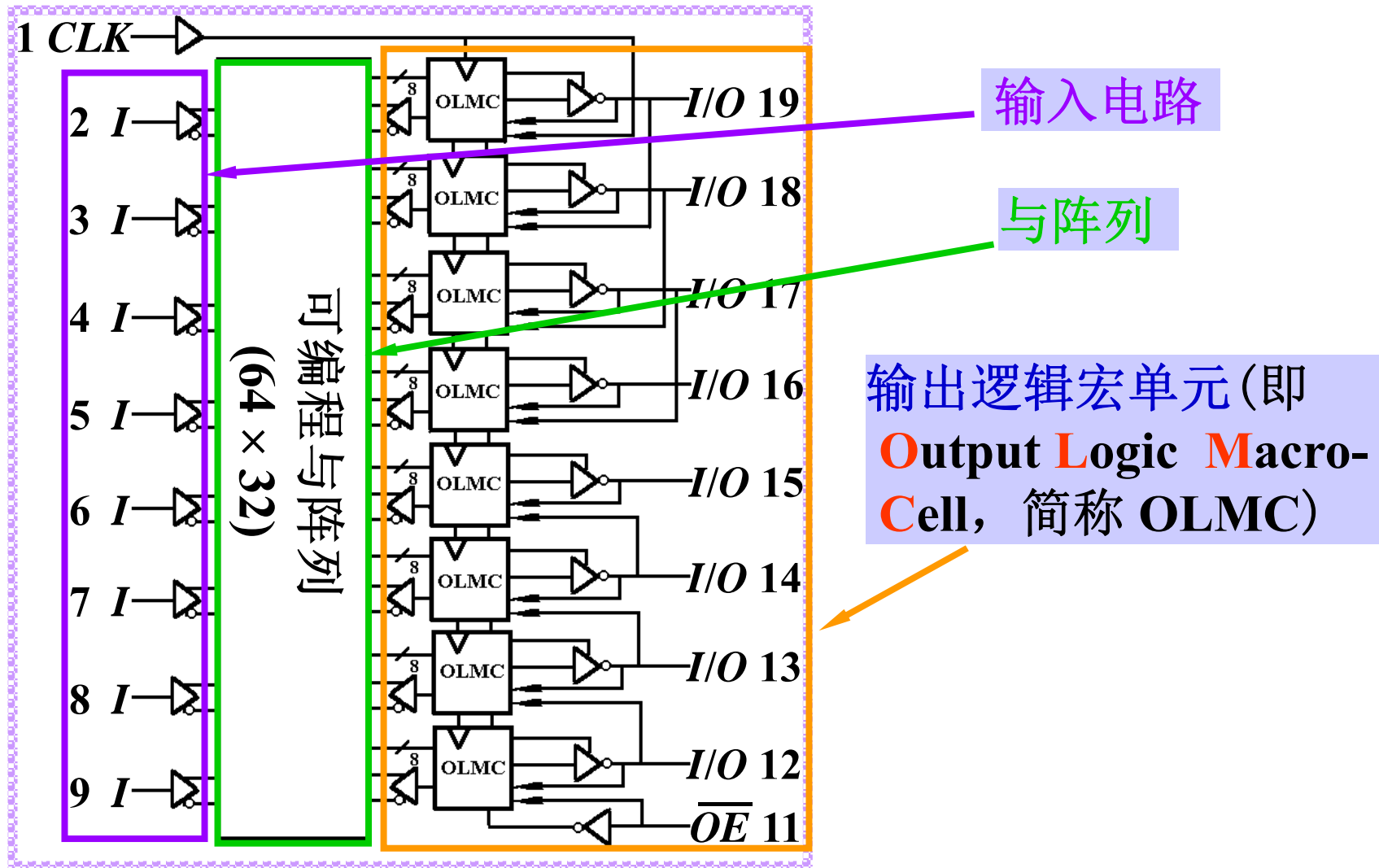
2) GAL16V8 简介

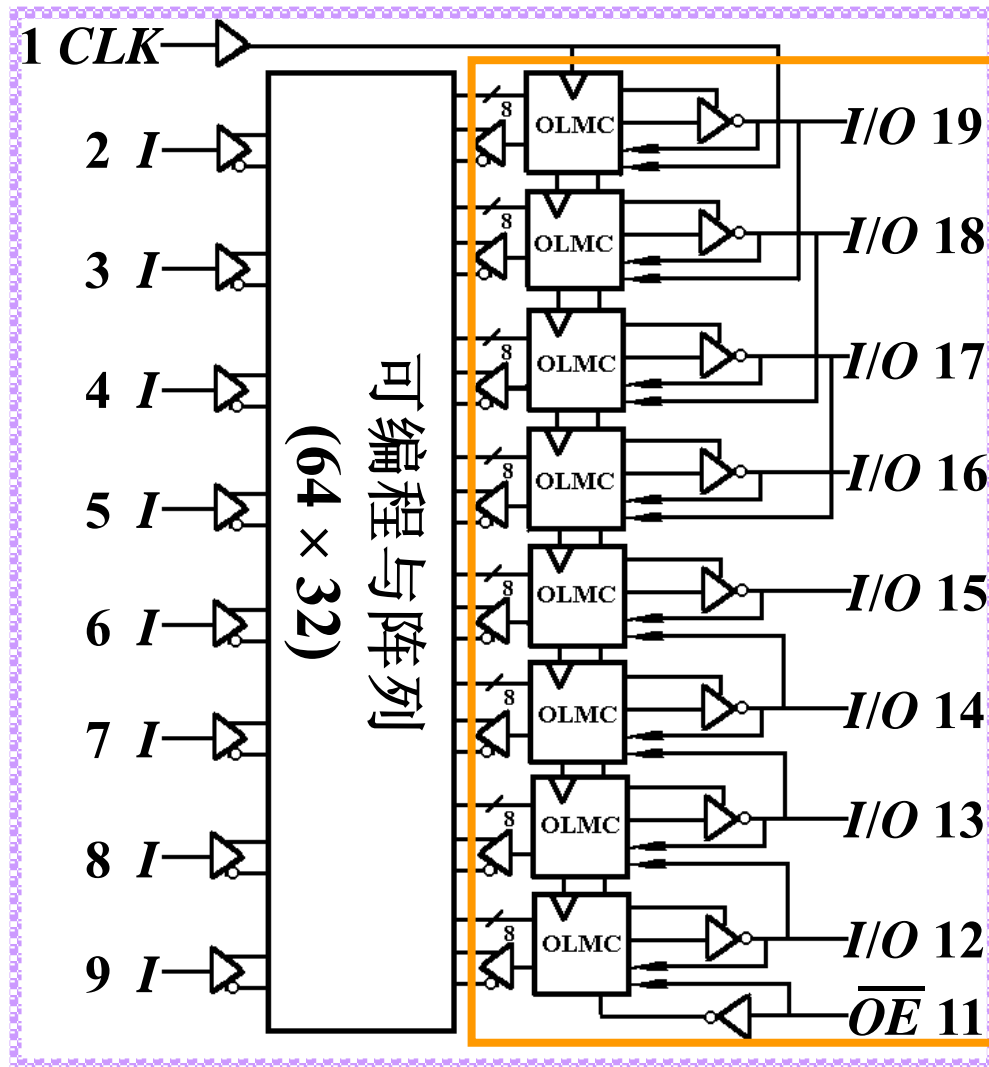
采用 CMOS E²PROM 工艺，
可电擦除、可重复编程。

1. GAL16V8 引脚图



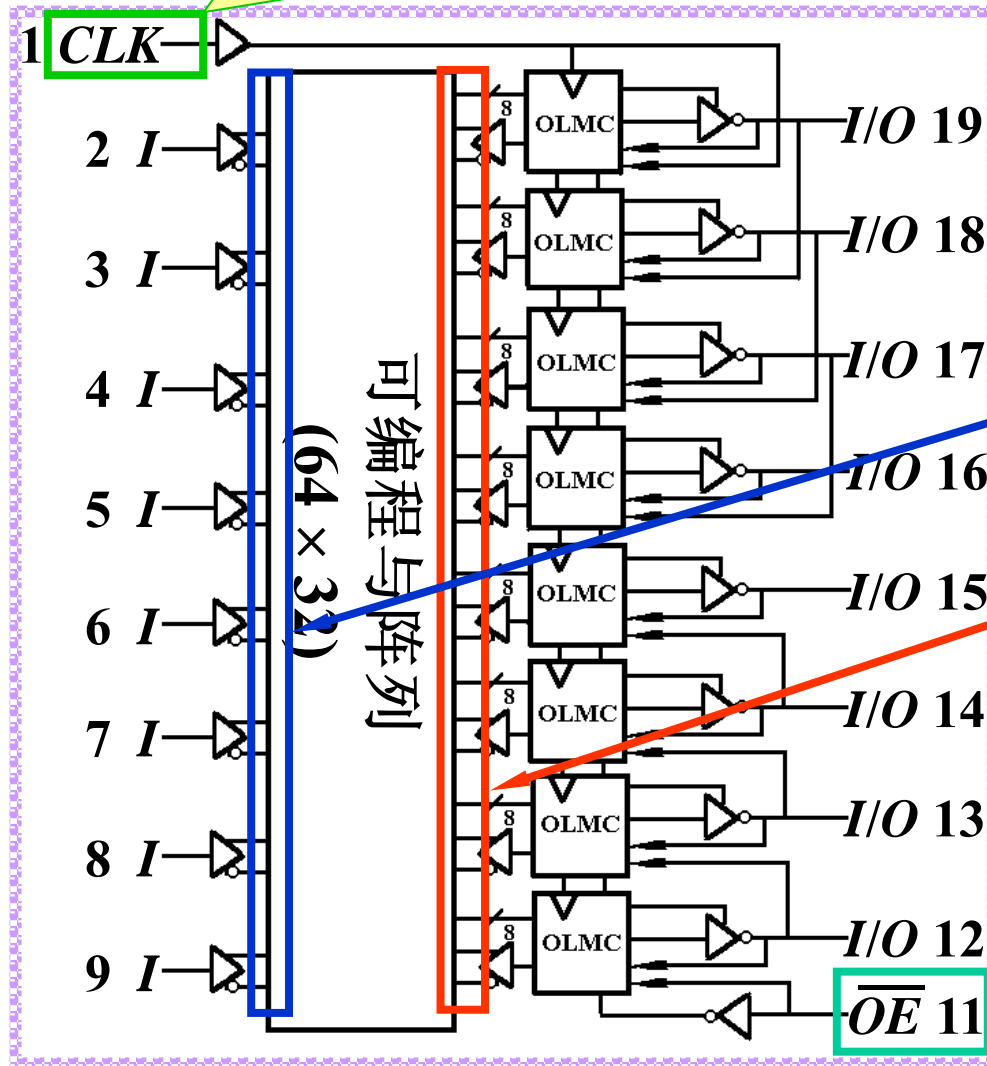
2. GAL16V8 逻辑图





OLMC 中含有或门、*D* 触发器和多路选择器等，通过对 OLMC 编程可得到组合电路输出、时序电路输出、双向 *I/O* 端等多种工作组态。

时钟输入端，提供时序电路所需要的时钟信号。



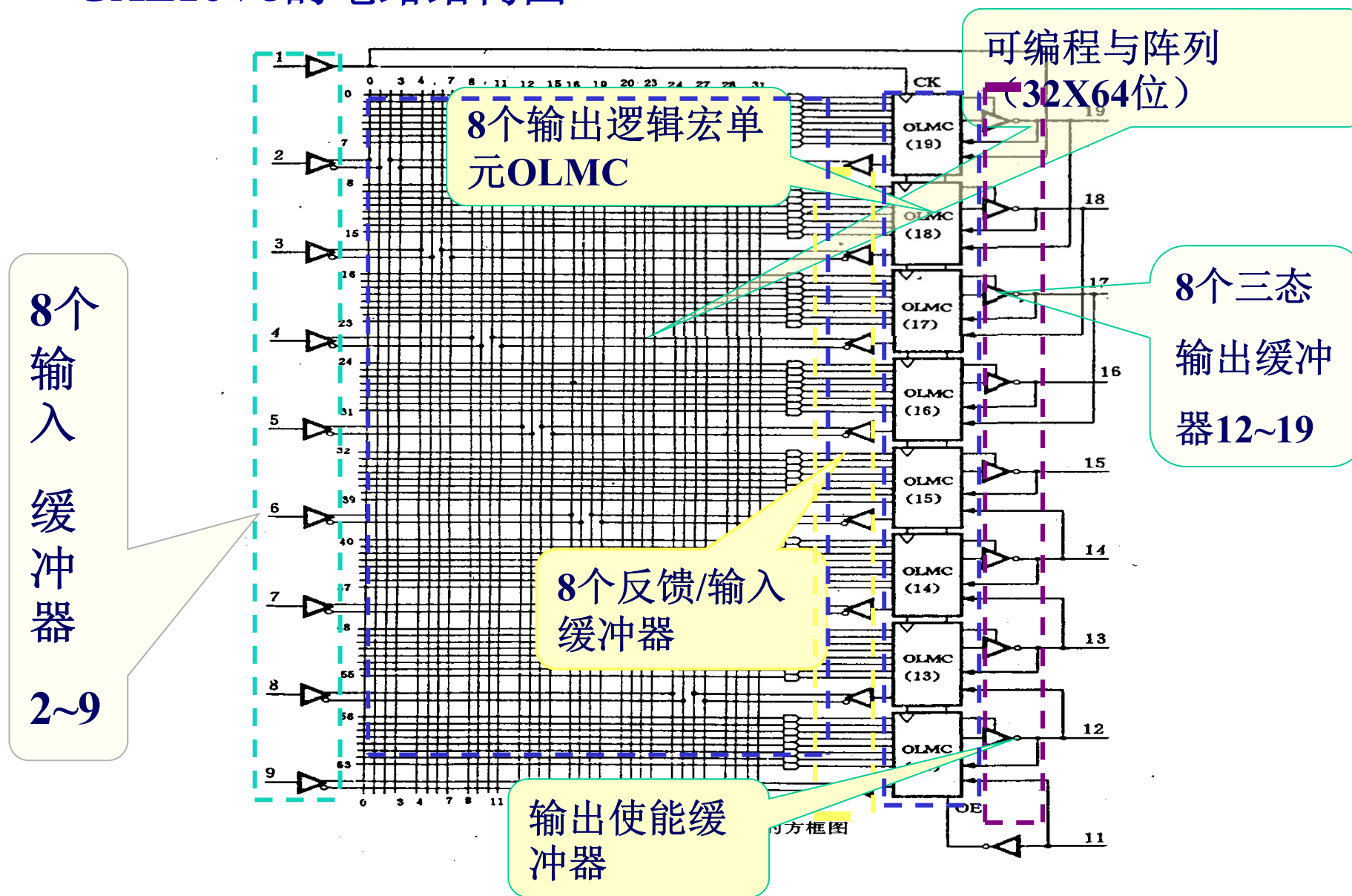
与阵列的作用是产生输入信号的乘积项。其输入信号为 **8 个输入端提供的原、反变量** 和 **8 个反馈输入端提供的原、反变量**。产生这些变量的哪些乘积项，则由对与阵列的编程决定。

输出使能控制输入端。它作为全局控制信号控制各 **I/O** 端的工作方式。

通用阵列逻辑GAL

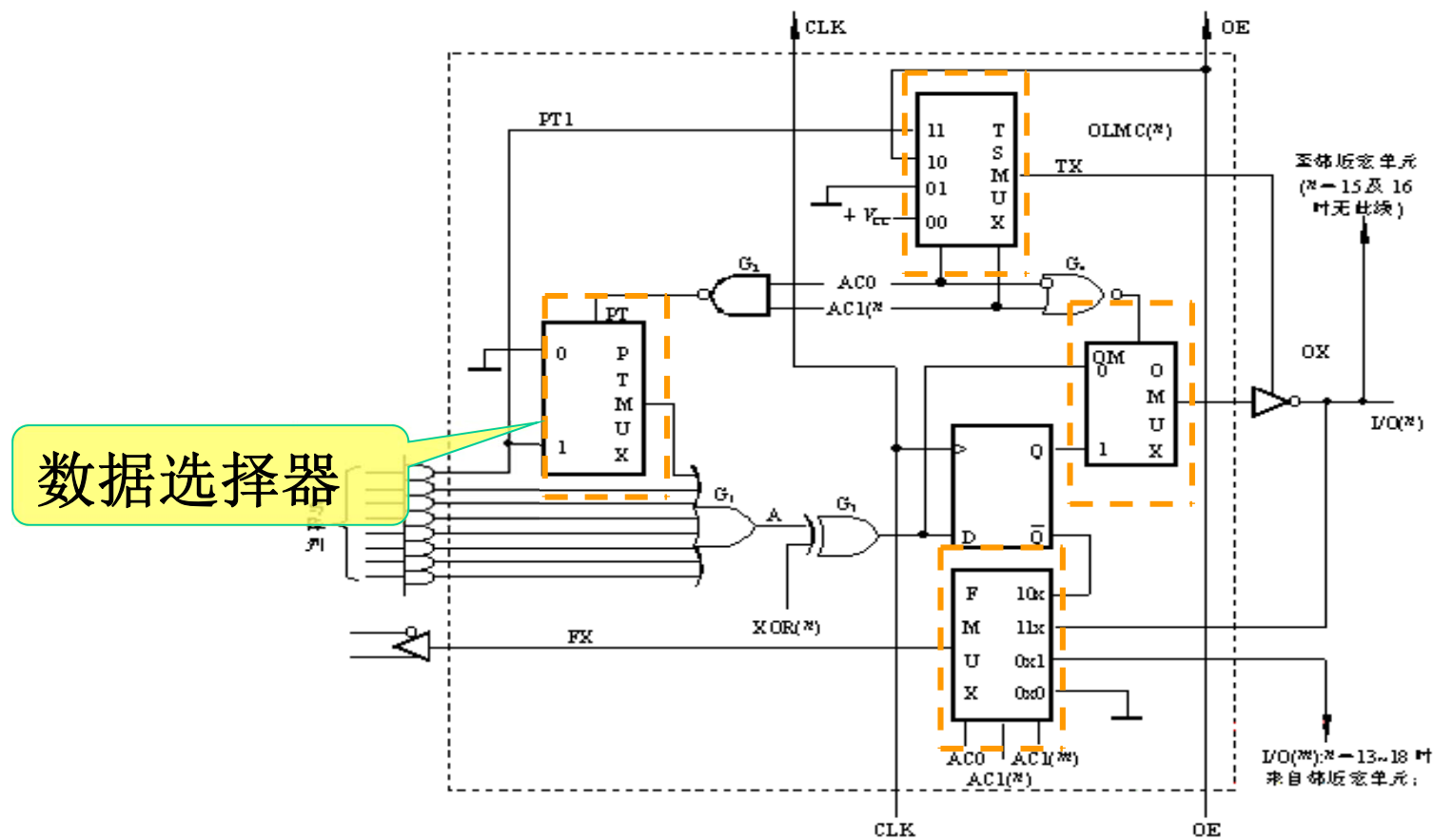
GAL的电路结构与PAL类似，由可编程的与逻辑阵列、固定的或逻辑阵列和输出电路组成，但GAL的输出端增设了可编程的输出逻辑宏单元（OLMC）。通过编程可将OLMC设置为不同的工作状态，可实现PAL的所有输出结构，产生组合、时序逻辑电路输出。

GAL16V8的电路结构图

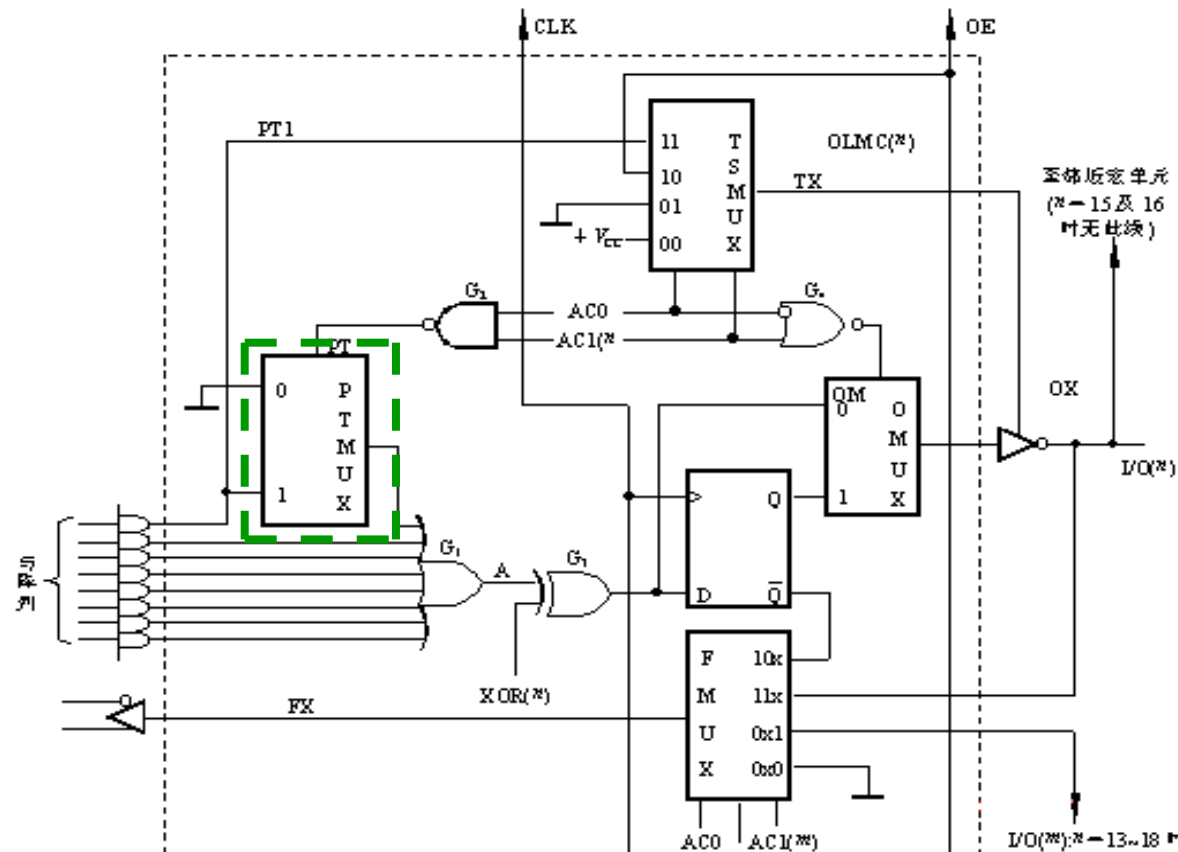


3、OLMC介绍:

OLMC中包含一个或门、一个D触发器和由4个数据选择器及一些门电路构成的控制电路。如图所示:

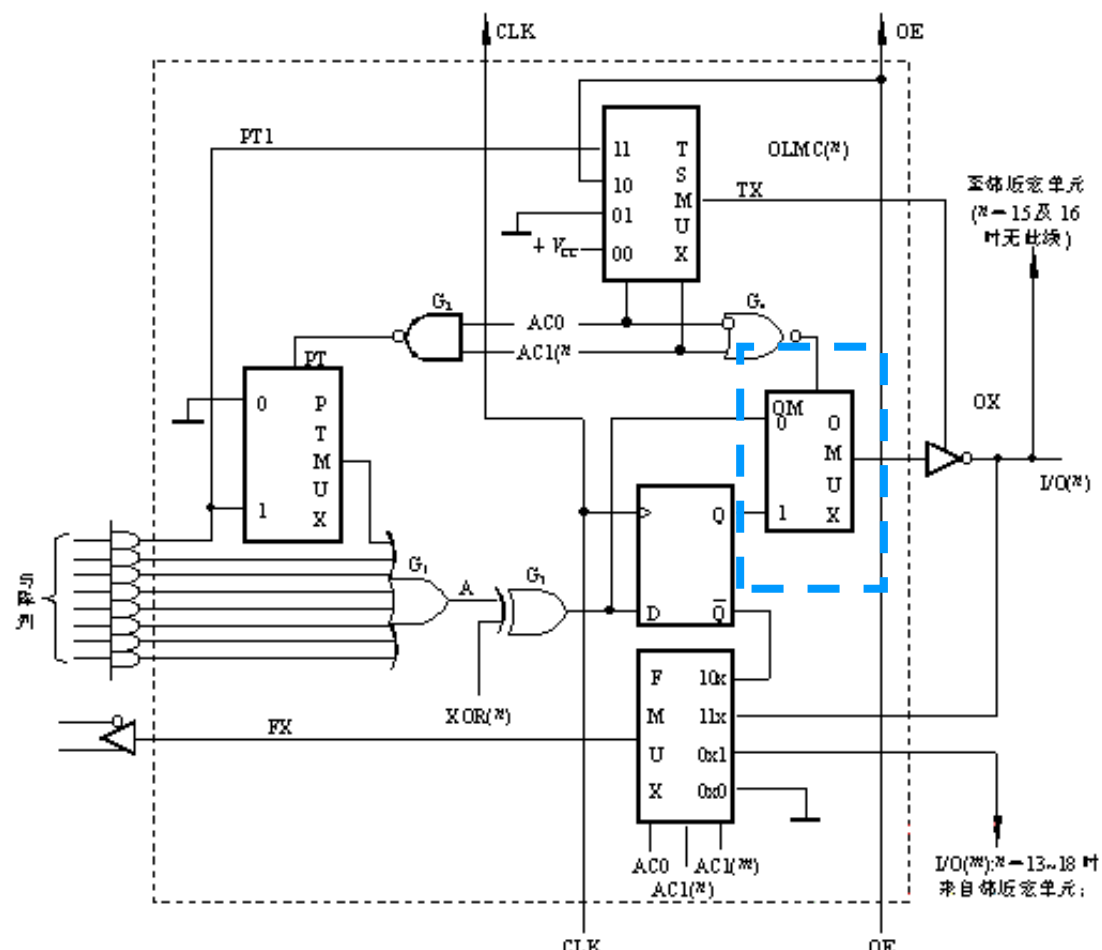


乘积项数据选择器(2选1)



乘积项数据选择器：根据AC0和AC1(n)决定与逻辑阵列的第一乘积项是否作为或门的一个输入端。只有在G₁的输出为1时，第一乘积项是或门的一个输入端。

输出数据选择器(2选1)——OMUX

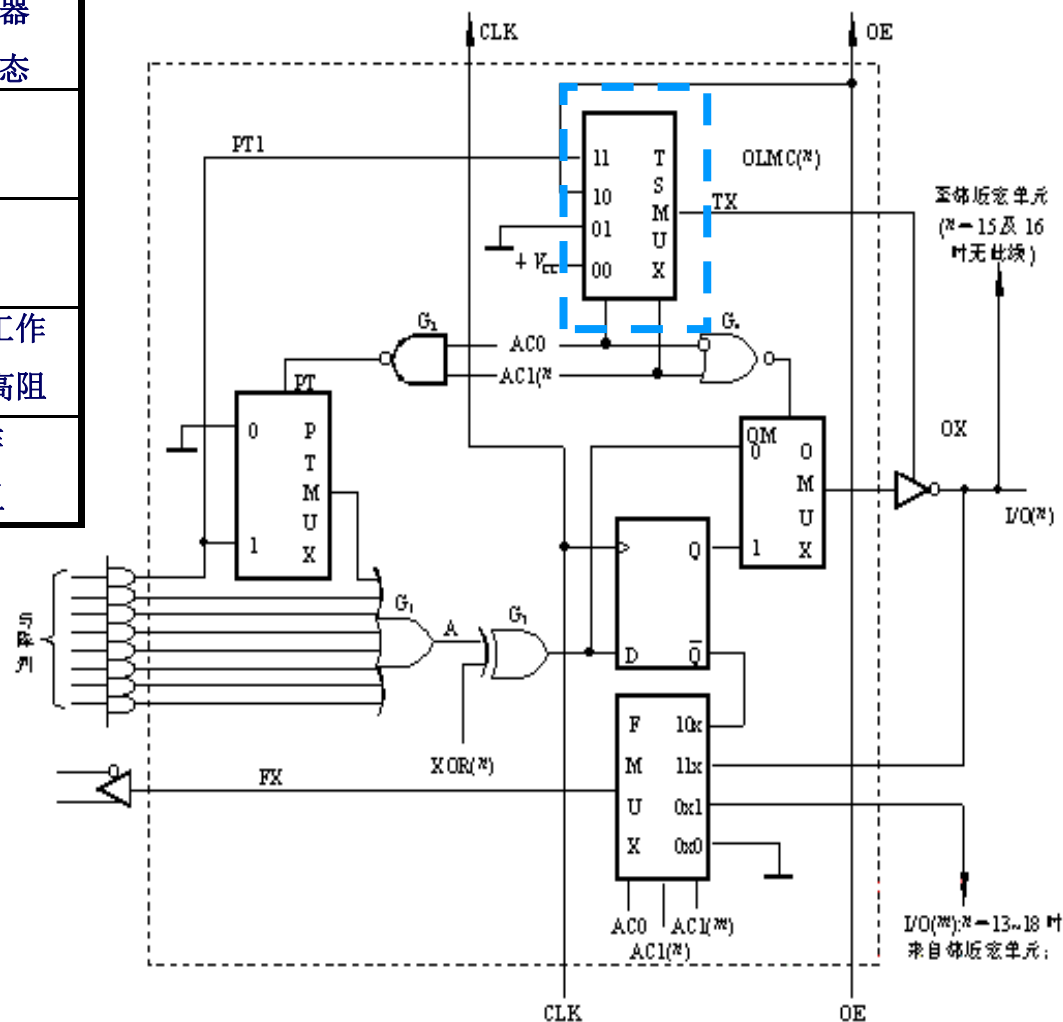


OMUX: 根据AC0和AC1(n)决定OLMC是组合输出还是寄存器输出模式

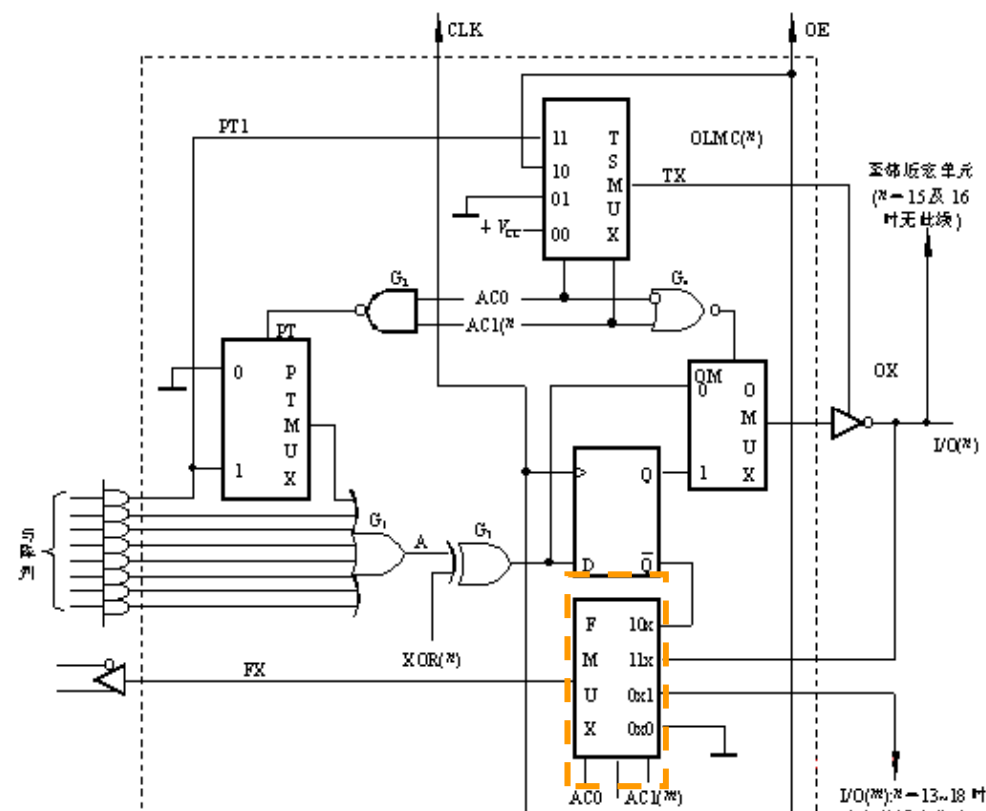
三态数据选择器(4选1)

AC0 AC1(<i>n</i>)	TX (输出)	三态缓冲器的工作状态
0 0	V _{CC}	工作
0 1	地电平	高阻
1 0	OE	OE=1, 工作 OE=0, 高阻
1 1	第一乘积项	1, 工作 0, 高阻

三态数据选择器受AC0和AC1(n)的控制，用于选择输出三态缓冲器的选通信号。可分别选择V_{CC}、地、OE和第一乘积项。



反馈数据选择器(4选1)——OMUX



FMUX:

根据AC0和AC1(n)的不同编码，使反向传输的电信号也对应不同。

功 能 组 合	SYN	AC0	AC1 (n)	XOR (n)	输出相位	备 注
专用输入	1	0	1	—	—	1, 11脚为数据输入端，输出三态门禁止
专用组合 输出	1	0	0	0 1	反相 同相	1, 11脚为数据输入端，组合输出，三态门选通
反馈组合 输出	1	1	1	0 1	反相 同相	同上，三态门由第一乘积项选通，反馈取自I/O口
时序电路中的 组合输出	0	1	1	0 1	反相 同相	1脚接CP，11脚接 $\overline{\text{OE}}$ ，该宏单元为组合输出，但至少有一个宏单元为寄存器输出
寄存器输出	0	1	0	0 1	反相 同相	1脚接CP，11接 $\overline{\text{OE}}$

4. 结构控制字

GAL16V8由一个82位的结构控制字控制着器件的各种功能组合状态。该控制字各位功能如下。

82位						
PT63		PT32		PT31		PT0
“与”项禁止位 32位		XOR(n) 4位	SYN 1位	AC1(n) 8位	ACO 1位	XOR(n) 4位
		12 ... 15		12 ... 19		16 ... 19

图中，XOR(n)和AC1(n)字段下面的数字分别对应器件的引脚号。

5、OLMC的特点:

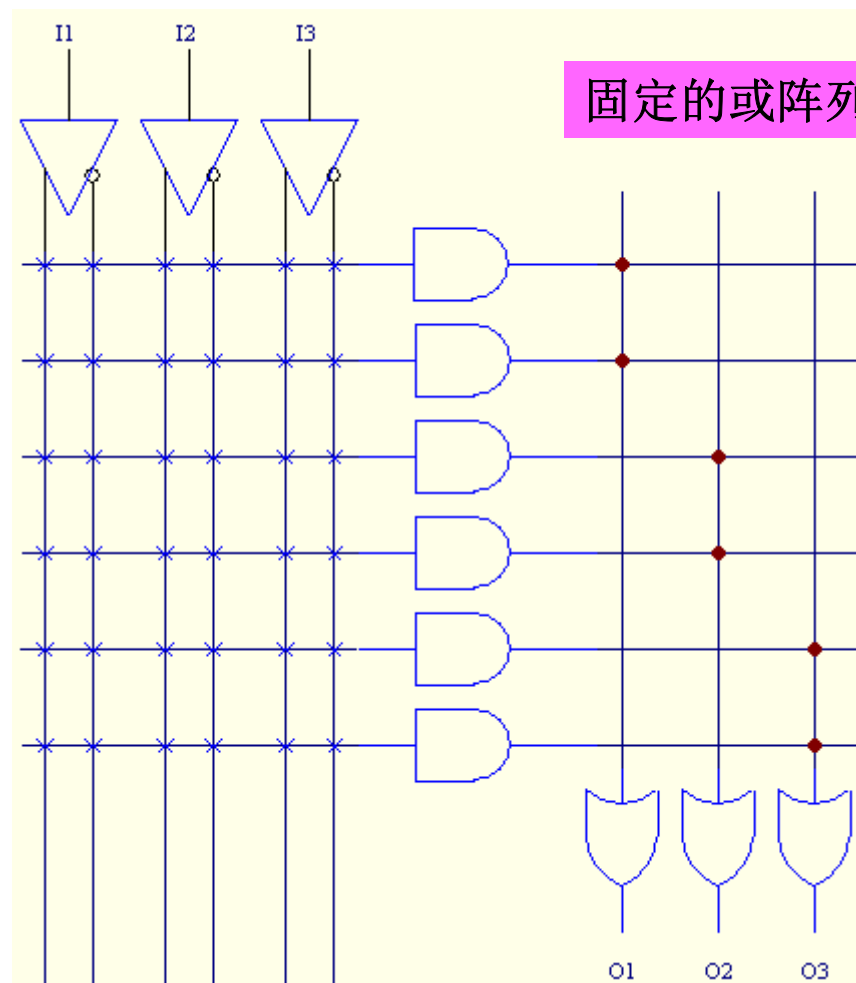
- 1) OLMC的输入可以独立的设定为高或低有效
- 2) 可采用组合逻辑（异步）输出或寄存器逻辑（同步）输出;
- 3) 器件有一个公用的输出使能端，对于每个输出使能端可以由乘积项或单独的输入项完成;
- 4) 各宏单元基本结构相同，可以重组到另外的单元，重组态可以为以下几个模式：专用输入、专用组合输出、组合输出、寄存器输出。

GAL的特点:

- 1) 主要采用E²CMOS工艺;
- 2) 具有可擦除性、可重编程性、可反复改写;
- 3) 具有可重组态性。

PAL与GAL阵列结构

- PAL与GAL门阵列结构相同：与阵列可编程，或阵列固定。
- GAL区别于PAL和其他SPLD的最主要一点是其输出结构采用灵活的、可编程的**输出逻辑宏单元**（**OLMC**，Output Logic Macro Cell）的形式。



可编程的与阵列

❖ SPLD器件的基本结构：与或阵列

❖ 通过编程改变与阵列、或阵列的内部连接，实现不同的逻辑功能

❖ PAL和GAL器件的缺点：

- 低密度，逻辑阵列规模小，每个器件仅相当于几十个等效门；
- 结构简单，只能实现规模较小的电路，不适于较复杂逻辑电路的设计；
- 不能完全杜绝编程数据的非法抄袭。

5 高密度可编程逻辑器件

高密度可编程逻辑器件 (HDPLD)

- (1) **CPLD** (Complex Programmable Logic Device , 复杂可编程逻辑器件)
 - 采用CMOS EPROM、EEPROM、Flash Memory和SRAM等编程技术, 构成了高密度、高速度和低功耗的PLD。
 - 大多由宏单元、可编程I/O单元和可编程内部连线组成。
 - ✓ 其集成度远远高于PAL和GAL, 用来设计数字系统, 体积小、功耗低、可靠性高。
- (2) **FPGA** (Field Programmable Gates Array , 现场可编程门阵列器件)
 - 基本结构一般由3个可编程逻辑模块阵列组成:
 - 可配置逻辑模块 (CLB, Configurable Logic Blocks)
 - 输入/输出模块 (IOB, Input/Output Blocks)
 - 互连资源 (ICR, Interconnect Capital Resource)或叫可编程互连线PI (Programmable Interconnect)
 - FPGA器件内还有一可配置的SRAM, 加电后存储配置数据, 该数据决定了器件的具体逻辑功能。

1、CPLD的结构与特点

- **CPLD**: Complex Programmable Logic Device, 复杂可编程逻辑器件是在PAL、GAL基础上发展起来的**阵列型PLD**。
- 采用CMOS EPROM、EEPROM、Flash Memory和SRAM等编程技术, 构成了**高密度、高速度**和**低功耗**的PLD。
- **基本结构**: 大多由**宏单元**、**可编程I/O单元**和**可编程内部连线**组成。

✓ CPLD集成度远远高于PAL和GAL, 用来设计数字系统, 体积小、功耗低、可靠性高。

MAX7000S系列器件结构

主要包含五个主要部分：

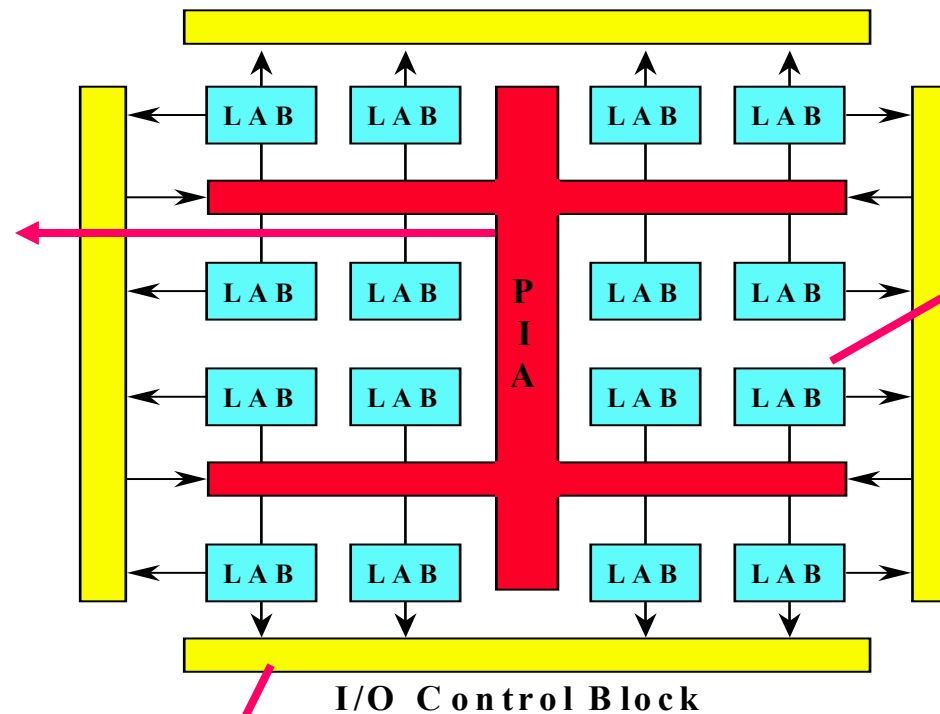
- 逻辑阵列块**LAB**（Logic Array Blocks）、
- 宏单元（**MC**）（Macrocells），
- 扩展乘积项**EPT**（Expander Product Term）、
- 可编程连线阵列**PIA**（Programmable Interconnect Array）
- I/O控制块**IOC**（I/O Control Blocks），

Altera公司的MAX 7000S的结构框图

MAX7000S Interconnect Structure

LAB----Logic Array Block, has 16 macrocells

(3) 可编程
互连阵列



(1) 逻辑
阵列块

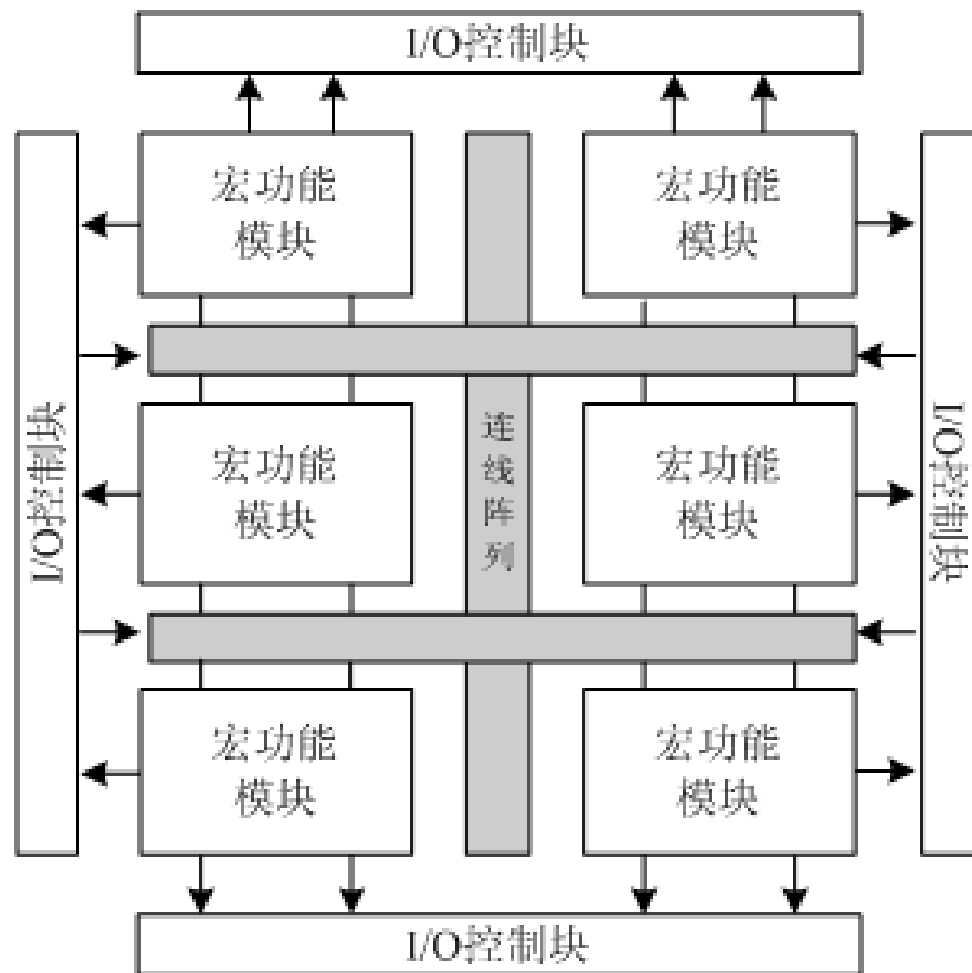
包含16个宏单元LE

(2) I/O控制块

一、宏单元

- ❖ CPLD的逻辑宏单元主要包括与或阵列、触发器和多路选择器等电路，能独立地配置为组合或时序工作方式。
- GAL器件的逻辑宏单元与I/O单元做在一起，称为输出逻辑宏单元（OLMC）；CPLD的逻辑宏单元都做在内部，称为内部逻辑宏单元。

CPLD的原理与结构



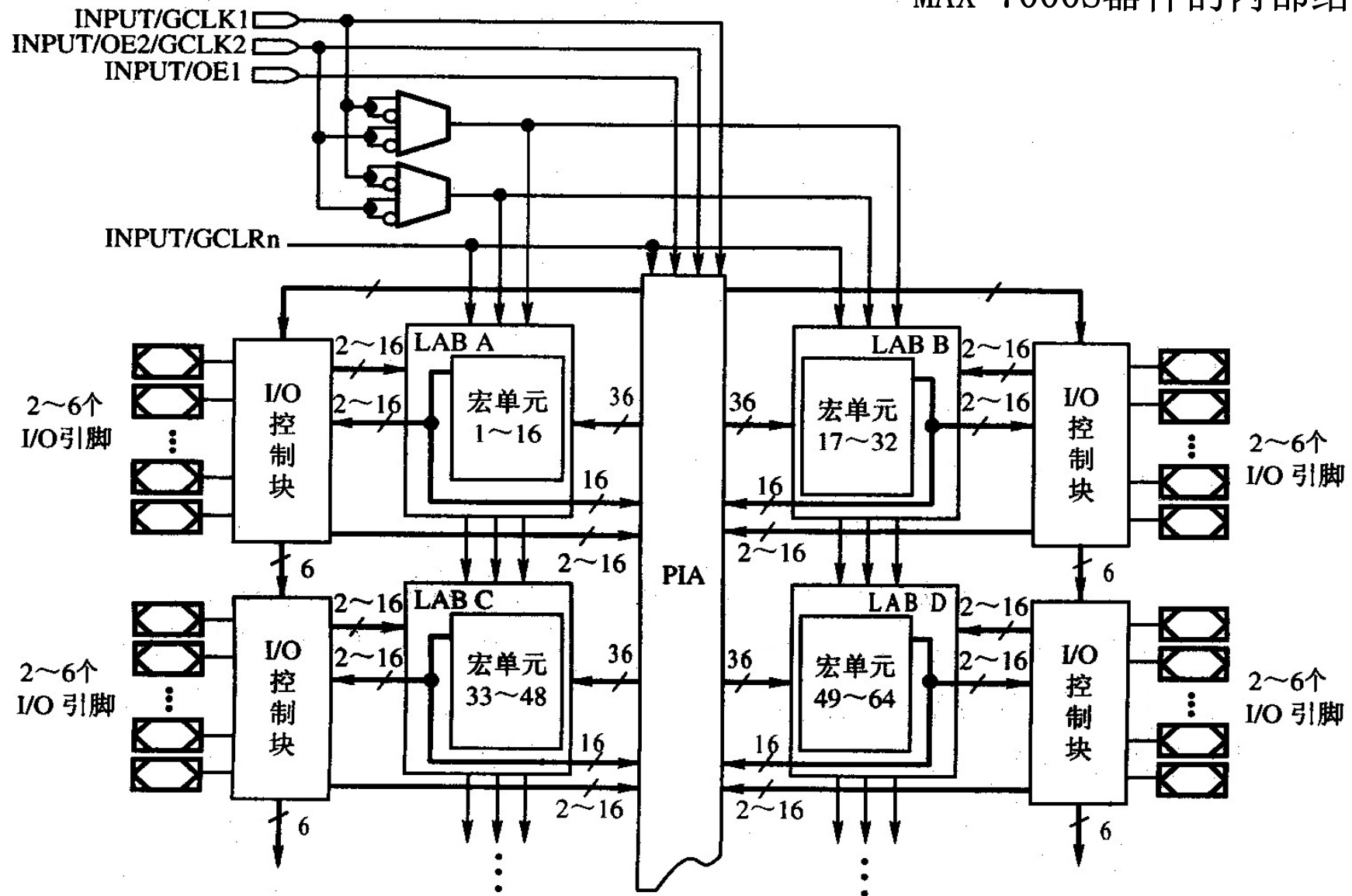
CPLD器件的结构

特点:

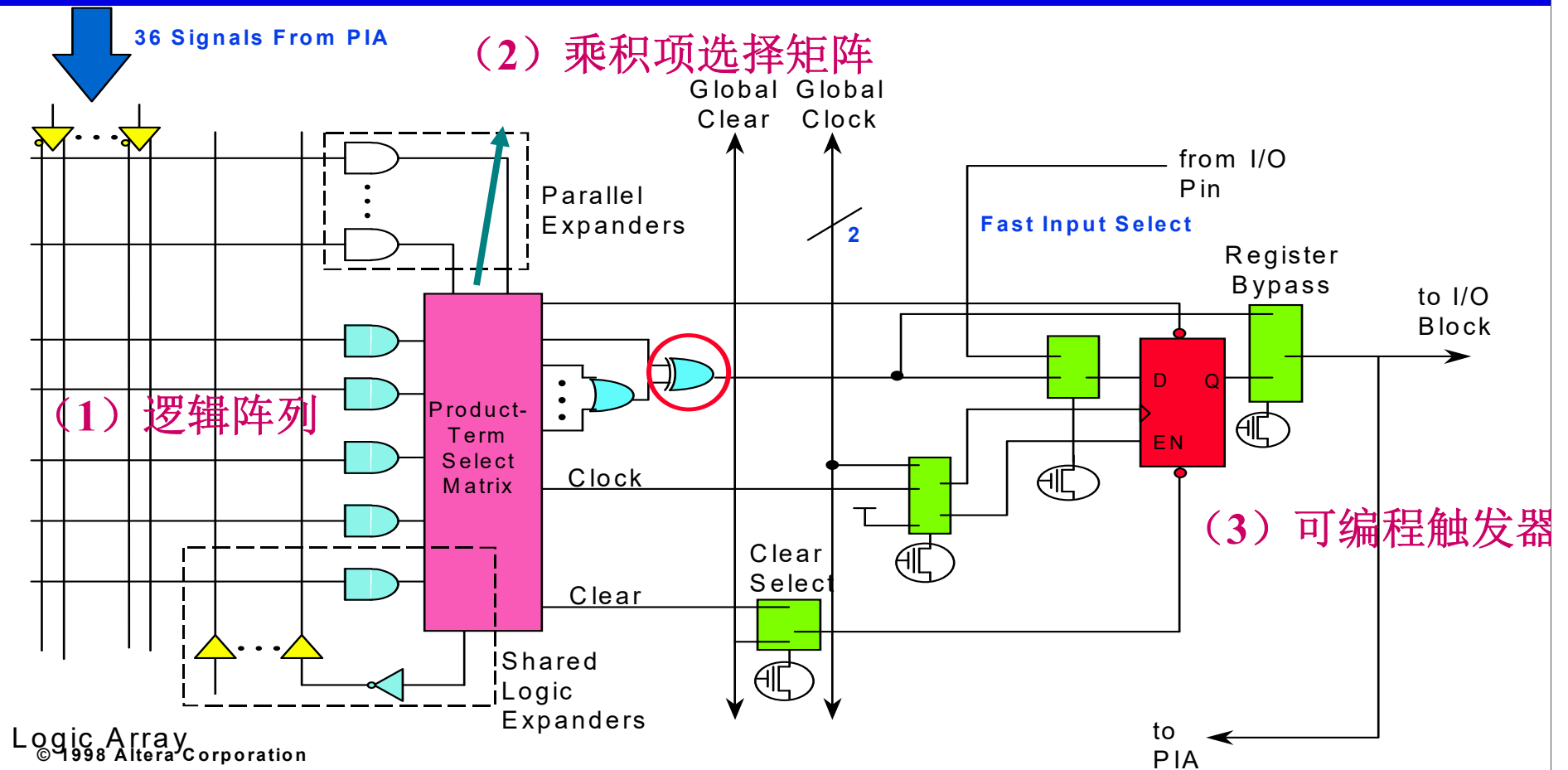
- 1) 逻辑块大、功能强
- 2) 逻辑块的数量少。

典型CPLD器件的结构

MAX 7000S器件的内部结构



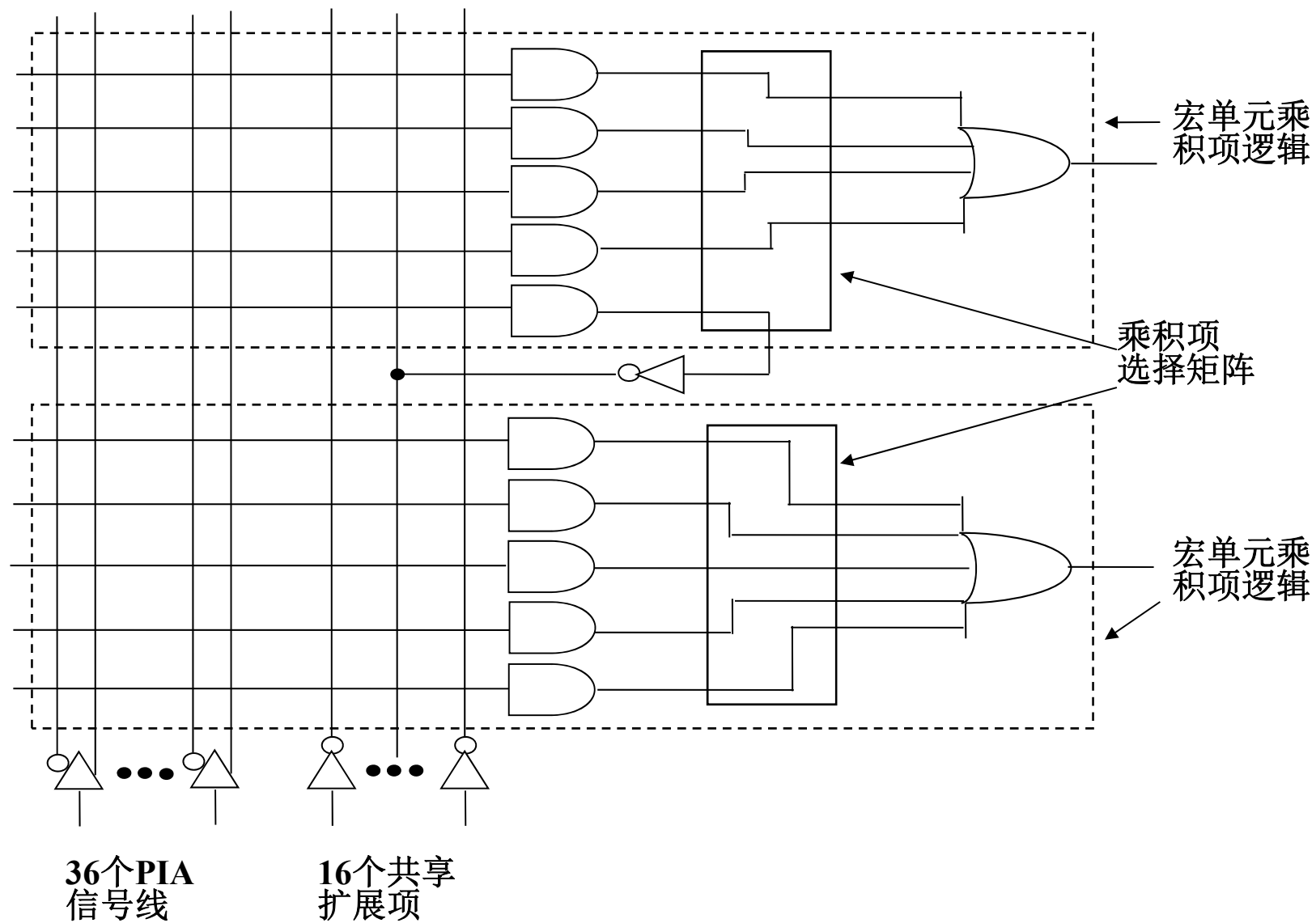
MAX7000S Macrocell Structure



(1) 共享扩展项 (Shareable Expanders)

共享扩展项就是由每个宏单元提供一个未使用的乘积项，并将它们反向后反馈到逻辑阵列块中，每个逻辑阵列块**LAB**有**16**个共享扩展项。每个共享扩展项都可以被逻辑阵列块**LAB**内任何一个宏单元或全部宏单元使用和共享，以便实现复杂的逻辑函数功能。下图表示出共享扩展项是如何馈送到多个宏单元的。

利用共享扩展项实现多个宏单元之间的连接



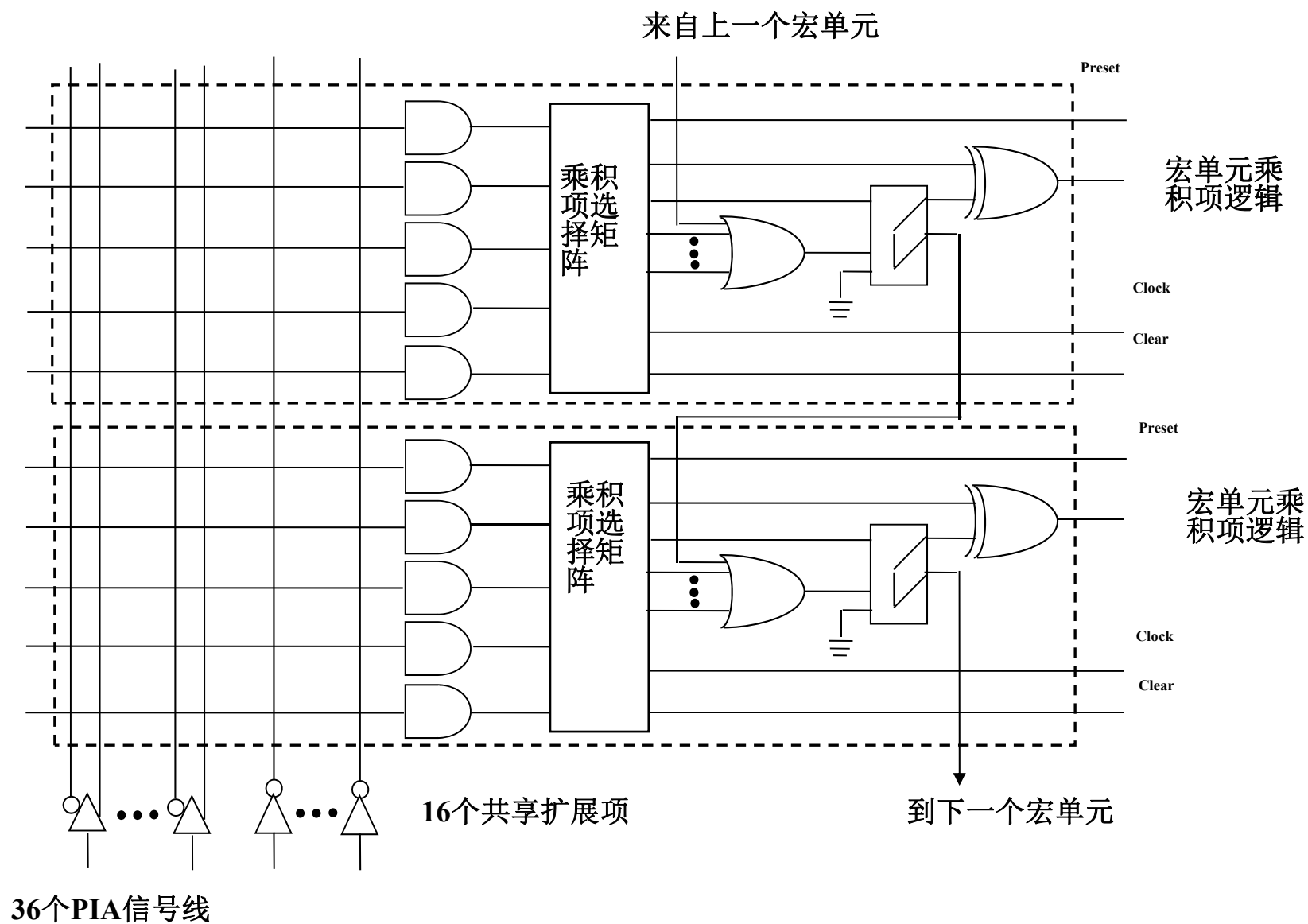
(2) 并联扩展项 (Parallel Expanders)

并联扩展项是指宏单元中没有被使用的乘积项，将这些乘积项分配到邻近的宏单元去以实现复杂的逻辑函数功能。

下图表示并联扩展项是如何从邻近的宏单元借用的。

使用并联扩展项，允许最多**20**个乘积项直接送到宏单元的“或”逻辑，其中**5**个乘积项有宏单元本身提供，**15**个并联扩展项是从同一个 **LAB** 中相邻的宏单元借用的。当需要并联扩展时，“或”逻辑的输出通过一个选择分频器，送往下一个宏单元的并联扩展“或”逻辑输入端。

利用并联扩展项实现多个宏单元之间的连接

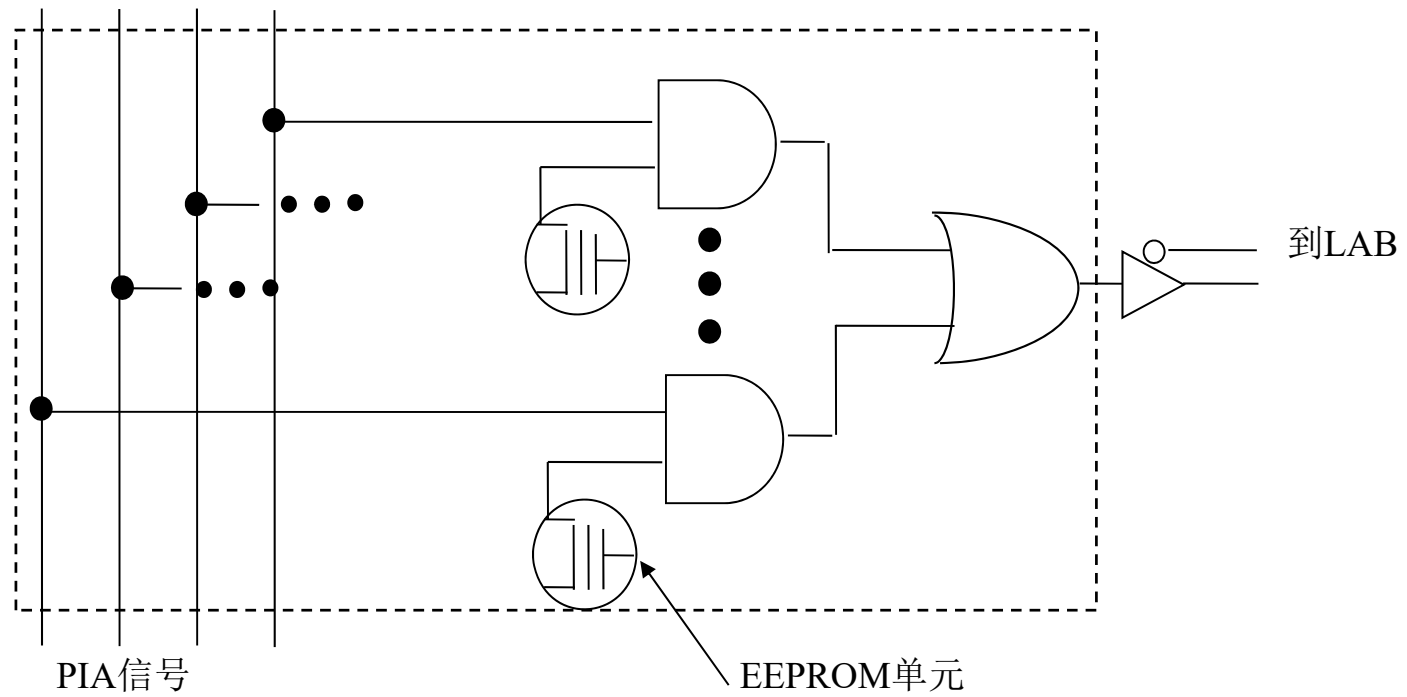


4. 可编程连线阵列PIA

通过可编程连线阵列PIA（**Programmable Interconnect Array**），可以把不同的逻辑阵列块相互连接，以实现用户所需要的逻辑功能。通过对可编程连线阵列PIA合适编程，就可以把器件中的任何信号连接到其目的地上。

所有的**MAX7000S**器件的专用输入、**I/O**引脚和宏单元输出都是连接到可编程连线阵列PIA，而通过可编程连线阵列PIA能够有把这些信号送到整个器件内的任何地方。只有每个逻辑阵列块需要的信号才布置从可编程连线阵列PIA到逻辑阵列块**LAB**的连线。

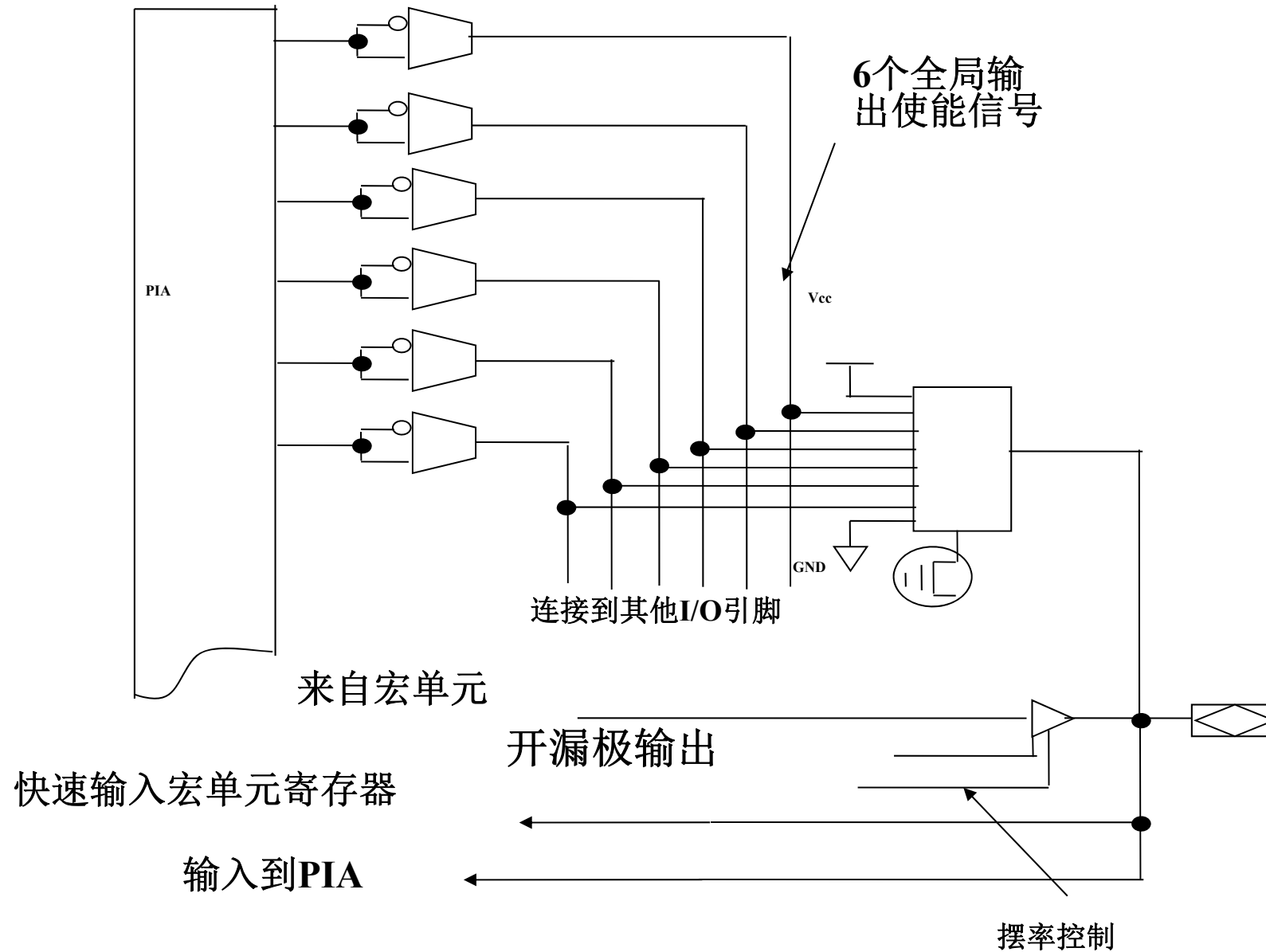
PIA连接到LAB的方式



5. I/O控制块IOC（I/O Control Blocks）

I/O控制块IOC主要是由三态门和使能控制电路构成的，在每个逻辑阵列块LAB和I/O引脚之间都有一个**I/O控制块IOC**。I/O控制块IOC允许每个I/O引脚被独立配置为输入、输出或双向工作方式。所有I/O引脚都有一个三态缓冲器，它的使能端可以受到全局输出使能信号的其中一个使能信号控制，或者是直接连到地（GND）或电源（VCC）上。

MAX7000S系列器件的I/O控制块



四、CPLD的性能特点

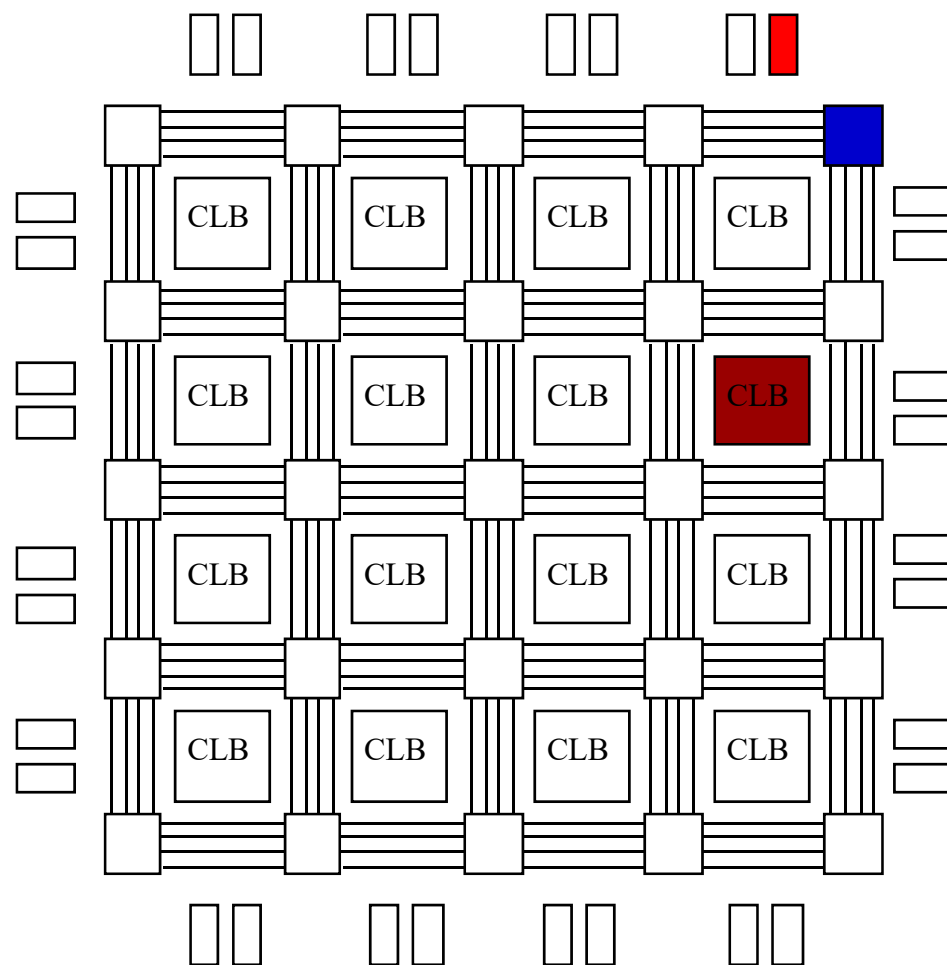
- (1) 可多次编程、改写和擦除。
- (2) 采用CMOS EPROM、EEPROM、Flash Memory和SRAM等编程技术，具有高密度、高速度、高可靠性和低功耗。
- (3) I/O端数和内含触发器可多达数百个，集成度远远高于PAL和GAL。
- (4) 有灵活多样的逻辑结构，可满足各种数字电路系统设计的需要。
- (5) 内部时间延迟与器件结构及逻辑连接等无关，可预测，易消除竞争冒险。
- (6) 有多位加密位，且器件等效数千个逻辑门以上，因此可杜绝编程数据的非法抄袭。

CPLD能实现较复杂的逻辑，不仅仅因为采用了先进的编程工艺和逻辑结构，还在于提供了先进的数字系统设计开发工具。

6 FPGA的结构与特点

- 与CPLD相比，FPGA具有更高的集成度、更强的逻辑功能和更大的灵活性。
- FPGA器件基本结构
 - 一般由3个可编程逻辑模块阵列组成：
 - 可配置逻辑模块（CLB, Configurable Logic Block）
 - 输入/输出模块（IOB, Input/Output Block）
 - 可编程互连线PI（Programmable Interconnect），或叫互连资源（ICR, Interconnect Capital Resource）
- FPGA器件内还有一可配置的SRAM，其加电后存储的数据决定器件的具体逻辑功能。

FPGA整体结构



可编程输入/输出模块

可编程开关矩阵

互连资源可编程连线PI

可编程逻辑模块

特点：1) 逻辑块小、功能较少

2) 逻辑块的数量很多。

现场可编程门阵列FPGA的基本结构

FPGA由可配置逻辑块CLB、输入/输出模块IOB和互连资源IR三部分组成。

①可配置逻辑块CLB是实现用户功能的基本单元，它们通常规则地排列成一个阵列，散布于整个芯片。

②可编程输入/输出模块(IOB)主要完成芯片上逻辑与外部封装脚的接口，它通常排列在芯片的四周。

③可编程互连资源(IR)包括各种长度的连线线段和一些可编程连接开关，它们将各个CLB之间或CLB、IOB之间以及IOB之间连接起来，构成特定功能的电路。

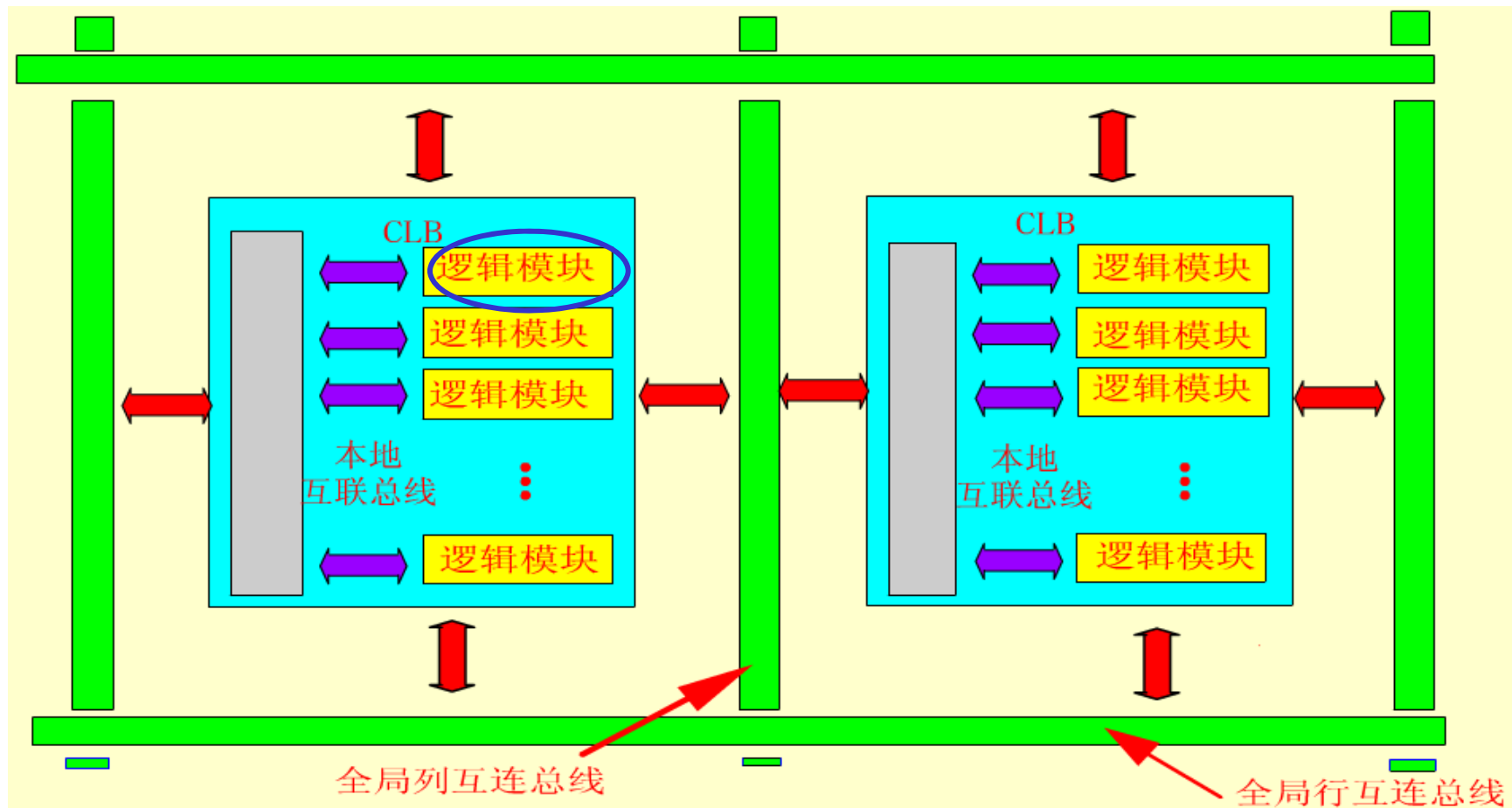
一、可配置逻辑模块（CLB）

CLB是FPGA的主要组成部分，是实现逻辑功能的基本结构单元。它主要由逻辑函数发生器、触发器、数据选择器等电路组成。

- CLB处在行列可编程的互连总线之内。
- 互连总线用来连接这些CLB。
- CLB的结构组成：
 - 逻辑模块
 - 本地可编程互连总线

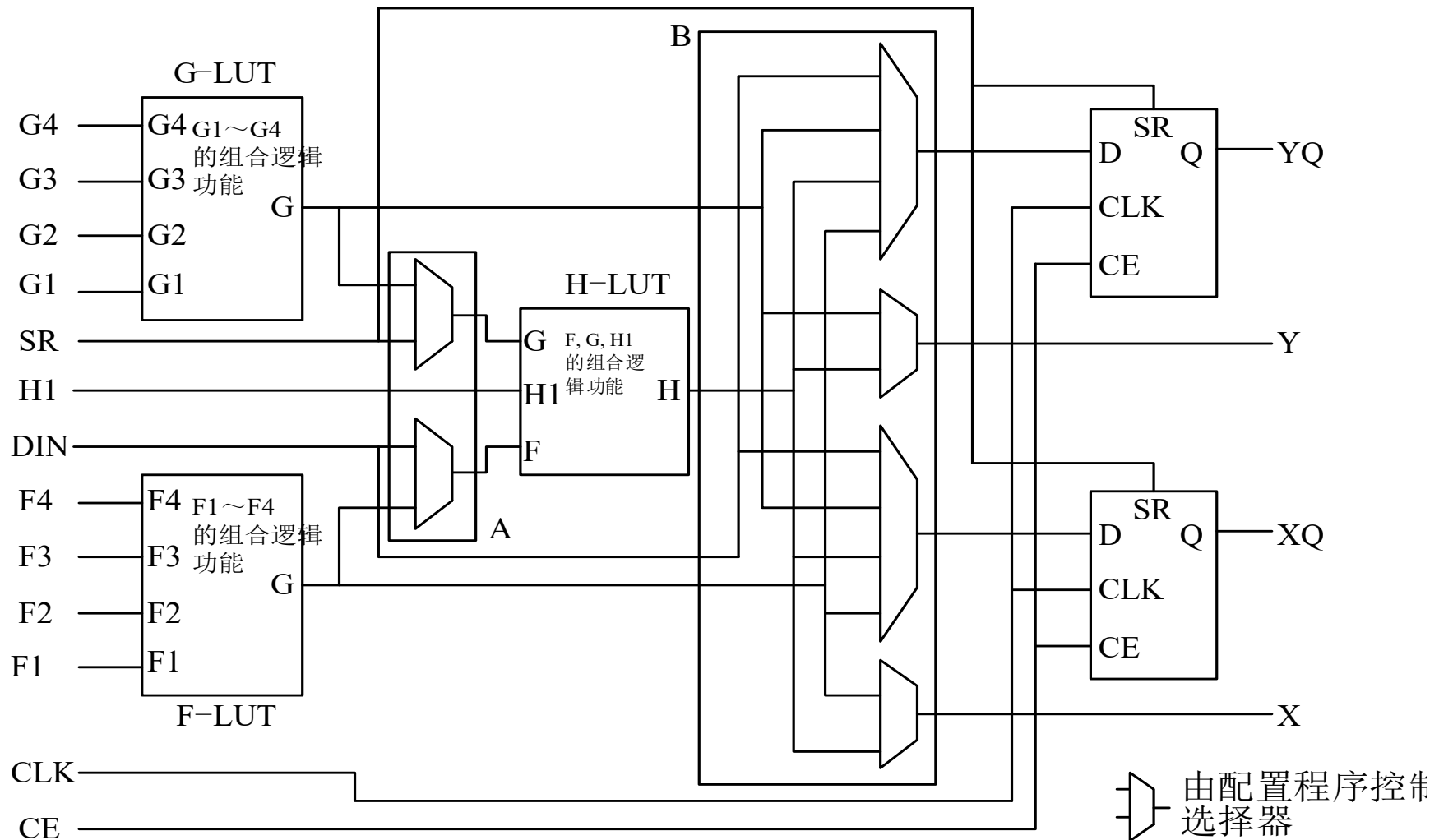
可组态逻辑块CLB

CLB包含若干个较小的逻辑模块，一个逻辑模块可以实现组合逻辑，也可以实现时序逻辑。



FPGA的可配置逻辑块(CLB)

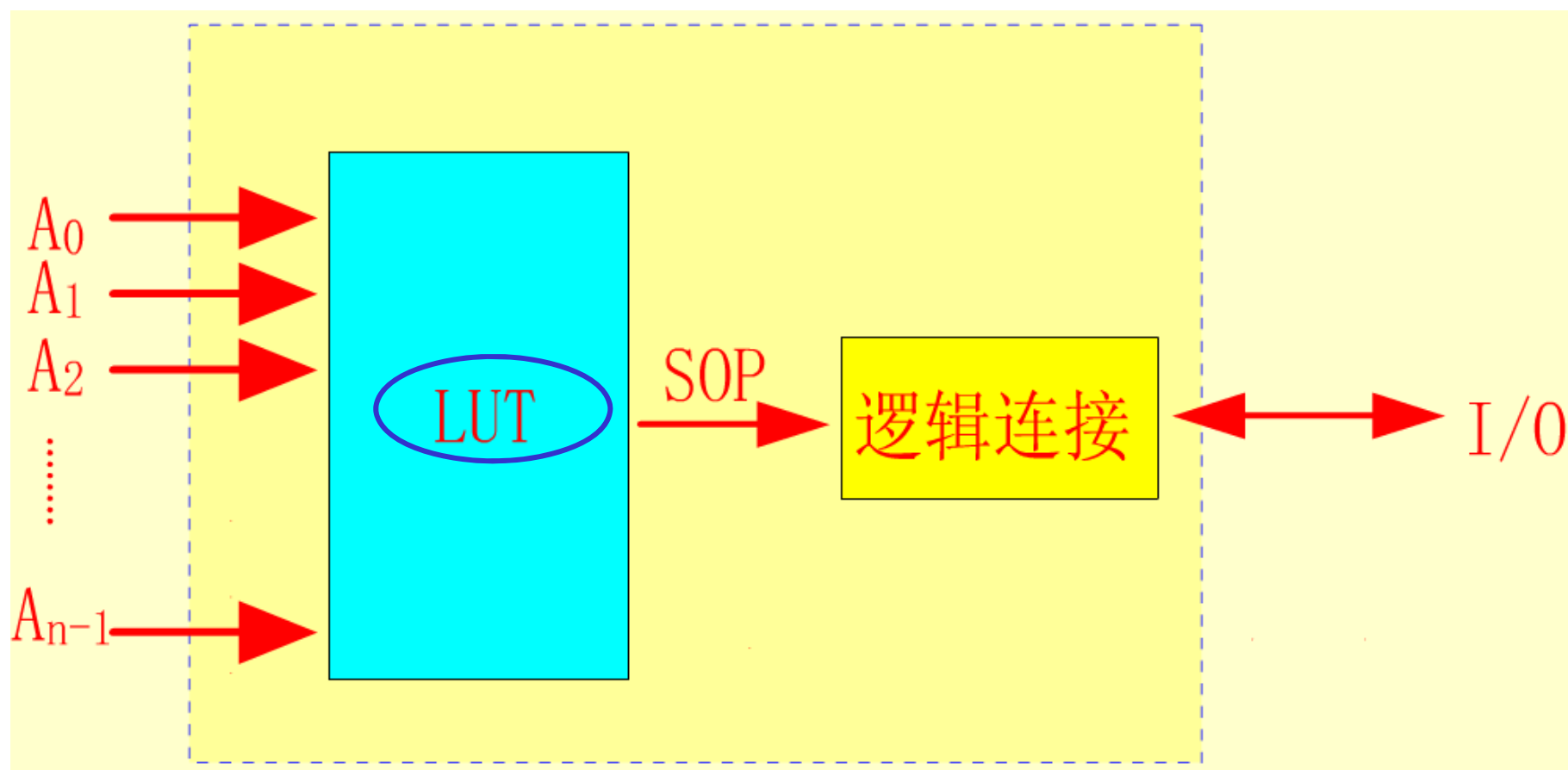
简化的FPGA CLB结构



1. 3个查找表 (LUT) , 它们用作组合逻辑发生器;

2. 二个D触发器 3. 二组多路选择器。

FPGA中一个逻辑模块的框图



在Xilinx 公司的XC4000器件中每个CLB由3个组合逻辑函数发生器、 2个触发器和由数据选择器组成的内部控制电路构成。

- 逻辑函数发生器G、F、H均为查找表结构，其工作原理类似于ROM，其物理结构是静态存储器（SRAM）。SRAM的地址线即输入变量值，SRAM的输出为逻辑函数值。N个输入的查找表可以实现任意一个N输入的组合逻辑函数。G、F 为4输入函数发生器，H为3输入函数发生器，。G、F和H结合起来，总共可以实现多达九变量的组合逻辑函数。
- CLB中的两个边沿触发的D触发器主要用来实现寄存器逻辑。它们有公共的时钟和时钟使能输入端，S/R控制电路可以分别对两个触发器异步置位和复位，每个触发器都可以配置成上升沿触发和下降沿触发。
- CLB中的各种数据选择器(4选1， 2选1等)可以被编程，分别用来选择触发器激励输入信号、时钟有效边沿、时钟使能信号以及输出信号，它们的地址控制信号均由编程信息提供。

在可配置逻辑块**CLB**中共有**3**个逻辑函数发生器，包括两个**4**输入的逻辑函数发生器（**G-LUT**、**F-LUT**）和一个**3**输入的逻辑函数发生器（**H-LUT**）。这些逻辑函数发生器是采用基于静态随机存储器的查表**LUT**（**Look Up Table**）结构，如图所示**4**输入逻辑函数发生器**G-LUT**的内部结构。查找表**LUT**的工作原理类似于用**PROM**实现多种组合逻辑函数，其输入等效于**PROM**的地址码，存储的内容为相应的逻辑函数取值，通过查找地址表，可得到逻辑函数的输出。

在CLB结构图中，逻辑函数发生器G-LUT和F-LUT各有4个独立的输入变量，可分别实现对应的输入4变量的任意逻辑函数。H-LUT逻辑函数发生器的输入信号是前两个逻辑函数发生器的输出信号G'和F'，以及信号变换电路的输出H1，它可实现3输入变量的任意逻辑函数。将3个函数发生器组合配置，1个CLB可以完成任意4变量、5变量，最多9变量的逻辑函数。

基于查找表的结构模块

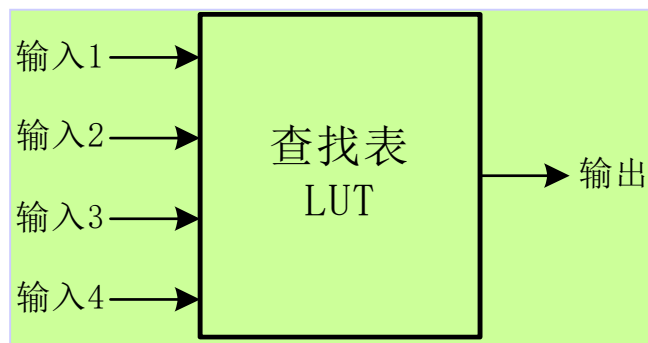
(1) 什么是查找表?

查找表 (Look Up Table) 简称为LUT, 本质上就是一个RAM。

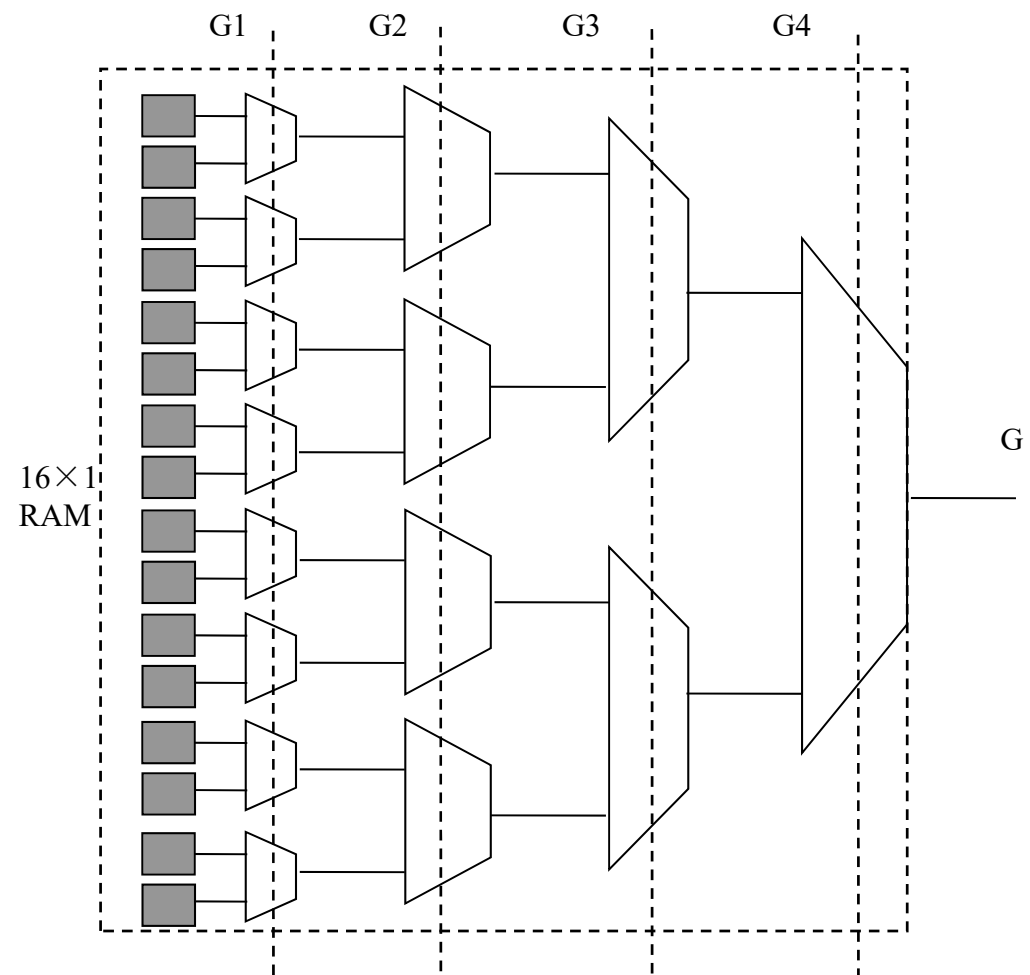
目前 FPGA 中多使用 4 输入的 LUT, 所以每一个 LUT 可以看成有一个 4 位地址线的 16x1 的 RAM。当用户通过原理图或 HDL 语言描述了一个逻辑电路以后, PLD/FPGA 开发软件会自动计算逻辑电路的所有可能的结果, 并把结果事先写入 RAM, 这样, 每输入一个信号进行逻辑运算就等于输入一个地址进行查表, 找出地址对应的内容, 然后输出即可。

查找表

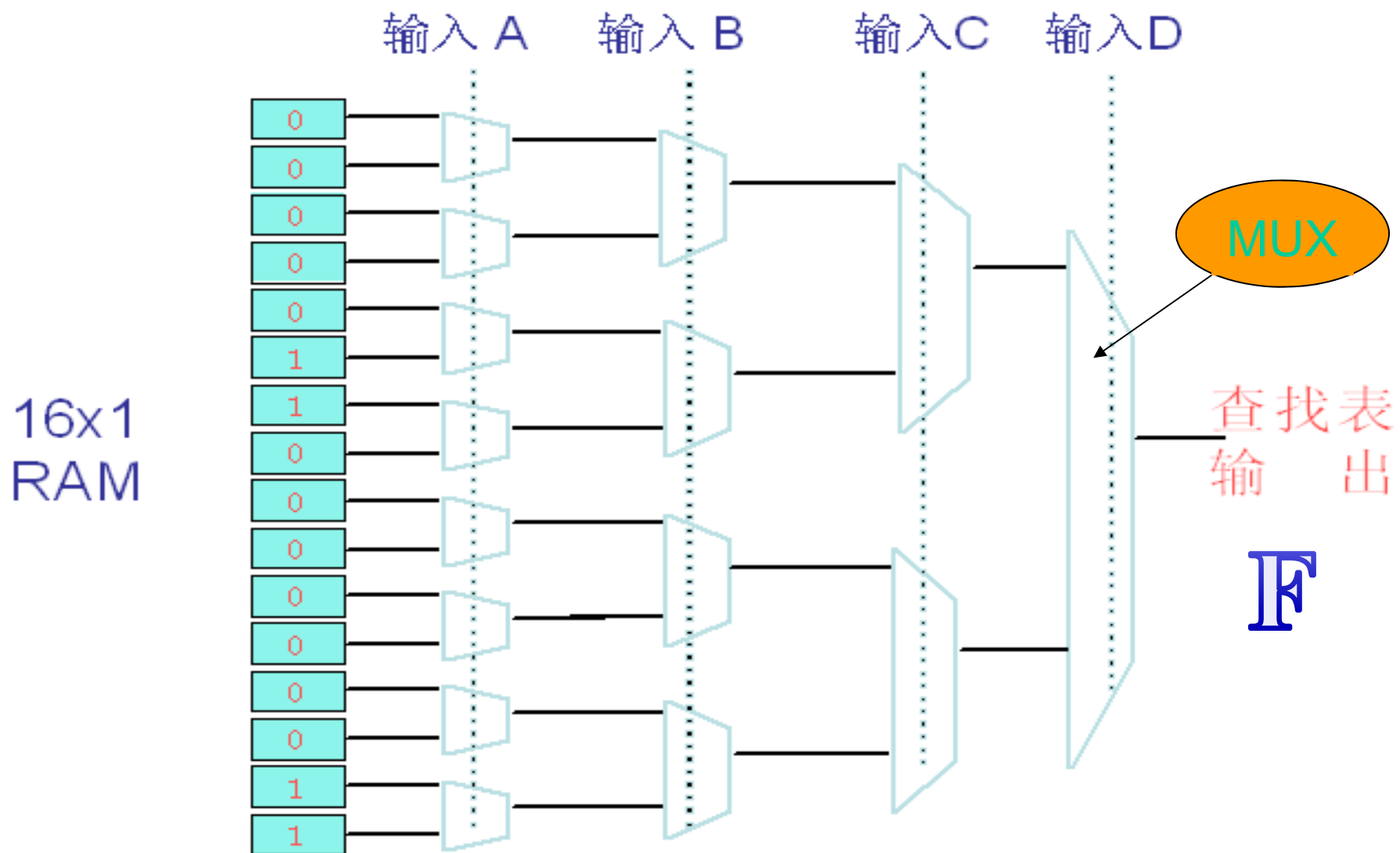
查找表 (Look-Up-Table) 简称为LUT，LUT本质上就是一个RAM。目前FPGA中多使用4输入的LUT，所以每一个LUT可以看成是一个有4位地址线的16x1的RAM。



实际逻辑电路		LUT的实现方式	
a, b, c, d 输入	逻辑输出	地址	RAM中存储的内容
0000	0	0000	0
0001	0	0001	0
....	0	...	0
1111	1	1111	1



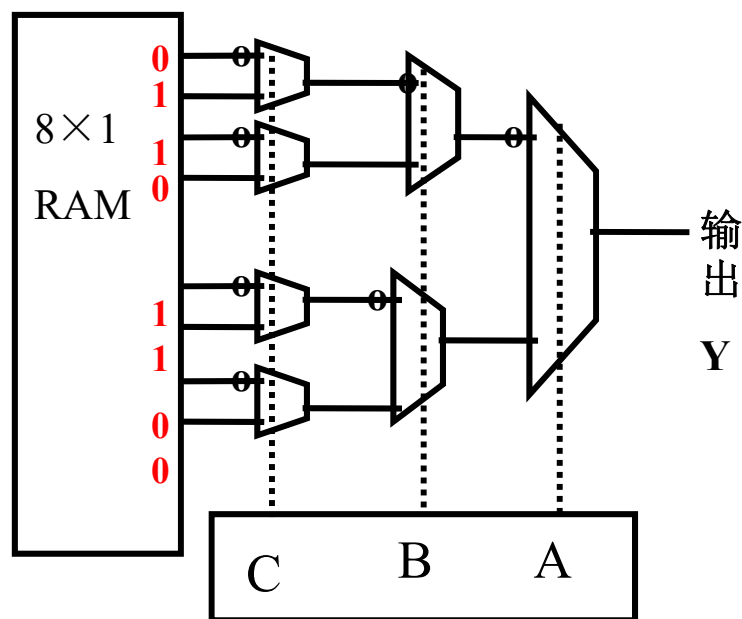
4输入逻辑函数发生器G-LUT的内部结构



FPGA查找表单元内部结构

FPGA的查找表结构(Look Up Table--LUT)

$$Y = \overline{A}\overline{B}C + \overline{A}BC + A\overline{B}\overline{C} + ABC$$



真值表

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	1

输入变量---作为存储器的地址

输出函数---作为存储器中的数据

当地址从000---111时，输出真值表中函数所有取值。

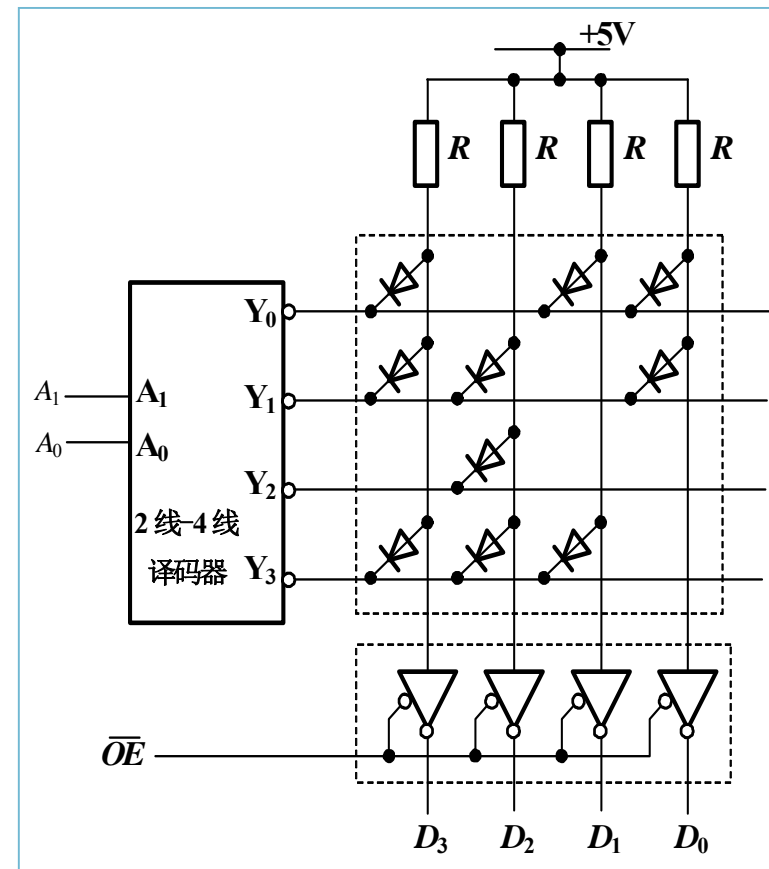
查找表结构的实现

当 $\overline{OE}=0$ 时

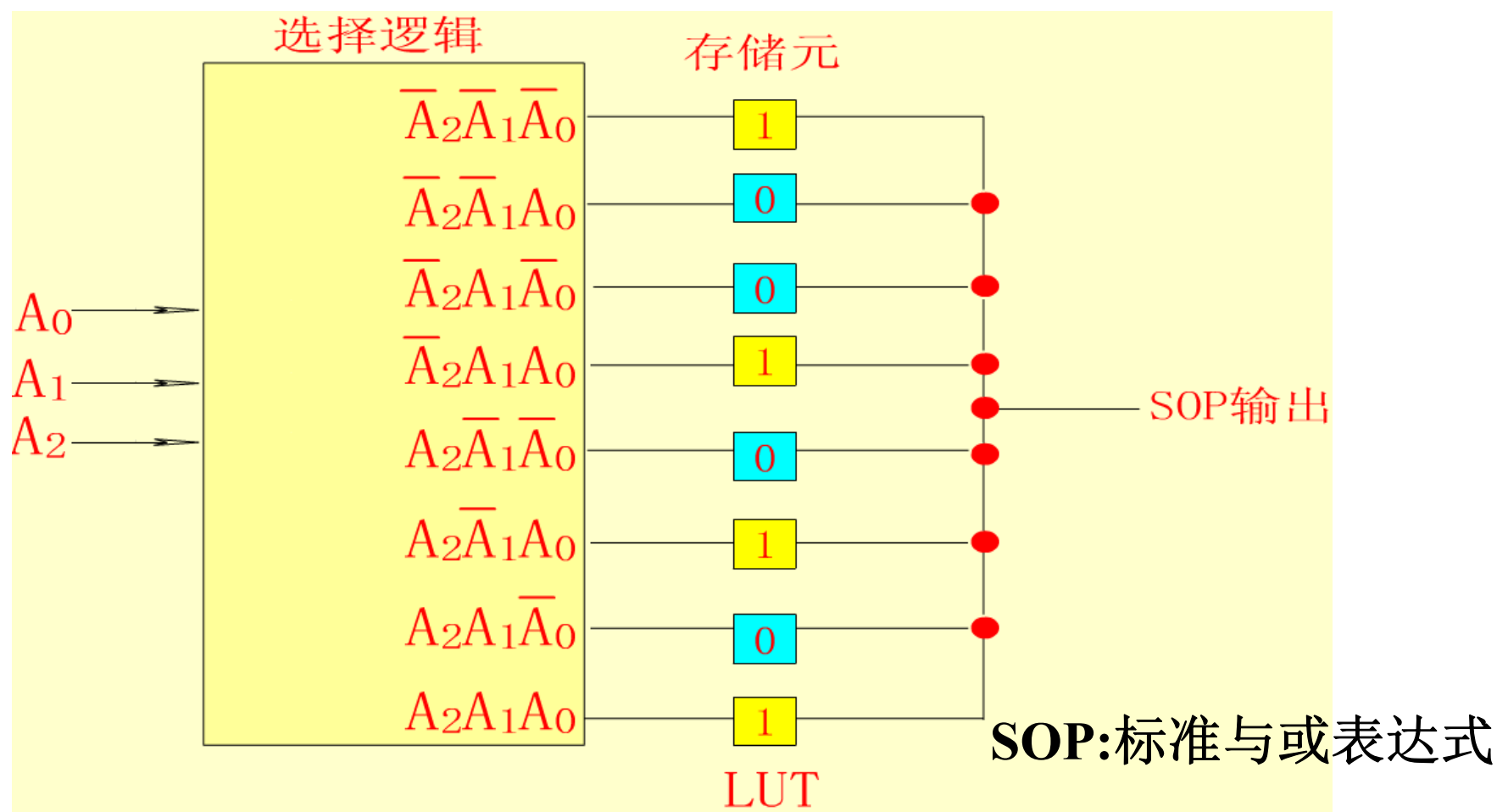
地 址		内 容			
A_1	A_0	D_3	D_2	D_1	D_0
0	0	1	0	1	1
0	1	1	1	0	1
1	0	0	1	0	0
1	1	1	1	1	0

- 字线与位线的交点处
- 有二极管相当存储数据1
- 无二极管相当存储数据0

当 $\overline{OE}=1$ 时输出为高阻状态

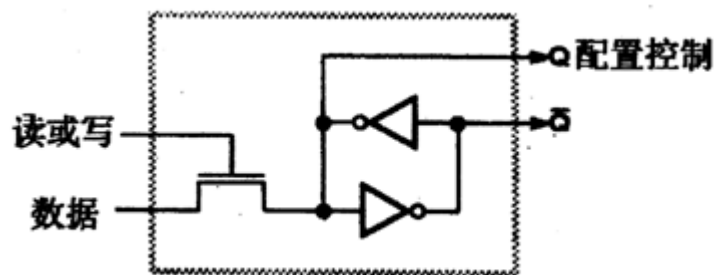


LUT编成后用作SOP表达式输出



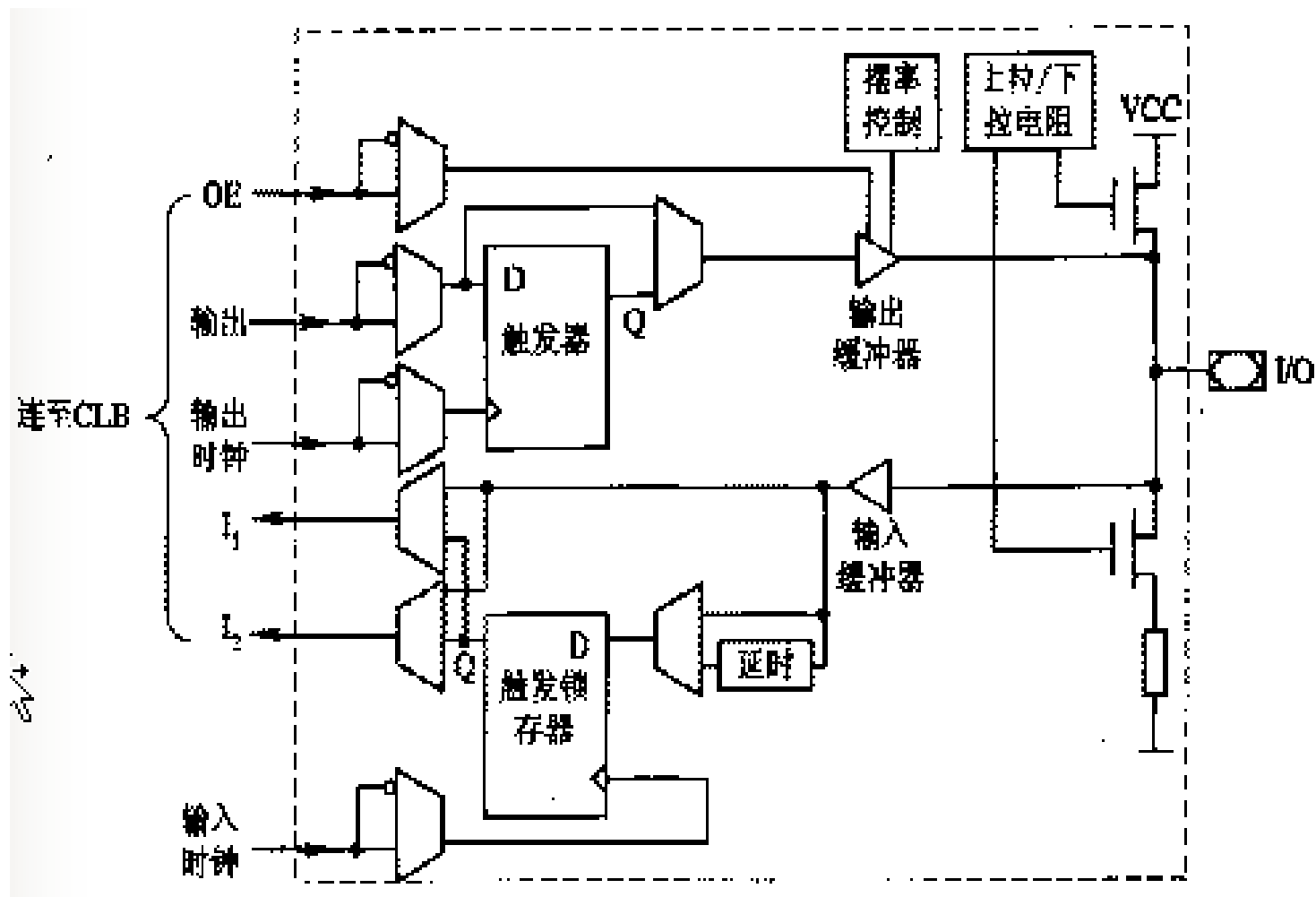
基于SRAM的编程元件

- SRAM是指静态存储器，大多数FPGA用它来存储配置数据，所以又称为配置存储器。它的基本单元是由5个晶体管组成的存储器。图为SRAM的单元结构，它由两个CMOS反相器和一个用来控制读写的MOS传输开关构成，其中每个CMOS反相器包含了两个晶体管（一个下拉n沟道晶体管和一個上拉p沟道晶体管）。



二、输入/输出模块 (IOB) 可编程接口

- IOB分布于器件的四周，提供器件外部引脚与内部逻辑之间的连接。
- 主要由触发器和缓冲器组成。
- 每个IOB控制一个外部引脚，可将其编程为输入、输出或双向I/O功能，或组合逻辑、寄存器逻辑、三态逻辑等。



XC4000的IOB基本结构

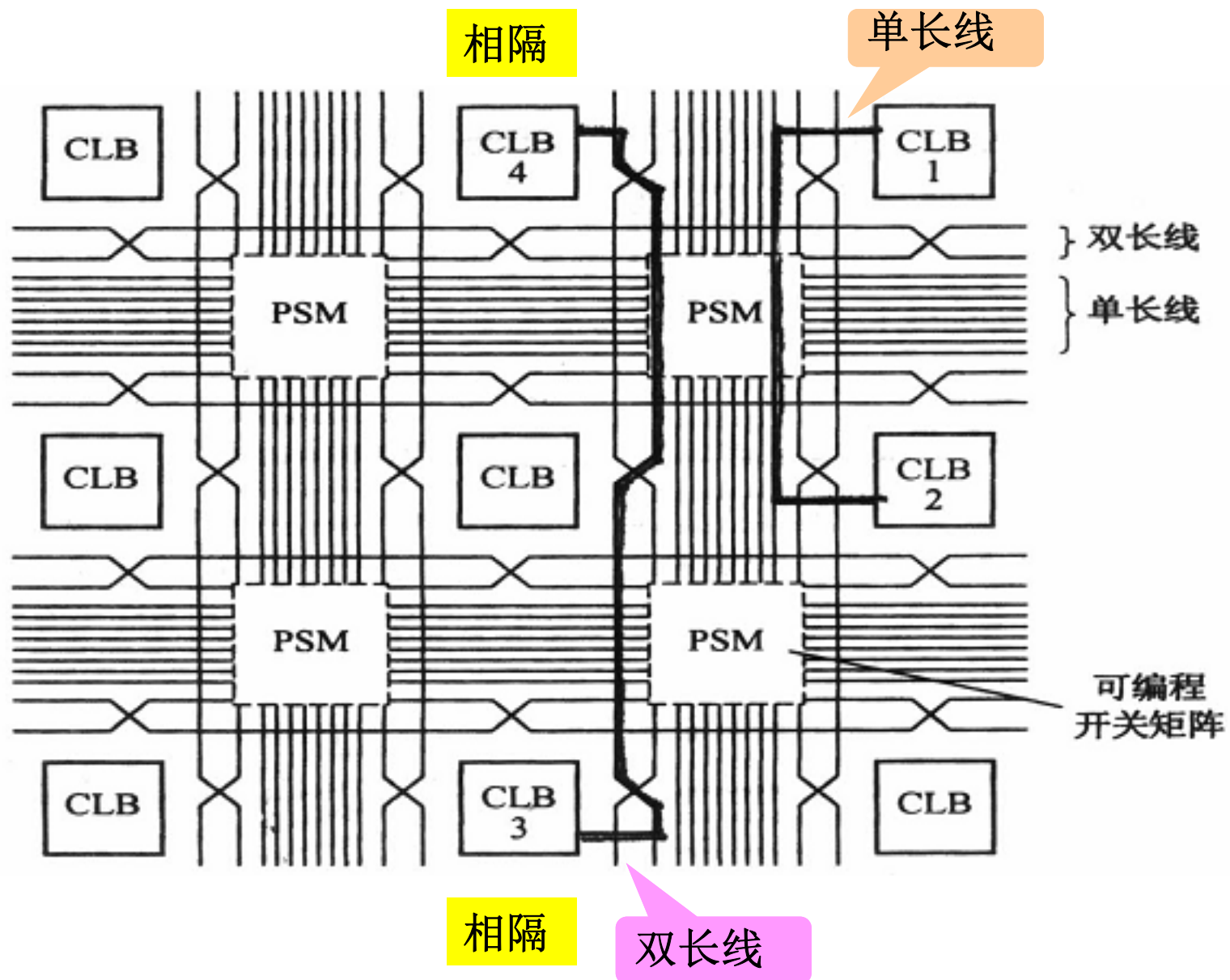
三、可编程互连线 (PI)

- 遍布器件内部，提供高速可靠的内部连线。它将**CLB**之间、**CLB**和**IOB**之间连接起来，构成复杂的逻辑。
- 主要由纵横分布在**CLB**阵列之间的金属线网络和位于纵横交叉点上的**可编程开关矩阵**（**PSM**，**Programmable Switch Matrix**）组成。
- **FPGA**使用**分层**连线资源结构，提供3种连接结构：
 - 单长线连接
 - 双长线连接
 - 长线连接

CPLD采用固定长度的连线!

(1) 单/双长线连接

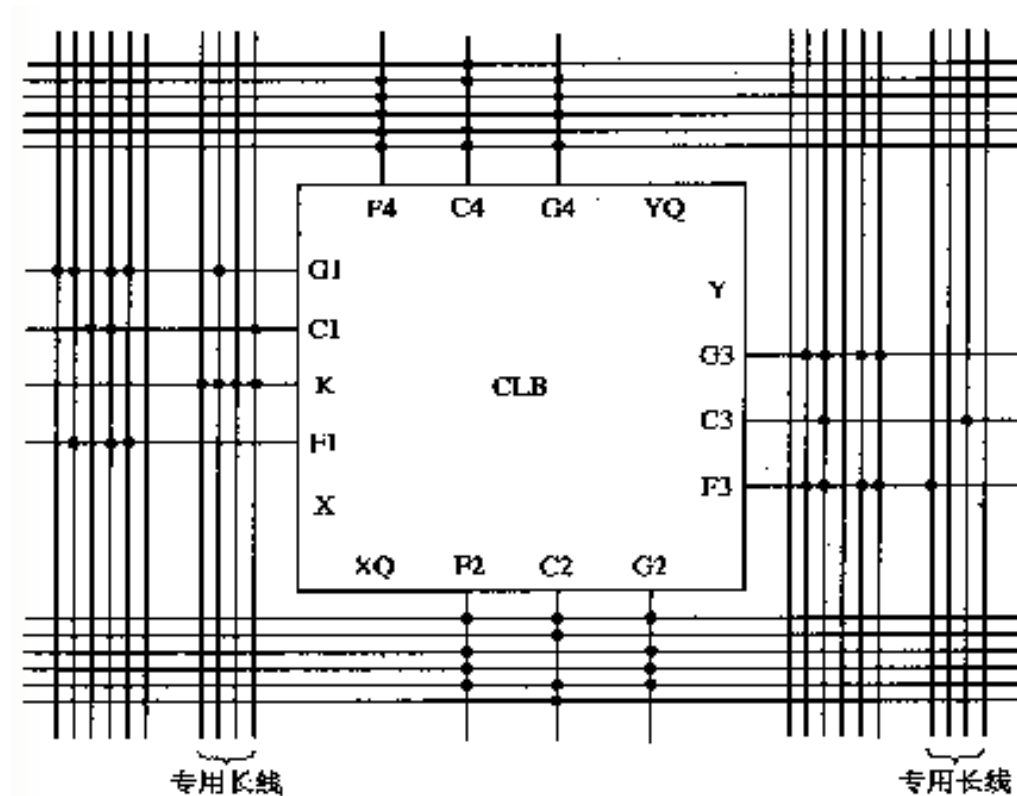
- 用于CLB之间的连接。任意两点间的连接都要通过开关矩阵。利于相邻CLB之间的快速互连和复杂互连，但FPGA内部时延与器件结构和逻辑布线等有关，其信号传输时延不确定。
- 通用单长线连接包括夹在CLB之间的8条垂直和8条水平金属线段，其交叉点是PSM。用于相邻CLB或CLB与IOB之间的连接。
- 通用双长线连接包括夹在CLB之间的4条垂直和4条水平金属线段。其长度是单长线的两倍。用于连接两个相隔（非相邻）的CLB。



通用单/双长线连接结构

(2) 长线连接

- 长线是水平或垂直地贯穿于整个芯片的金属线，称为水平长线和垂直长线。
- 不经过PSM，信号延迟小，主要用于长距离或多分支信号（如控制、时钟信号）的传送。



四、片内RAM

- 在进行数字信号处理、数据加密或数据压缩等复杂数字系统设计中，要用到存储器。如果将存储模块集成到PLD芯片中，可简化设计，提高系统速度，还可减少数据存储的成本，使芯片内外数据交换更可靠。
- 目前新一代FPGA都提供片内RAM。这种片内RAM的速度非常快，读操作的时间为3~4ns，写操作的时间为5ns。
- FPGA的片内RAM分为两类：
 - 块RAM
 - 分布式RAM

五、FPGA的性能特点

- (1) 采用SRAM编程技术，具有高密度、高速度、高可靠性和低功耗。
- (2) 丰富的I/O端数和触发器，集成度远远高于PAL和GAL。
- (3) 结构灵活，内部的CLB、IOB和PI均可编程；强有力的组合逻辑函数发生器，可实现多个变量的任意逻辑。可满足各种数字电路系统设计的需要。
- (4) 某些FPGA还提供片内高速RAM，可用于FIFO等的设计。
- (5) 每次上电时需进行数据配置；断电后，配置数据自动丢失。

与CPLD的最大区别!
- (6) 内部时间延迟与器件结构及逻辑连接等有关，故信号传输时延不可预测——缺点。

六、FPGA与CPLD的区别

- 编程技术与数据易失性

- 通常FPGA采用SRAM进行功能配置，可以重复编程，但系统掉电后，SRAM中的数据丢失。因此，需在FPGA外加EPROM将配置数据写入其中，系统每次上电自动将数据引入SRAM中。
- 而一般CPLD器件采用EEPROM存储技术，可重复编程，且系统掉电后，EEPROM中的数据不会丢失，适于数据的保密。

- 触发器资源

- FPGA器件由于含有丰富的触发器资源，容易实现时序逻辑，若要求实现比较复杂的组合电路则需要几个CLB结合起来实现。
- CPLD的与或阵列结构，使它更适合于实现大规模的组合逻辑功能，而它的触发器资源相对比较少。

- 芯片利用率

- **FPGA**多为**细粒度**结构。**FPGA**内部有丰富连线资源，**CLB**分块比较小，芯片利用率比较高。
- **CPLD**多为**粗粒度**结构。**CPLD**宏单元的与或阵列较大，通常不能完全被应用，而且宏单元之间主要通过高速数据通道连接，容量有限，限制了器件的灵活布线，因此**CPLD**利用率比**FPGA**低。

- 布线结构与延时预测性

- **FPGA**为**非连续式**布线。**FPGA**器件在每次编程时实现的逻辑功能一样，但走的路线不同，因此**延时难以预测**，要求开发软件允许工程师对关键的路线给予限制。
- **CPLD**为**连续式**布线。**CPLD**每次布线路径一样，其连续式互连结构利用具有同样长度的一些金属线实现逻辑单元之间的互连，消除了分段式互连结构在定时上的差异，并且在逻辑单元之间提供**快速**而且具有**固定延时**的通路。另外，**CPLD**的延时比较小。

FPGA与CPLD的比较

比较	集成规模	单元粒度	互连方式	速度
CPLD	小（最大数万门）	大（PAL结构）	集总总线	高
FPGA	大（最高达数百万门）	小（PROM结构）	分段总线	低
FPGA(Altera公司)	较大	小（门、MUX结构）	非集总总线	低

续	编程工艺	编程类型	信息	功耗
CPLD	EPROM,EEROM,Flash	ROM型	固定	高
FPGA	SRAM	RAM型（与存储器联用）	可实时重构	低
FPGA(Altera公司)	反熔丝	ROM型	固定	低

续	触发器数	单元功能	Pin-Pin延迟	加密性能	适用场合
CPLD	少	强	确定，可预测	可加密	逻辑型系统
FPGA	多	弱	不确定，不可预测	不可加密	数据型系统
FPGA(Altera公司)	少（互连实现）	弱	不确定，不可预测		数据型系统

CPLD与FPGA的区别

	CPLD	FPGA
内部结构	Product—term	Look—up Table
程序存储	内部EEPROM	SRAM，外挂EEPROM
资源类型	组合电路资源丰富	触发器资源丰富
集成度	低	高
使用场合	完成控制逻辑	能完成比较复杂的算法
速度	慢	快
其他资源	—	EAB，锁相环
保密性	可加密	一般不能保密

- **FPGA采用SRAM进行功能配置，可重复编程，但系统掉电后，SRAM中的数据丢失。**因此，需在FPGA外加EPROM，将配置数据写入其中，系统每次上电自动将数据引入SRAM中。CPLD器件一般采用EEPROM存储技术，可重复编程，并且系统掉电后，EEPROM中的数据不会丢失，适于数据的保密。
- **FPGA器件含有丰富的触发器资源，易于实现时序逻辑，**如果要求实现较复杂的组合电路则需要几个CLB结合起来实现。CPLD的与或阵列结构，使其适于实现大规模的组合功能，但触发器资源相对较少。

- **FPGA为细粒度结构，CPLD为粗粒度结构。** FPGA内部有丰富连线资源，CLB分块较小，芯片的利用率较高。CPLD的宏单元的与或阵列较大，通常不能完全被应用，且宏单元之间主要通过高速数据通道连接，其容量有限，限制了器件的灵活布线，因此CPLD利用率较FPGA器件低。
- **FPGA为非连续式布线，CPLD为连续式布线。** FPGA器件在每次编程时实现的逻辑功能一样，但**走的路线不同**，因此**延时不易控制**，要求开发软件允许工程师对关键的路线给予限制。CPLD每次布线路径一样，CPLD的连续式互连结构利用具有同样长度的一些金属线实现逻辑单元之间的互连。**连续式互连结构**消除了分段式互连结构在定时上的差异，并在逻辑单元之间提供快速且具有固定延时的通路。CPLD的延时较小。

CPLD: (**C**omplex **P**rogrammable **L**ogic **D**evice)复杂的可编程逻辑器件。

专指那些集成规模大于1000门以上的可编程逻辑器件。

ROM型器件停电数据可保存。

FPGA: (**F**ield **P**rogrammable **G**ate **A**rray)现场可编程门阵列。

它是一种由掩膜可编程门阵列和可编程逻辑器件两者演变而来的通用型用户可编程器件。

RAM型器件停电数据不可保存，须与存储器连用。

CPLD/FPGA的特点

1. 基本结构

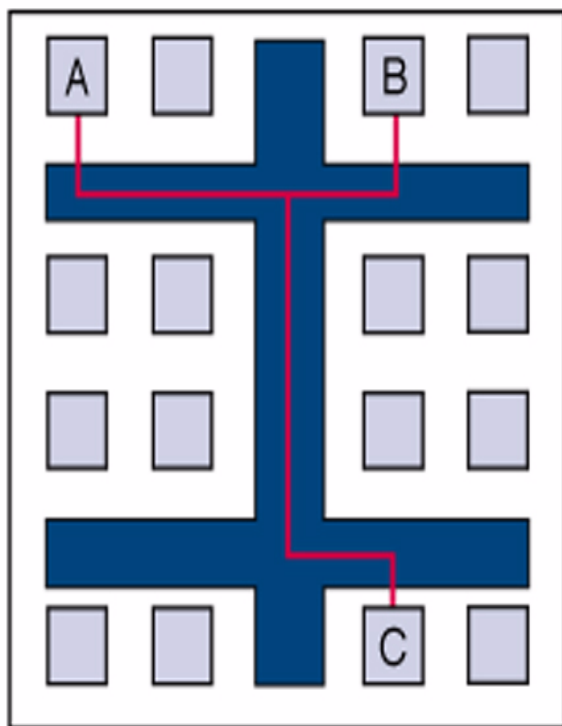
• CPLD

- 可编程逻辑宏单元LMC, Logic Macro Cell (结构较复杂)
- 复杂的I/O控制块 (完成芯片上逻辑与外部封装脚的接口)
- 逻辑单元之间采用连续式互连结构 (固定长度的金属线)
- 内部延时时间固定, 可预测

• FPGA

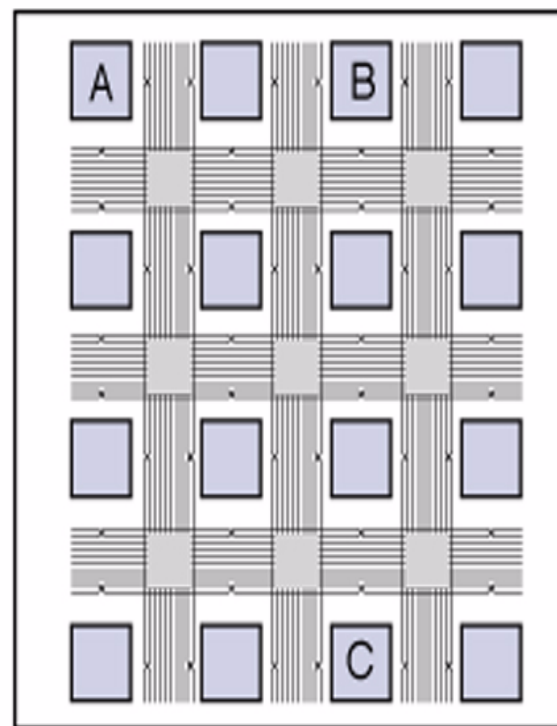
- 可编程逻辑功能块 (实现用户功能的基本单元)
- 可编程I/O块 (完成芯片上逻辑与外部封装脚的接口)
- 逻辑单元之间采用分段式互连结构 (不同长度的金属线)
- 内部延时时间不固定, 预测性差

CPLD



集中式互连

FPGA



分布式互连

2.编程工艺

- **CPLD**

- EPROM
- EEROM
- FLASH

- **FPGA**

- 反熔丝 (Actel)
- RAM (Xilinx)

3.器件规模

	CPLD	FPGA
集成规模	小（最大数万门）	大（最高达百万门）
单元粒度	大（ PAL 结构）	小（ PROM 结构）
互连方式	集总总线	分段总线、长线、专用互连
编程工艺	EPROM 、 EEROM 、 Flash	SRAM
编程类型	ROM 型	RAM 型，须与存储器连用

7.7 主要的PLD厂商

Provider	Product	Description	EDA Tool
Altera	CPLD : MAX; FPGA : FLEX , APEX, Cyclone, Stratix	One of the 3 biggest PLD providers in the world. Reprogrammable PLD	MAX+PLUS II (第三代), Quartus II (第四代)
Xilinx	CPLD :CoolRunner, XC9500; FPGA :XC4000 , Virtex, Spartan	One of the 3 biggest PLD providers in the world. The inventor of FPGA . Reprogrammable PLD	Foundation (早期的开发工具), ISE
Lattice	高密度 PLD: ispLSI, ispMACH; 低密度 PLD: ispGAL/PAL, ispGDX, ispGDS	One of the 3 biggest PLD providers in the world. The inventor of ISP technology, GAL .	ispDesignEXPERT, ispLEVER (2002 年新推出)
Actel	eX, MX, SX/SX-A	The leader of OTP (One Time Programmable) FPGA. Widely used in military, aeronautics and space fields.	Designer, Libero2.2

- Altera、Xilinx 和 Lattice 是全球最大的三个PLD厂商,全球CPLD/FPGA产品60%以上是由Altera和Xilinx提供的。

1. Altera公司

- 九十年代以后发展很快，是三大PLD供应商之一。
 - 早期有MAX 系列（第一代基于乘积项结构的 CPLD）；
 - 后来有FLEX系列、APEX系列、ACEX系列；
 - 2002年推出Cyclone 系列（成本最低）、Stratix系列（高速、高密度）；
 - 2004年推出Cyclone II系列、Stratix II系列， MAX II系列（第二代低成本MAX CPLD产品，采用新的查找表结构）
- Altera公司的PLD的特点：
 - 高性能
 - 高集成度
 - 高性价比
 - 器件延时可预测
 - 丰富的IP核、宏功能库

2. Xilinx（赛灵思）公司

- **FPGA**的发明者（ Xilinx 公司于1985年首次推出FPGA ），老牌PLD公司；
- 三大PLD供应商之一；
- 产品种类较全：
 - **FPGA**: XC , Virtex, Spartan系列
 - **CPLD**: CoolRunner, XC9500系列
- 通常来说，在欧洲用Xilinx产品的人多，在日本和亚太地区用Altera产品的人多，在美国则是平分秋色。
- 开发软件：
 - **Foundation**——早期的开发工具，逐步被ISE取代；
 - **ISE**——Xilinx公司集成开发的工具；
 - **ISE Webpack**——Xilinx提供的免费开发软件，功能比ISE少一些，可以从Xilinx网站下载；
 - **嵌入式开发套件（EDK）**——用于开发集成PowerPC硬核和MicroBlaze软核CPU的工具；
 - **System Generator for DSP**——配合Mathlab，在FPGA中完成数字信号处理的工具。

3. Lattice（莱迪思）公司

- **ISP**（In System Programmable）技术的发明者，ISP技术极大地促进了PLD产品的发展。
- 三大PLD供应商之一；
- **GAL**器件最早由Lattice公司生产，于80年代初期推出。
- 其PLD产品包括高密度PLD和低密度PLD。主要产品有ispLSI2000/5000/8000，MACH4/5，ispMACH4000等。
- 中小规模PLD比较有特色，不过其大规模PLD、FPGA的竞争力还不够强。
- 1999年推出可编程模拟器件。
- 开发工具比Altera和Xilinx略逊一筹。开发工具主要有ispDesignEXPERT、**ispLEVER**（后者2002年新推出）。

4. Actel公司

- 是反熔丝（一次性烧写）**PLD**的领导者，1988年推出第一个反熔丝（**antifuse**）**FPGA**产品。由于反熔丝**PLD**抗辐射、耐高低温、功耗低、速度快，所以在军品和宇航级上有较大优势。**Altera**和**Xilinx**则一般不涉足军品和宇航级市场。
- 是**FPGA**的专业制造商。其**FPGA**产品被广泛应用于通讯、计算机、工业控制、军事、航空和其他电子系统。由于采用了独特的抗熔丝硅体系结构，其**FPGA**产品具有可靠性高、抗辐射强、能够在极端环境条件下使用等特点，因而被美国宇航局的太空船、哈勃望远镜修复、火星探测器、国际空间站等项目所采用。
- 结合了**E²CMOS**和**ISP**技术，采用的是反熔丝开关，因此为**OTP**一次性编程器件。适于产品定型后的批量生产，便于保护知识产权。
- 开发工具有**Designer, Libro2.2**。

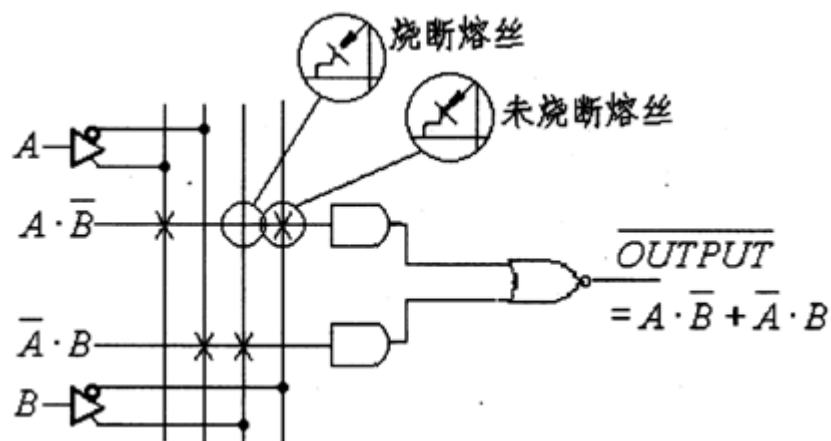
7.8 可编程逻辑器件的编程元件(自学)

可编程逻辑器件的编程元件采用了几种不同的编程技术，这些可编程元件常用来存储逻辑配置数据或作为电子开关。常用的可编程元件有如下四种类型：

- ◆ 熔丝（Fuse）型开关；
- ◆ 反熔丝（Antifuse）型开关；
- ◆ 浮栅编程元件（EPROM和EEPROM）；
- ◆ 基于SRAM的编程元件；

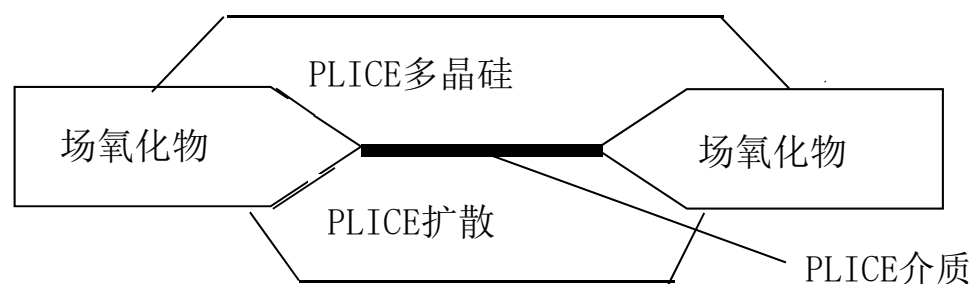
1 熔丝型开关

- 熔丝型开关是最早的可编程元件，它由可以用电流熔断的熔断丝组成。在编程时，需要保持连接的节点保留熔丝，需要去除连接的节点烧掉熔丝，由最后留在器件内的不烧断的熔丝模式决定器件的逻辑功能。熔丝型开关的编程原理如图所示。



2 反熔丝型开关

- 反熔丝开关主要通过击穿介质来达到连通线路的目的。这些开关元件在未编程时处于开路状态，编程时，在其两端加上编程电压，反熔丝就会由高阻抗变为低阻抗，从而实现两个极间的连通，且编程电压撤除后也一直处于导通状态。



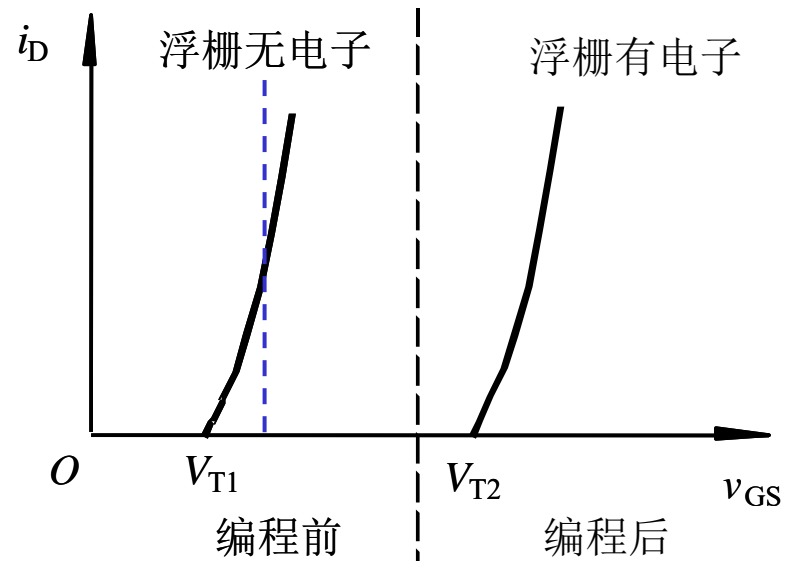
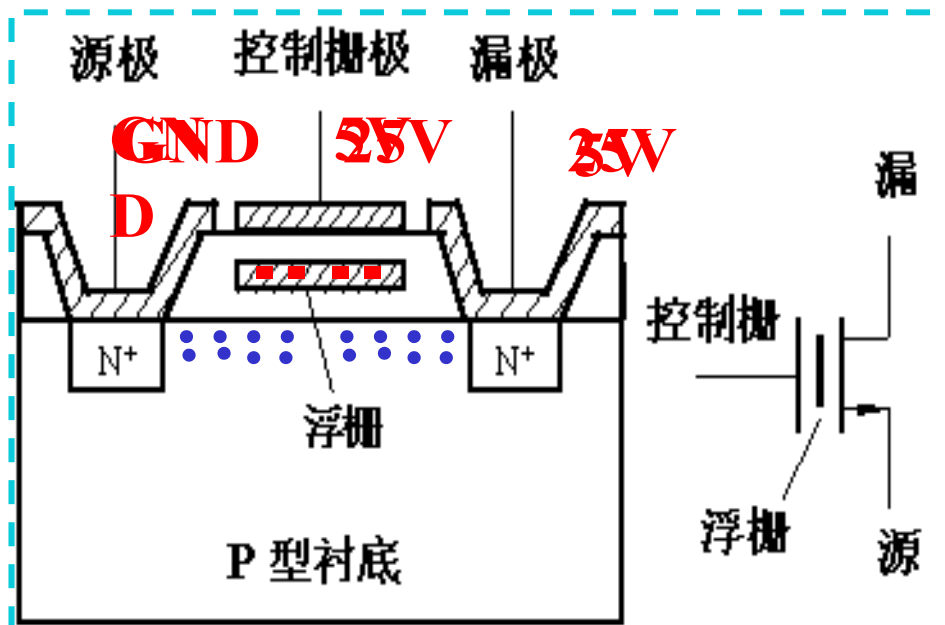
3 浮栅编程元件



用不同的浮栅MOS管连接的PLD，编程信息的擦除方法也不同。SIMOS管连接的PLD，采用紫外光照射擦除；Flotox MOS管和快闪叠栅MOS管，采用电擦除方法。

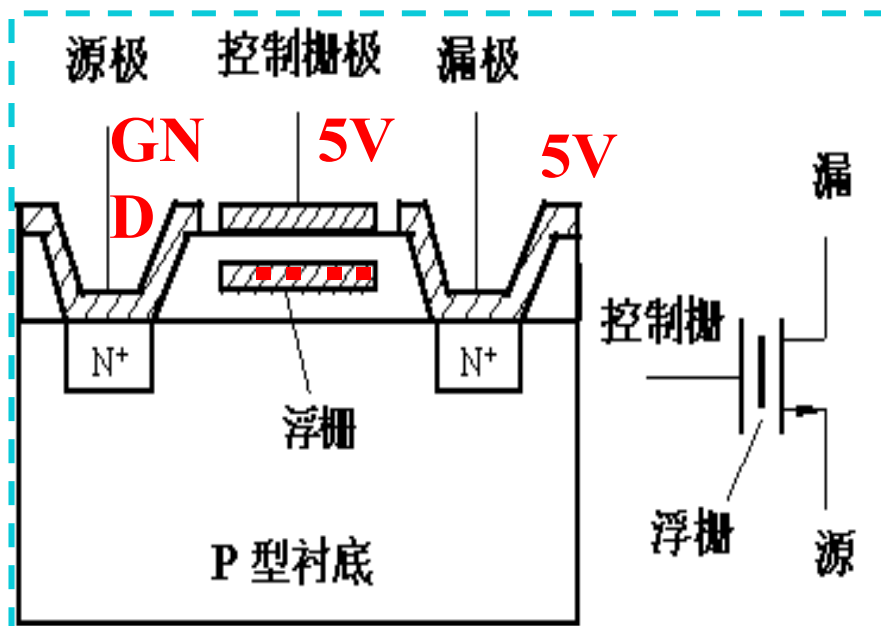
a. 叠栅注入MOS(SIMOS)管

当浮栅上没有电荷时，给控制栅加上大于 V_{T1} 的控制电压，MOS管导通。

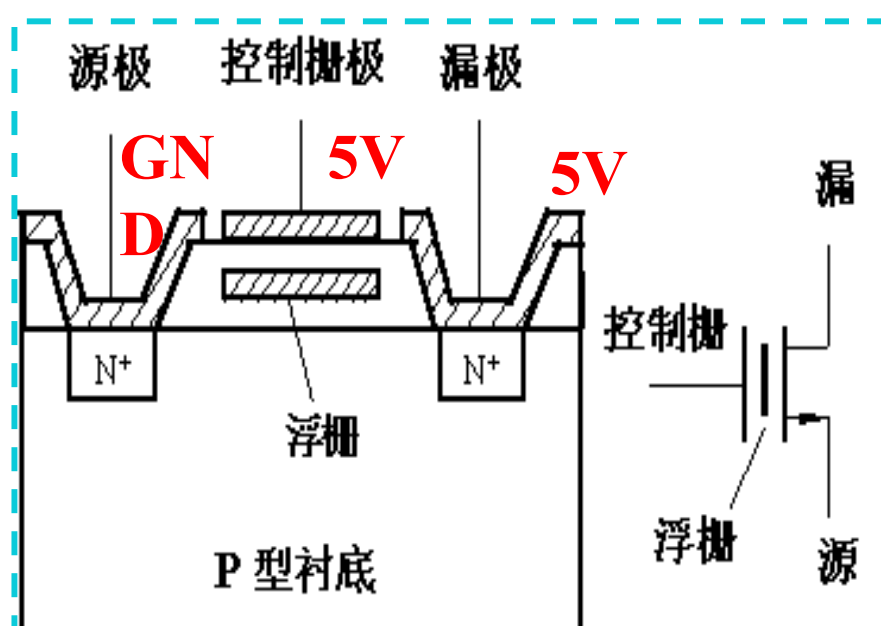


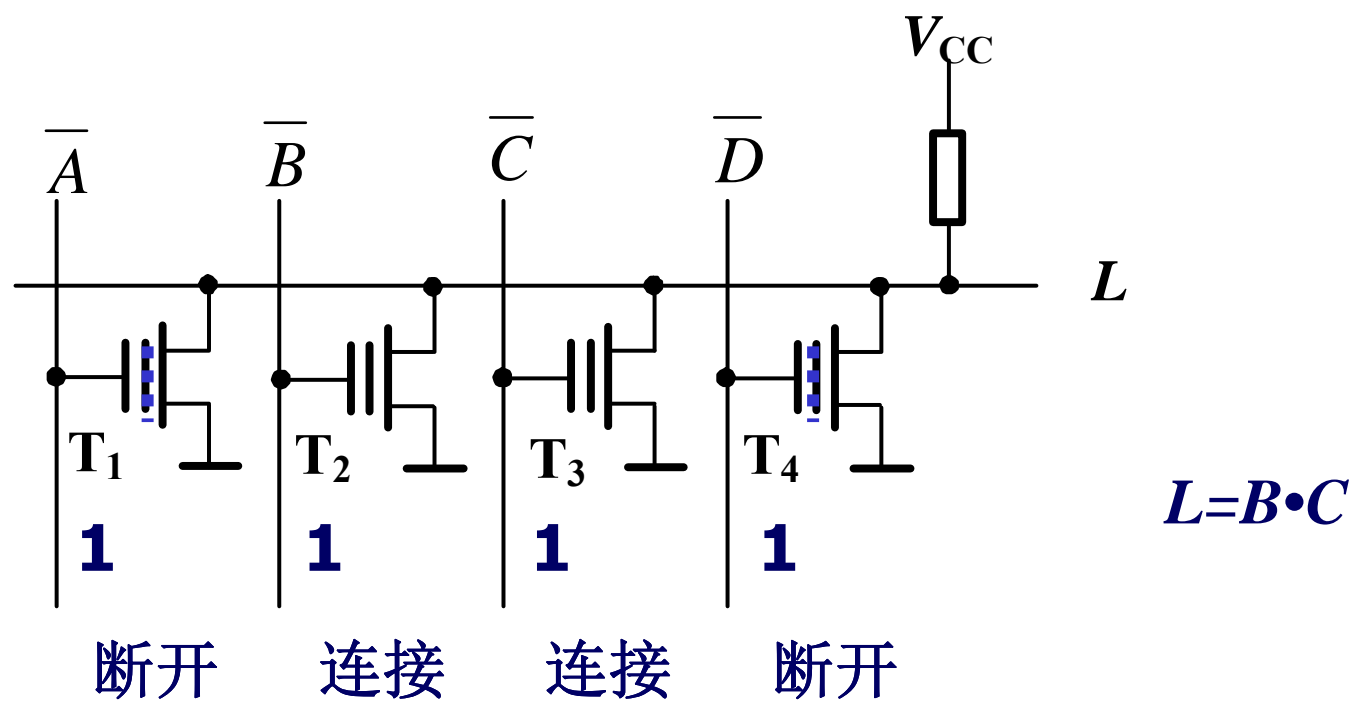
若要擦除，可用紫外线或X射线，距管子2厘米处照射15-20分钟。

截止

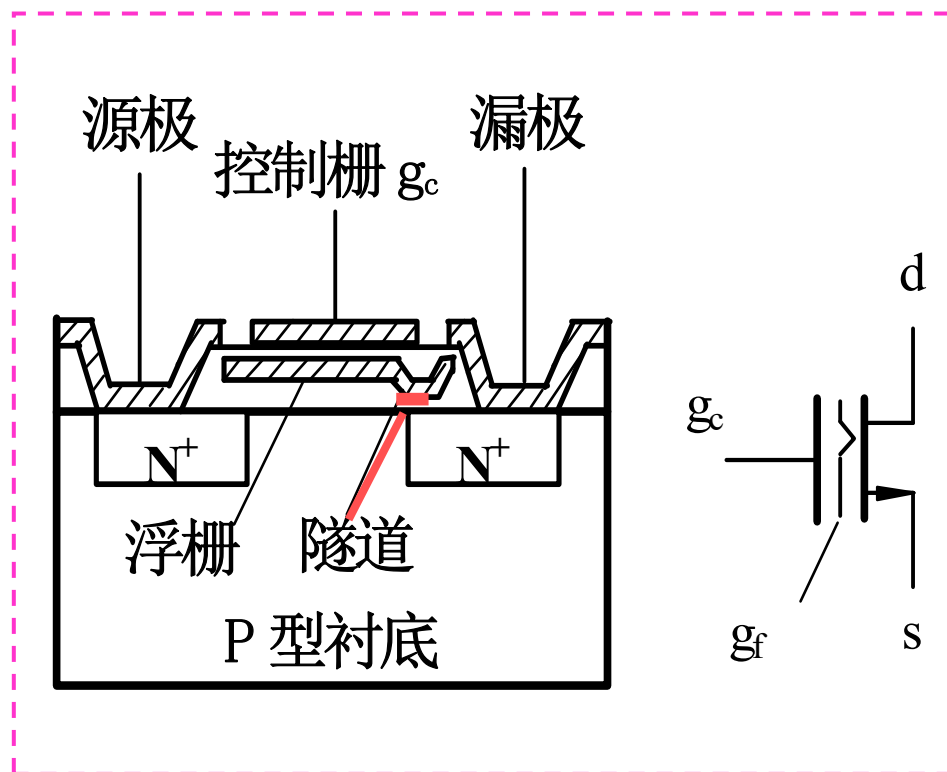


导通





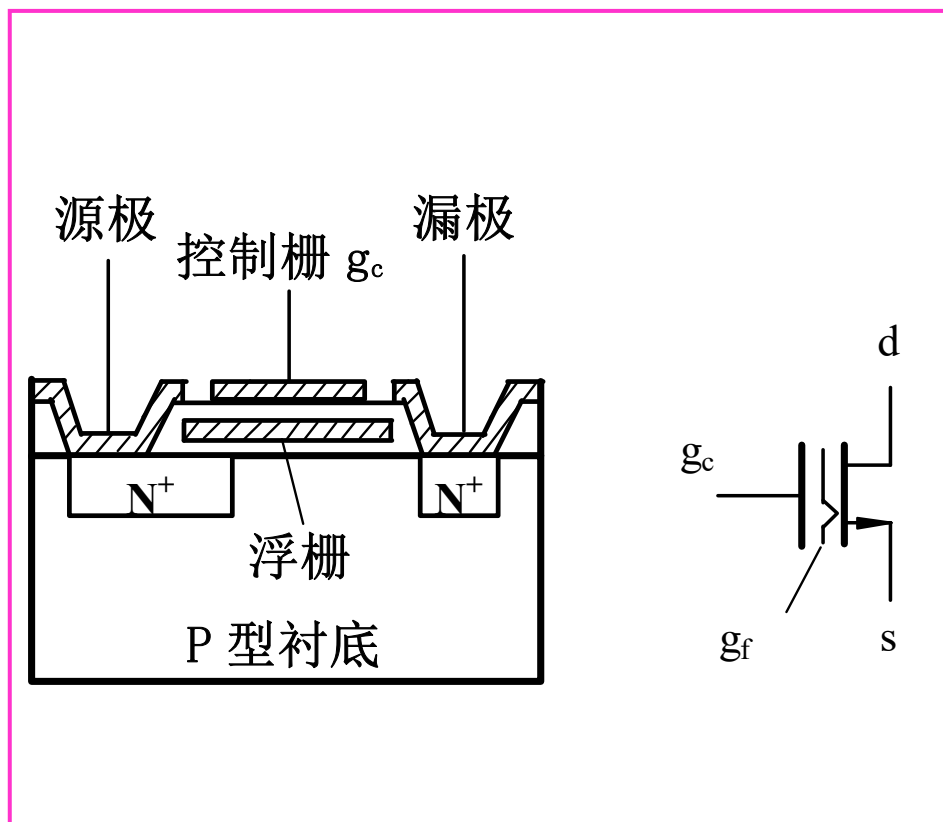
b.浮栅隧道氧化层MOS(Flotox MOS)管



浮栅延长区与漏区 N^+ 之间的交叠处有一个厚度约为80Å(埃)的薄绝缘层——隧道区。当隧道区的电场强度大到一定程度，使漏区与浮栅间出现导电隧道，形成电流将浮栅电荷泄放掉。

隧道MOS管是用电擦除的，擦除速度快。

c.快闪叠栅MOS管开关 (Flash Memory)



结构特点:

1. 闪速存储器存储单元
MOS管的源极N+区大于漏极N+区，而SIMOS管的源极N+区和漏极N+区是对称的；

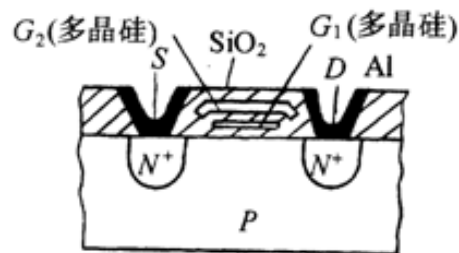
2. 浮栅到P型衬底间的氧化绝缘层比SIMOS管的更薄。

特点：结构简单、集成度高、编程可靠、擦除快捷。

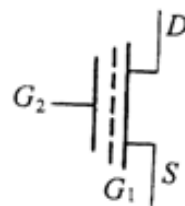
浮栅编程元件

❖ 1. EPROM

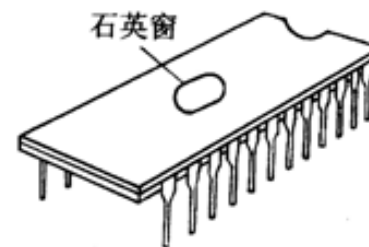
- EPROM的存储内容不仅可以根据需要来编制，而且当需要更新存储内容时还可以将原存储内容抹去，再写入新的内容。EPROM的基本结构是一个浮栅管，浮栅管相当于一个电子开关，当浮栅中没有注入电子时，浮栅管导通；当浮栅中没有注入电子后，浮栅管截止。



(a) 浮栅雪崩注入型 MOS 管结构



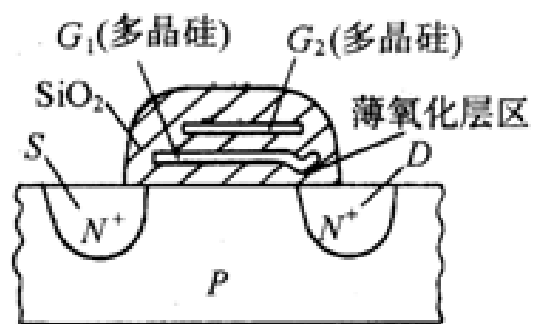
(b) 电路符号



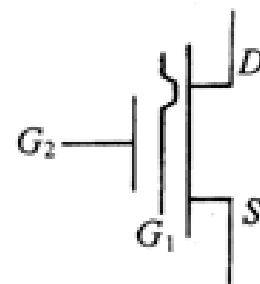
(c) 存储器外型

❖ 2. EEPROM

- EEPROM也写成E2PROM，它是电可擦除电编程的元件。EEPROM有多种工艺，也是基于浮栅技术。



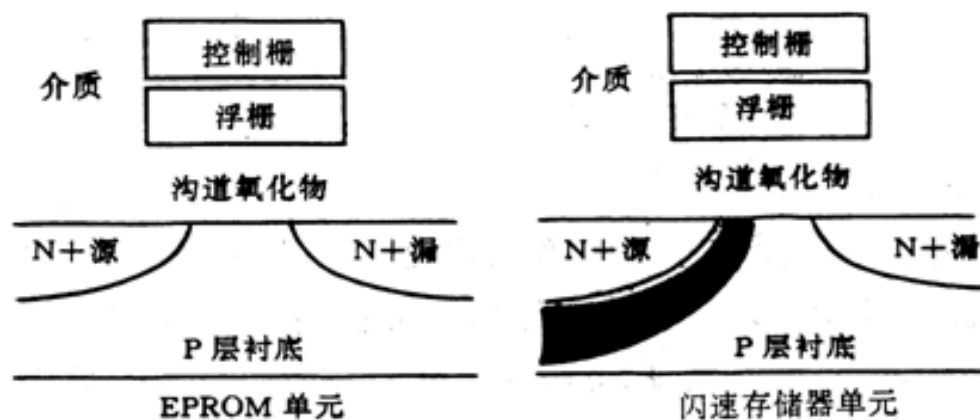
(a) 结构图



(b) 电路符号

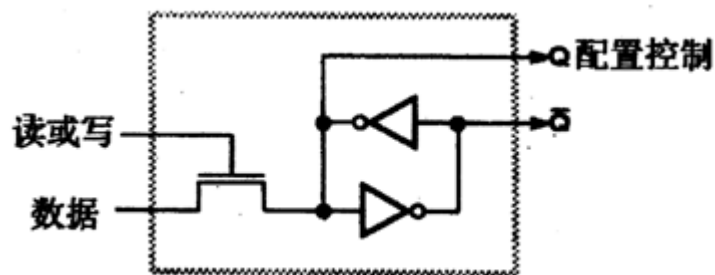
❖ 3. 闪速存储器（Flash Memory）

- 闪速存储器是一种新的可再编程只读存储器，它把EPROM的高密度、低成本的优点与EEPROM的电擦除性能结合在一起，具有非常广阔的应用前景。闪速存储器与EPROM和EEPROM一样属于浮栅编程器件，其存储单元也是由带两个栅极的MOS管组成。



4 基于SRAM的编程元件

- SRAM是指静态存储器，大多数FPGA用它来存储配置数据，所以又称为配置存储器。它的基本单元是由5个晶体管组成的存储器。图为SRAM的单元结构，它由两个CMOS反相器和一个用来控制读写的MOS传输开关构成，其中每个CMOS反相器包含了两个晶体管（一个下拉n沟道晶体管和一個上拉p沟道晶体管）。

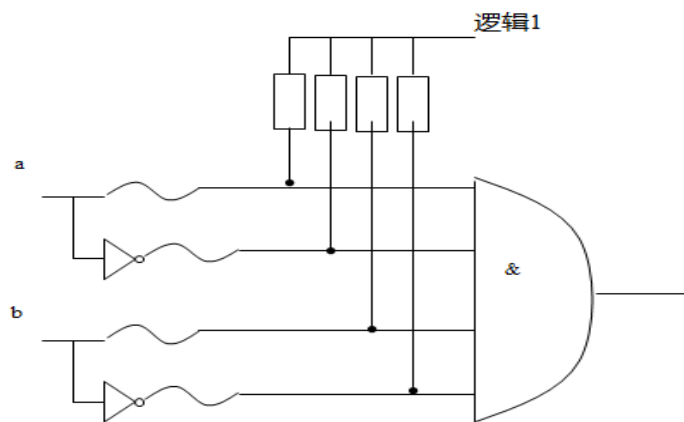


可编程逻辑器件工艺

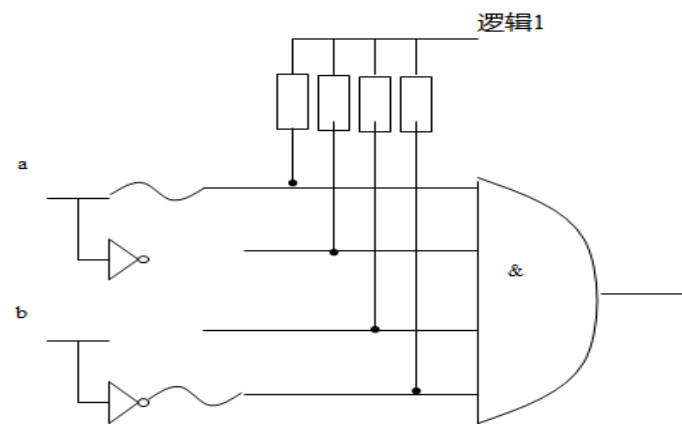
熔丝连接技术（PROM）

在这种技术的器件中，所有逻辑的连接都是靠熔丝连接的。

熔丝器件是一次可编程的，一旦编程，永久不能改变。



熔丝未编程的结构



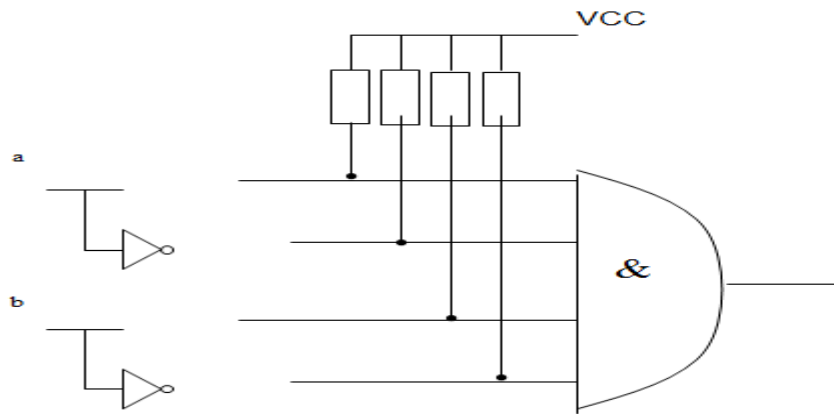
熔丝编程的结构

思考题：这种工艺的优势和劣势？

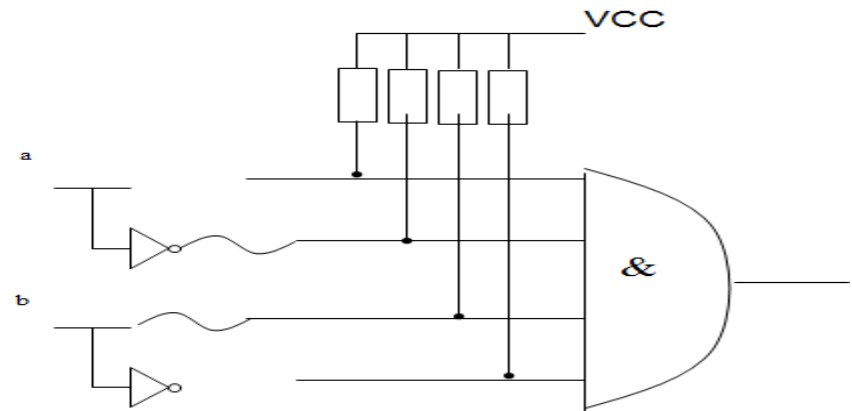
可编程逻辑器件工艺

反熔丝连接技术

反熔丝技术和熔丝技术相反，在未编程时，未编程时，成高阻状态。编程结束后，形成连接。反熔丝器件是一次可编程的，一旦编程，永久不能改变。（注：优势和劣势和前面一样）



熔丝未编程的结构



熔丝编程的结构

可编程逻辑器件工艺

SRAM技术

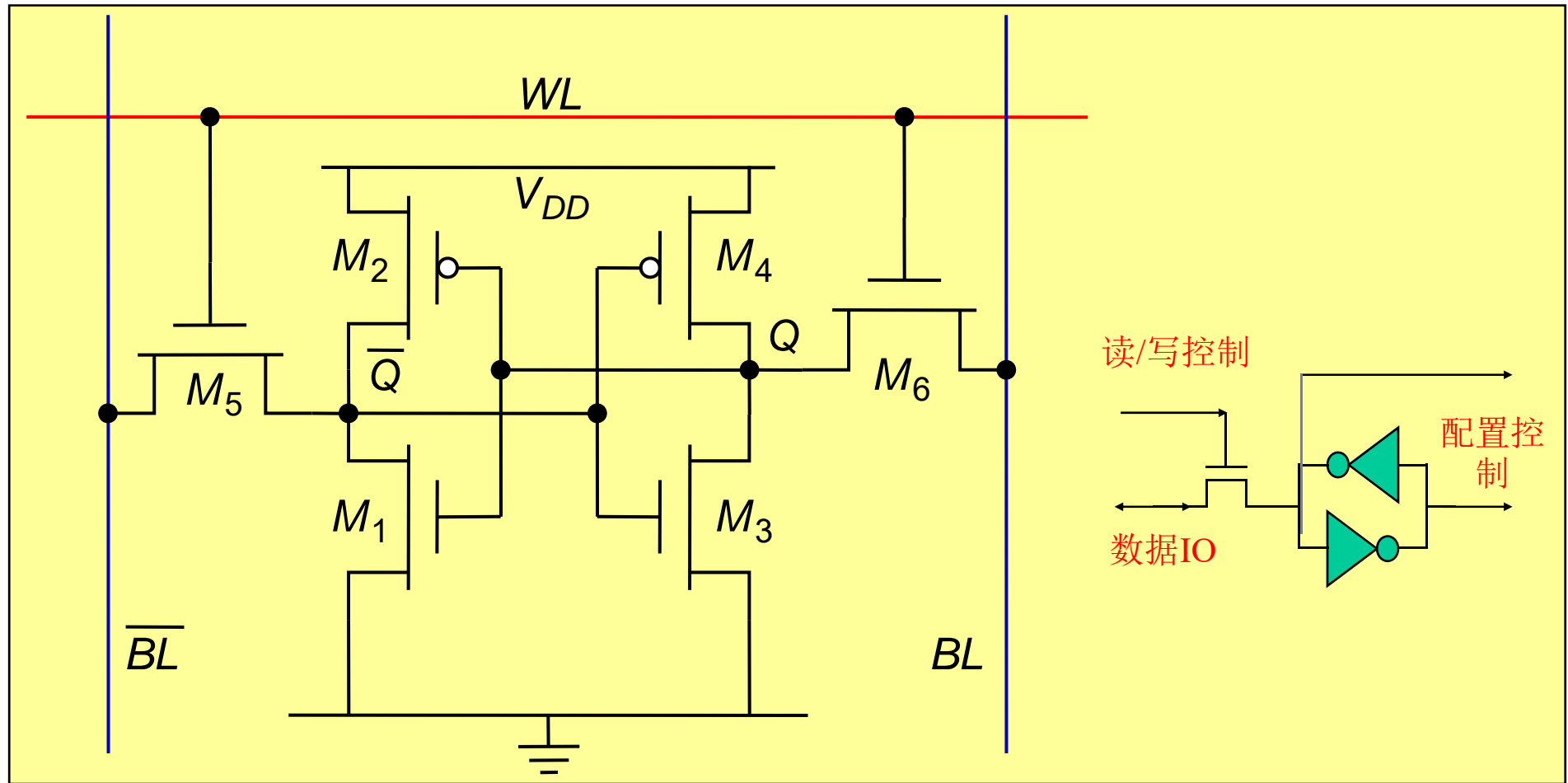
基于静态存储器SRAM的可编程器件，值被保存在SRAM的晶体管中。只要供电，器件信息就不会丢失。特点：

- (1) SRAM存储数据需要消耗大量的硅面积
- (2) 断电后数据丢失。
- (3) 这种器件可以反复的编程和修改。

绝大多数的FPGA都采用这种工艺，这就是为什么FPGA外部都需要有一个PROM芯片来保存设计代码的原因。

思考题：此处所说的“设计代码”的含义是什么？

可编程逻辑器件工艺



可编程逻辑器件工艺

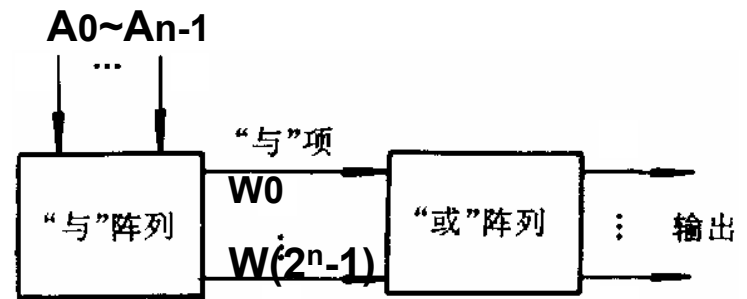
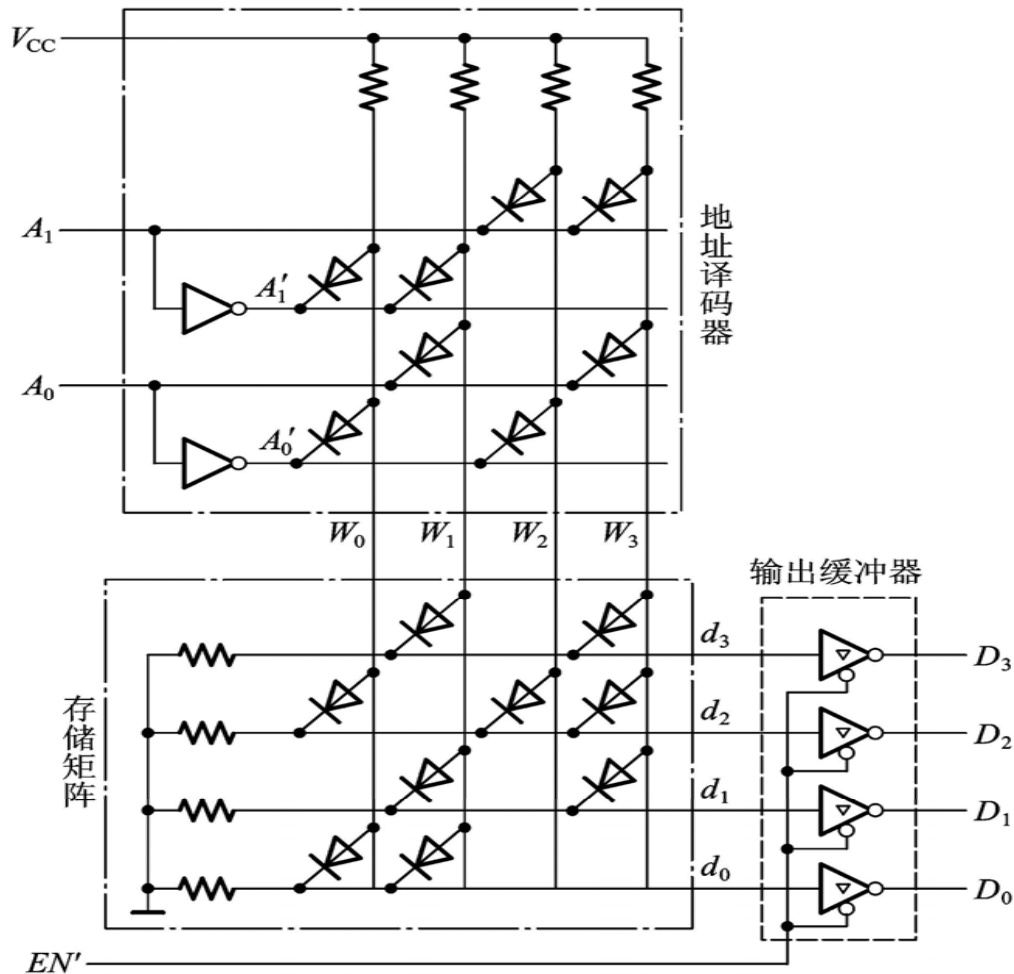
掩膜技术（ROM）

ROM是非易失性的器件。系统断电后，信息被保留在存储单元中。ROM单元保存了行和列数据，形成一个阵列，每一列有负载电阻使其保持逻辑1，每个行列的交叉有一个关联晶体管和一个掩膜连接。其特点：

- （1）可以读出信息，但是不能写入信息。
- （2）这种技术实现代价比较高，在实际中很少使用。

可编程逻辑器件工艺

掩膜技术 (ROM)



地 址		数 据			
A_1	A_0	D_3	D_2	D_1	D_0
0	0	0	1	0	1
0	1	1	0	1	1
1	0	0	1	0	0
1	1	1	1	1	0

可编程逻辑器件工艺

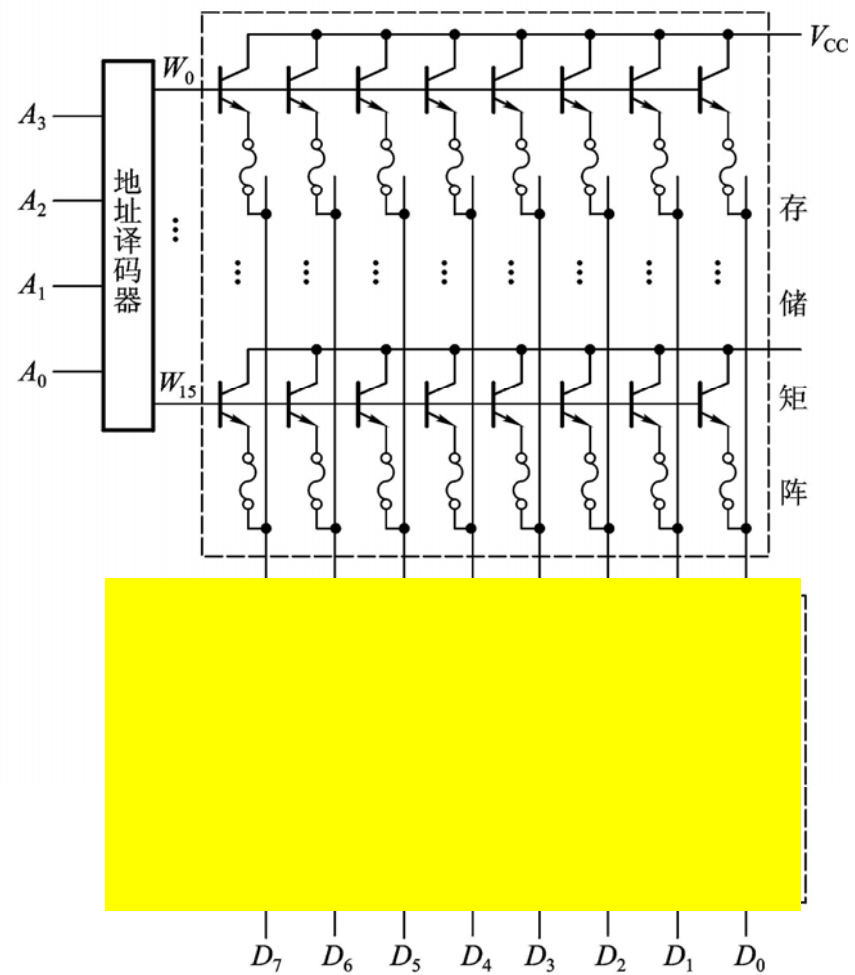
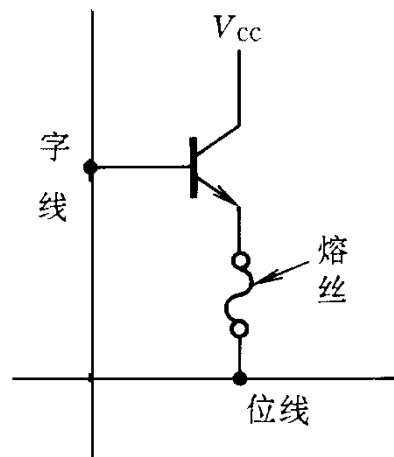
PROM技术（熔丝连接）

PROM是非易失性的，系统断电后，信息被保留在存储单元中。PROM单元保存了行和列数据，形成一个阵列，每一列有负载电阻使其保持逻辑1，每个行列的交叉有一个关联晶体管和一个掩膜连接。特点：

(1) PROM器件可以编程一次，以后只能读数据而不能写入新的数据。

(2) 如果可以多次编程就成为EPROM，EEPROM技术。

可编程逻辑器件工艺



可编程逻辑器件工艺

FLASH技术

FLASH技术的芯片的擦除的速度比PROM技术要快的多。

FLASH技术可采用多种结构，与EPROM单元类似的具有一个浮置栅晶体管单元和EEPROM器件的薄氧化层特性。