

# 数字逻辑基础复习提纲

1. 数制与码制  
数字系统中常用的数制及其互换、符号数表示、数字与字符编码。
2. 逻辑代数基础  
逻辑代数的基本定理及规则，用逻辑代数及卡诺图化简逻辑函数的方法与技巧。
3. 组合逻辑电路  
门电路符号及外部特性
4. 同步时序电路  
同步时序电路的特点，触发器及其互换，Mealy 型和 Moore 型的状态图与状态表，同步时序电路分析与设计的方法。
5. 异步时序电路  
异步时序电路的特点与模型，脉冲异步时序电路分析与设计的方法。电平异步时序电路分析与设计的方法。
6. 中、大规模集成电路及其应用  
加法器、译码器、编码器、多路选择器、多路分配器、计数器和寄存器等常用集成电路的符号、功能表及使用方法及综合应用。

## 一、课程的教学基本要求

1. 数制与码制  
要求学生熟悉常用的几种进位计数制（2，8，10，16 进制），以及这几种数制的相互转换。数字系统数值数据的表示，重点是符号整数的定点数（原码、反码及补码）表示。数字和字符的编码。
2. 逻辑代数基础  
要求学生熟悉并掌握逻辑代数基本定理及规则，标准积之和表达式与最小项，标准和之积表达式与最大项。熟悉并能应用逻辑代数和卡诺图分析和化简逻辑表达式。
3. 组合逻辑电路分析与设计  
要求学生熟悉并掌握组合逻辑电路的分析和设计的方法；单输出与多输出组合逻辑电路设计方法的异同；组合逻辑险象的判断与消除。要求做门电路及组合逻辑电路实验。
4. 同步时序电路分析与设计  
要求学生熟悉并掌握同步时序逻辑电路的分析和设计的方法；Mealy 型与 Moore 型时序电路的状态图与状态表；常用的几种触发器及其互换。要求做触发器及同步时序逻辑电路实验。
5. 异步时序逻辑电路分析与设计  
要求学生熟悉并掌握脉冲异步时序逻辑电路与电平异步时序电路的分析和设计的方法；电平异步时序电路的竞争与险象。要求做异步时序逻辑电路实验。
6. 中规模集成电路应用  
要求学生熟悉并掌握常用的几种中规模集成电路；能够用它们设计组合逻辑电路和时序电路，并具有综合设计的能力。要求做常用中规模集成电路及其应用逻辑电路实验。

## 第一章 逻辑代数基础

### § 1-1 概述

#### 一、数字量和模拟量

数字量：时间上、数量上离散的物理量。表示数字量的信号为数字信号。

## 二、数制和码制

1. 数制：多位数码中每一位的构成方法以及从低位到高位进位的规则。

如二进制、八进制、10 进制（每一位 0—9 个数码，逢十进一）、16 进制等。

2. 码制：如 BCD 码、循环码等。

一个代码表示一个二进制数——称为二进制代码。

三个二进制代码——八进制

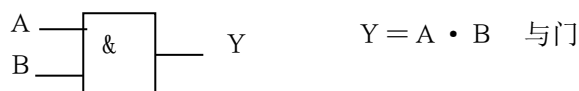
四个二进制代码——10 进制、16 进制

$$D = \sum k_i N^i \quad (N: \text{基数}; \quad k_i: \text{第 } i \text{ 位系数}; \quad N^i: \text{第 } i \text{ 位的权})$$

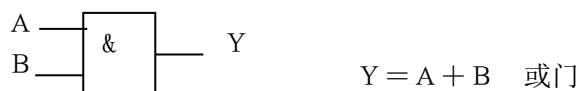
3. 数制间的转换：主要是二——10 进制、二——16 进制。

## § 1-2 逻辑代数中的三种基本运算

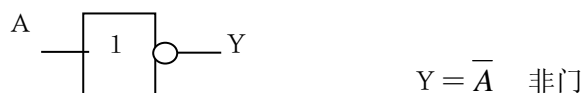
与：



或：



非：



用这些门如何形成与非门，与或非门、或非门、异或门、同或门等。

## § 1-3 逻辑代数的基本公式和常用公式

### 一、基本公式

了解：1. 变量与变量之间的运算规则。

2. 同一变量的运算规律——重叠率。

3. 变量和它的反变量之间的运算规律——互补率。

4. 交换率、互补率、结合率等。

◆ 5. 德·摩根定理。

### 二、常用公式

## § 1-4 逻辑代数的基本定理

### 一、代入定理

$$\text{若 } \overline{A+B} = \overline{A} \cdot \overline{B} \text{ 则 } \overline{A+(B+C)} = \overline{A} \cdot \overline{B+C} = \overline{A} \cdot \overline{B} \cdot \overline{C}$$

### 二、反演定理

若：对逻辑式 Y，所有的“+” $\leftrightarrow$ “·”，“1” $\leftrightarrow$ “0”，原变量  $\leftrightarrow$  反变量，得  $\overline{Y}$

### 三、对偶定理

$$Y = A(B + C). \quad Y' = A + BC$$

$Y' \neq Y$ ，但若有一  $X$  的对偶式  $X'$ ，若  $X' = Y'$  则  $X = Y$

$$\text{如：} \quad Y = A + BC \quad Y' = A(B + C)$$

$$\text{而 } X = (A + B)(A + C) \quad X' = AB + AC$$

可知  $X' = Y'$  则  $A + BC = (A + B)(B + C)$  成立。

## § 1-5 逻辑函数的表示方法

### 一、逻辑函数

$$Y = F(A, B, C, \dots) \quad \text{—— } Y = AB + AC + BD$$

### 二、表示方法

1. 真值表      2. 逻辑函数式      3. 逻辑图

### 三、几种方法的相互转换

### 四、逻辑函数的几种标准形式

#### 1. 最小项和最大项

$$Y(A, B, C) = \sum_i m_i (i = 3, 6, 7)$$

#### 2. 最小项和的形式：

$$= \overline{A}BC + A\overline{B}C + ABC$$

#### 2. 最大项之积的形式：

$$Y(A, B, C) = \prod_{k \neq i} M_k$$

## § 1-6 逻辑函数的公式化简法

### 一、逻辑函数的最简形式

### 二、常用的化简方法

$$1. \text{ 并项法} \quad AB + A\overline{B} = A(B + \overline{B}) = A$$

$$2. \text{ 吸收法} \quad A + AB = A(1 + B) = A$$

$$3. \text{ 消项法} \quad AB + \overline{A}C + BC = AB + \overline{A}C$$

$$4. \text{ 消因子法} \quad A + \overline{A}B = A + B$$

#### 5. 配项法

## § 1-7 逻辑函数的卡诺图化简法

### 一、逻辑函数的卡诺图表示法

(相邻性、卡诺图的画法、卡诺图表示逻辑函数的方法)

### 三、卡诺图化简逻辑函数

(乘积之和：)

(一) 合并最小项的规则：最小项相邻，则可以合并为一项。

(二) 卡诺图简化的步骤。

1. 将函数化为最小项之和的形式。

2. 画出表示该逻辑函数的卡诺图。
3. 找出可以合并的最小项矩形组。
4. 选择化简后的乘积项，原则是
  - ① 包含所有最小项
  - ② 乘积项数目应最小，即选择最小的矩形组数目
  - ③ 每个乘积项所含因子应最少，即每个矩形组包含的最小项数最多。用过的最小项可以再用。

(和之乘积:)

如:  $Y = ABC + ABD + \overline{A}\overline{C}D + \overline{C}\overline{D} + \overline{A}BC + \overline{A}C\overline{D}$

得:  $Y = A + \overline{D}$

		$CD$			
		00	01	11	10
$AB$	00	1			1
	01	1			1
	11	1	1	1	1
	10	1	1	1	1

#### § 1-8 约束项、任意项和逻辑函数中的无关项

##### 一、约束项、任意项和逻辑函数中的无关项

1. 约束项——对输入变量附加的限制称为约束，恒等于 0 的最小项称为约束项。
2. 任意项——对应的最小项取 1 或 0 对逻辑功能无影响。
3. 无关项——约束项、任意项

##### 三、无关项在化简逻辑函数中的应用

## 第二章 组合逻辑电路

### § 2-1 常用的组合逻辑电路

- 一、了解什么是组合逻辑电路
- 二、译码器
- 三、编码器
- 四、加法器
- 五、数值比较器

### § 2-2 组合逻辑电路的设计 (重点了解 SSI 设计的组合逻辑电路)

#### 一、设计组合逻辑电路的原则和步骤

##### (一) 原则:

1. 门电路数目最少
  2. 门电路输入端最少
- 对应函数化简为最简表达式

##### (二) 步骤:

1. 根据要求写出真值表
  - ① 分析事件的因果关系，确定输入和输出变量。
  - ② 定义逻辑状态的含义。
  - ③ 根据给定的事件因果系列出真值表。
2. 写出逻辑表达式——最好用卡诺图求最简表达式

3. 根据逻辑函数式画出电路图

可用 SSI 和 MSI

举例：

§2-2 组合逻辑电路中的竞争—冒险现象

一、竞争—冒险现象和原因

二、检查竞争—冒险的方法

三、消除竞争—冒险的方法

- ① 引入选通或封锁脉冲
- ② 接入滤波电容
- ③ 修改逻辑设计

例：1. 用卡诺图法解逻辑方程

$$A+BC=ACD+BD=B+CD$$

解：寻找 ABCD 的值使等式成立

		CD			
AB		00	01	11	10
	00				
	01			1	1
	11	1	1	1	1
	10	1	1	1	1

		CD			
AB		00	01	11	10
	00				
	01		1	☆	
	11		☆	☆	
	10			☆	

		CD			
AB		00	01	11	10
	00	☆	☆	1	☆
	01	1	1	1	1
	11	1	1	1	1
	10			1	

A+BC

ACD+BD

B+CD

解之：同为 1：ABCD=0111,1111,1101,1011

同为 0：ABCD=0000,0001,0010

解法 2：当原式=1 时有

$$(A+BC)(ACD+BD)(B+CD) = 1$$

当原式=0 时有

$$(A+BC) + (ACD+BD) + (B+CD) = 0$$

画入卡诺图即可。

### 第三章 触发器

一、基本特点：①具有两个能自行保持的稳定状态，即 0 和 1

②能根据不同的输入信号改变状态

③在输入信号消失以后，能将获得的新状态保持下来。

二、触发器的电路结构和动作特点

1. 基本 RS 触发器

2. 同步 RS 触发器（加 CP 脉冲）

3. 主从触发器——JK 触发器

4. 维持阻塞触发器——D 触发器

5. T

三、触发器的逻辑功能及方法——特性方程、状态转换图

$$1. \text{ RS 触发器 } \begin{cases} Q^{N+1} = S + \overline{R}Q^N \\ SR = 0 (\text{约束条件}) \end{cases}$$

$$2. \text{ J-K 触发器 } Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

$$3. \text{ T 触发器 } Q^{n+1} = T\overline{Q}^n + \overline{T}Q^n = T \oplus Q^n$$

$$4. \text{ D 触发器 } Q^{n+1} = D$$

四、触发器的电路结构与逻辑功能的关系——一般了解

五、触发器逻辑功能的转换

1. D 触发器—>其它逻辑功能触发器的方法

2. JK 触发器—>其它逻辑功能触发器的方法

#### 第四章 时序逻辑电路

一、时序电路在电路结构上的两个特点

1. 包括组合电路和存储电路

2. 存储电路的输出反馈到输入，与输入信号一起决定组合电路的输出。

二、同步时序电路的分析方法

步骤：①从给定的电路中，写出每个触发器输入端的驱动方程

②得到的驱动方程代入特性方程，得到每个触发器的状态方程，从而得到整个电路的状态方程。

③根据逻辑图写出输出方程

三、时序电路状态转换表、状态转换图和时序图

1. 状态转换表

① 输入变量和电路初值代入状态方程——>电路的次态和输出

② 将次态作为新的初态新的输入值代入状态方程——>

③ 将这些结果写成真值表的形式。

2. 状态转换图

① 用圈内数字表示电路各状态。

② 用箭头表示状态间的转化方向。

③ 用斜杠下面的数字表示输出。

3. 时序图

掌握在同步脉冲作用下画出电路状态、输出状态随时间变化的波形

二、若干常用的时序逻辑电路

1. 寄存器和移位寄存器

2. 计数器——加减计数

三、时序电路的设计方法

1. 原则和步骤

① 逻辑抽象，得出状态转换图（表）

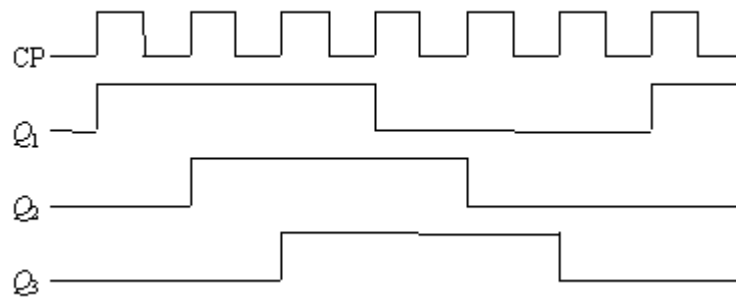
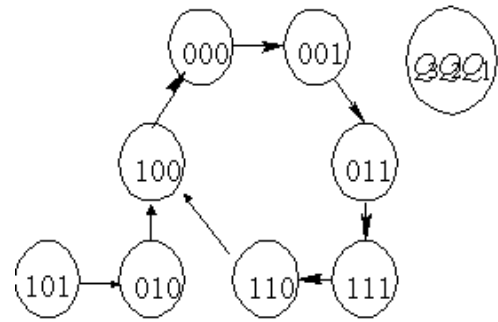
② 状态化简——得出最简状态转换图

③ 状态分配

④ 选定触发器的类型并求出状态方程、驱动方程和输出方程



$Q_1^n$	$Q_2^n$	$Q_3^n$	$Q_1^{n+1}$	$Q_2^{n+1}$	$Q_3^{n+1}$
0	0	0	0	0	1
0	0	1	0	1	1
0	1	0	1	0	0
0	1	1	1	1	1
1	0	0	0	0	0
1	0	1	0	1	0
1	1	0	1	0	0
1	1	1	1	1	0





**典型问题：**

组合逻辑电路和时序逻辑电路的区别

时序逻辑中同步与异步方式的主要区别

组合逻辑电路设计步骤

时序逻辑电路设计步骤

使用 VLSI 或 ULSI 可编程器件进行逻辑功能模块设计时步骤

什么是等价状态？如何判断等价状态