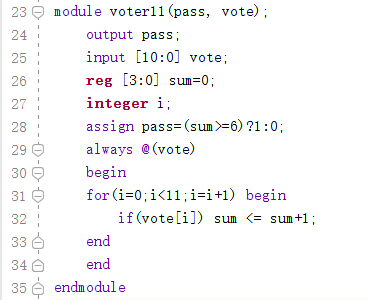
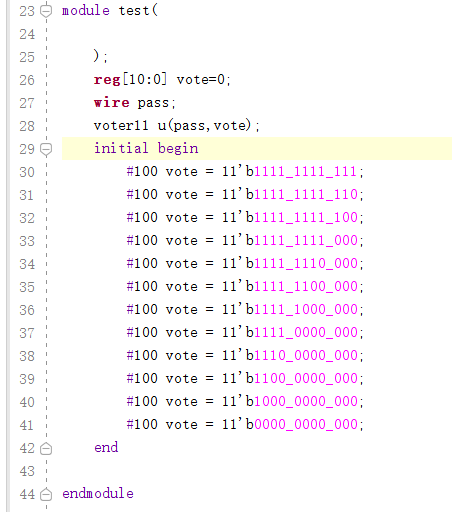
1. **投票表决器**

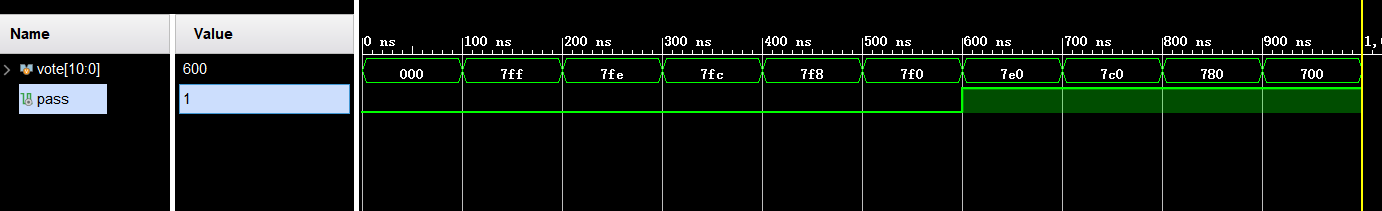
**verilog代码：**

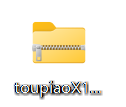
****

**仿真代码：**

****

**仿真结果：**

****

**整个项目见附录 ----->**

1. **代码及生成电路差异**

|  |  |
| --- | --- |
| **下降沿与上升沿比较** | |
| **上升沿** | **下降沿** |
| **Verilog代码：**  **屏幕截图 2022-11-06 213235** | **Verilog代码： 屏幕截图 2022-11-06 212927** |
| **综合电路图：**  **屏幕截图 2022-11-06 213306** | **综合电路图：**  **屏幕截图 2022-11-06 212948** |
| **分析：**  **使用上升沿和下降沿触发所生成的电路唯一的区别就是触发器的触发方式不同，上升沿触发器电路图没有小圈，代表触发方式为上升沿触发；下降沿电路图触发器有小圈，代表触发方式为下降沿触发。** | |
| **使用上升沿或下降沿触发优点：**   1. **提高触发器的可靠性。** 2. **增强抗干扰能力，触发器仅仅取决于CLK信号的下降沿（或上升沿）到达时刻输入信号的状态，而在此之前和之后输入状态的变化对触发器的状态没有影响。** 3. **可以有效防止空翻现象。** | |

|  |  |
| --- | --- |
| **有无else等完整语句影响** | |
| **有else等完整语句** | **无else等完整语句** |
| **Verilog代码：**  **屏幕截图 2022-11-06 220831** | **Verilog代码：**  **屏幕截图 2022-11-06 220920** |
| **RTL电路图：**  **屏幕截图 2022-11-06 221354** | **RTL电路图：**  **屏幕截图 2022-11-06 221319** |
| **无else等完整语句的缺点：**  **1、输入状态可能多次变化，容易产生毛刺，增加了下一级电路的不确定性； 2、在大部分 FPGA 的资源中，可能需要比触发器更多的资源去实现；** | |

|  |  |
| --- | --- |
| **同步和异步比较** | |
| **同步：**  **屏幕截图 2022-11-06 213235** | **异步：**  **屏幕截图 2022-11-06 220831** |
| **RTL电路图:**  **屏幕截图 2022-11-06 222742** | **RTL电路图：**  **屏幕截图 2022-11-06 221354** |
| **分析：**  **同步时序电路只有一个时钟信号，置位信号依靠时钟信号，因此置位信号发生变化时并不是立即变化的。 而异步时序电路有多个时钟信号，复位信号不依靠时钟信号，因此复位信号一旦发生变化就能立即变换。** | |
| **优缺点：**  **同步：**  **1、电路稳定性强，抗干扰能力强。**  **2、但需要更多的资源，如上图多需要一个选择器。**  **异步：**  **1、无需额外的逻辑资源，且复位信号不需要时钟信号。**  **2、抗干扰能力较弱，易受外界干扰，人为电路设计较复杂** | |