**《数字逻辑》实验报告**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **姓名** | | **文红兵** | | **年级** | | **2021级** |
| **学号** | | **20214090** | | **专业、班级** | | **计算机科学与技术卓越2班** |
| **实验名称** | **实验六 加减法器** | | | | | |
| **实验时间** | **2022/10/23** | | **实验地点** | | **竹园四栋** | |
| **实验成绩** |  | | **实验性质** | | **□验证性 ☑设计性 □综合性** | |
| 教师评价：  □算法/实验过程正确； □源程序/实验内容提交 □程序结构/实验步骤合理；  □实验结果正确； □语法、语义正确； □报告规范；  评语：  评价教师签名（电子签名）： | | | | | | |
| 1. 实验目的 2. 设计一个1位全加器，学习由32个一位全加器串联实现的32位全加器，并且掌握通过编写仿真文件，看RTL电路图，下载至开发板并且验证其正确性的方法。 3. 学习设计由全加器实现的全减器，然后学习设计32位加减法器。 4. 学习7段数码管显示模块的使用和将加减法器模块和7段数码管显示模块连接起来的方法。 5. 学会与系统自带的“+/-”进行比较。 | | | | | | |
| 二、实验项目内容  1） 设计一个1位全加器，然后由32个1位全加器串联组成32位加法器（画出电路原理图），并通过写仿真文件、看RTL电路图、下载至开发板验证其正确性； 2） 用全加器来构建全减器（画出电路原理图），实现一个32位加减法器，并通过写仿真文件、看RTL电路图、下载至开发板验证其正确性； 3） 编写顶层模块将加减法器模块和7段数码管显示模块连接起来，将SW15~SW12作为第一操作数低4位，SW11~SW8作为第二操作数低4位，SW0=0（1）时做加（减）法，添加选择控制SW1~SW2，能选择将操作数1或操作数2或结果显示在7段数码管上。 4）  在3）中的加减法器中增加进位标志和溢出标志，设计实现一个带进位标志和溢出标志的32位加减法器，将SW15~SW12作为第一操作数（可显示在左起第一个7段数码管上），SW11~SW8作为第二操作数（可显示在左起第二个7段数码管上），将结果显示在7段数码管上，进位和溢出标志通过LED灯显示； 5） 将所设计的加减法器与系统自带的“+\-”进行比较。 | | | | | | |
| 三、实验设计（实验原理、真值表、原理图等）  实验原理：  首先是7段数码管的显示问题，由于数码管本身是串联起来的，所以，产生的控制显示信号，将会同时影响四个数码管，所以为了将四个数码管显示不同的内容，我们对四个数码管进行了分时复用，即设置了一个sel参数来控制数码管的显示；然后就是加数，被加数以及sum的显示，我们设置了cntrl1，cntrl2来控制加数和被加数的显示，然后将数码管最后一位显示为sum。  其次就是32位数据不能在电路板上面操作的问题，为了解决这个问题，我们将32位位宽加数和被加数前28位同时置于0，剩下的4位来和电路板上的端口连接，这样方便在电路板上面操作。  然后就是将1位全加器串联为32位全加器的问题，在X32.v文件中，我们将已经写好的1位全加器按照参数列表的格式分别将进位，低位加数和被加数，以及低位sum作为高位进位填入参数列表中，然后按照串联的方式串联起32个1位全加器。  最后，就是将1位全加器转换为1位减法器，就是将减数转为其对应的补码，然后进行加法运算，与1位全加器一致。  7段数码显示管的真值表:  QQ截图20221023192226  一位全加器的真值表和逻辑表达式：  QQ截图20221023202257 | | | | | | |
| 四、实验过程或算法  1）列出一位全加器的真值表和逻辑表达式；  2）在Vivado中创建项目，并设计出1位全加器和减法器；相关代码如下：  QQ截图20221023202616   1. 设计32位加减法器，相关代码如下：   QQ截图20221023202904  QQ截图20221023202915  QQ截图20221023202925   1. 设计Simulation文件，相关代码如下：   QQ截图20221023203117  QQ截图20221023203123   1. 完成相关操作，并下载到实验电路板进行验证：   IMG_0272(20221023-203937)IMG_0273(20221023-203942)  IMG_0274(20221023-203943)IMG_0275(20221023-203946) | | | | | | |
| 1. 实验过程中遇到的问题及解决情况   1）7段数码显示管的显示不同内容问题，查阅相关文档和上网查询。   1. 如何将32个1位全加器串联起来问题，上网查询并进行实验。 2. 使用Verilog HDL语言描写实验过程之后跑仿真的时候，各个数据项初值未知导仿真失败问题，上网查询并调试代码。 3. 如何将32位位宽的数据在电路板上面显示问题，阅读相关文档，并上网查询，进行实验验证。 4. 如何控制数据的加减问题，在一位全加器的基础上，增加了一个select参数来选择两个数据项的相关操作。 | | | | | | |
| 六、实验结果及分析和（或）源程序调试过程  实验结果：将相关文件烧制到实验电路板上面之后，sum控制的显示管显示为0，然后将cntrl1和cntrl2控制的管脚置于1之后，操作数1和2分别在7段数码显示管第一位和第二位显示，然后先将select控制的管脚置于0，表示加法，然后将加数控制的4个管脚置于1101（例），在7段数码显示管上面第一位显示为D，然后将被加数控制后管脚置于0001（例），在7段数码显示管上面第二位显示为1，sum控制的7段数码显示管最后一个显示为E，然后将select控制的管脚置于1，表示减法，操作类似。  源代码调试过程:  QQ截图20221023203117  QQ截图20221023203123  七．小组分工情况说明  小组成员文红兵和苟书祥均参与实验相关操作流程。 | | | | | | |