1. 相对于组合逻辑控制器，微程序控制器的特点是（ ）

A．指令执行速度慢，指令功能的修改和扩展容易

B．指令执行速度慢，指令功能的修改和扩展难

C．指令执行速度快，指令功能的修改和扩展容易

D．指令执行速度快，指令功能的修改和扩展难

2. 单级中断系统中，中断服务程序内的执行顺序是 ( )

Ⅰ. 保护现场 Ⅱ. 开中断 Ⅲ. 关中断

Ⅳ. 保存断点 Ⅴ. 中断事件处理 Ⅵ. 恢复现场 Ⅶ. 中断返回

A. Ⅰ→Ⅴ→Ⅵ→Ⅱ→Ⅶ B. Ⅲ→Ⅰ→Ⅴ→Ⅶ

C. Ⅲ→Ⅳ→Ⅴ→Ⅵ→Ⅶ D. Ⅳ→Ⅰ→Ⅴ→Ⅵ→Ⅶ

4. 某DARM芯片，其存储容量为128K×32位，该芯片的地址线数目和数据线数目分别是（ ）。

A.128, 16 B.32, 32 C.17, 32 D.16, 32

5. 下列寄存器中，汇编语言程序员可见的是（ ）

A. 存储器地址寄存器（MAR） B. 程序计数器（PC）

C. 存储器数据寄存器（MDR） D. 指令寄存器（IR）

6. 下面描述RISC指令系统的基本概念，其中正确的表述是（ ）。

A. 通用寄存器数量少 B. 指令的长度不固定

C. 指令的种类较多，通常采用微程序控制器来实现

D. 采用标准的取数/存数指令访问存储器

7. 在多级Cache结构中，以下描述正确的是（ ）

A．L1 Cache容量较小，但是Miss Rate较低

B．L1 Cache容量较大，但是Miss Rate较高

C．L2 Cache速度较慢，Miss Rate较高

D．L2 Cache的Miss Rate较小，平均访问时间较长

8．下列存储部件在工作时需要刷新的是（ ）

A. DRAM B.SRAM C. ROM D. Flash Memory

9. 32位按字节寻址的MIPS计算机执行数组运算A[16] = h + A[12]，采用基址寻址时从内存读A[12]的偏移量是（ ）

A.16 B.32 C. 48 D. 64

10. MIPS计算机中IEEE754单精度浮点数表示十进制数–0.75后得到的16进制结果是（ ）

A．BF400000 B．A3E7BE00 C．3C426EAB D．6EAB5300

1. **判断题（正确的请打√，否则打×，2分/每小题，共20分，将选择答案填入下表）**

|  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| **1** | **2** | **3** | **4** | **5** | **6** | **7** | **8** | **9** | **10** |
| **×** | **×** | **×** | **×** | **√** | **√** | **√** | **×** | **×** | **√** |

1、减少指令中地址数目的办法是：采用以寄存器为基础的寻址方式。

2、在微程序控制方式中，每一条机器指令用一条微指令解释执行。

3、CPU在中断周期中执行中断服务程序。

4、静态RAM中“静态”含意是指：断电后仍能长期保存信息。

5、采用微程序控制器时，不同类型指令的取指令微操作不同。

6、每条指令的第一个机器周期一定是取指周期。

7、CPU执行低优先级中断服务程序时，也可以不去响应高优先级的中断请求。

8、采用微程序控制器，使CPU的硬件电路更为简单，加快了CPU的执行速度。

9、RISC计算机的指令系统一般常采用不定长指令格式。

10、虚拟存储器目的之一是弥补程序运行空间不足。

1. **简单分析题（6分/每小题，共30分）**

1. 计算机A的 Cycle Time = 300ps, CPI = 1.8，计算机B的 Cycle Time = 600ps, CPI = 1.3，两台计算机的指令系统相同，哪台计算机更快，快多少？请分析并计算。

2. 以1.0002 × 2–1 +(–1.1102 × 2–2)为列，说明MIPS计算机进行浮点数加法的主要步骤（不需要转换成IEEE754标准浮点数）。

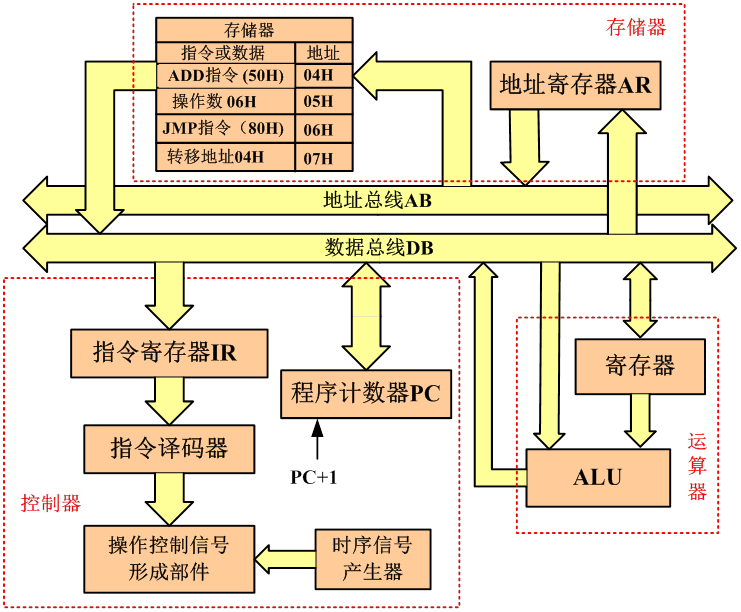
4. 某计算机在只具有L1 cache的情况下CPU base CPI = 1.5，clock rate = 2.5GHz，Global miss rate/instruction = 2%，Main memory access time = 150ns，如果增加L2 Cache（access time=10ns）将Global miss rate降低为0.25%，则该计算机的性能提高了多少倍？说明计算过程。

5. 简述虚拟存储器的工作原理？其对现代计算机存储层次的支持作用何在？

1. **综合题（10分/每小题，共30分）**

1. 一个有4个数据块的Cache，计算机加电启动，CPU访问主存对Cache块地址的访问顺序为：0, 8, 0, 6, 8，在计算机采用直接映射、2-way 组相联、全相联三种不同Cache组织方式下，替换策略均采用LRU，分别计算cache的访问命中率为多少，并给出计算依据。

2. 下图是一个8位简单模型机的数据通路图：



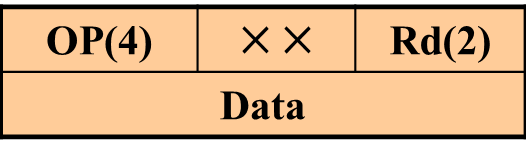
对两种指令及格式说明如下：Z

（1）ADD Rd, Data; (Rd)+Data🡪Rd

加法指令：寄存器＋立即数存入寄存器

寻址方式：源操作数为立即数寻址，目的操作数为寄存器（直接）寻址

指令格式：

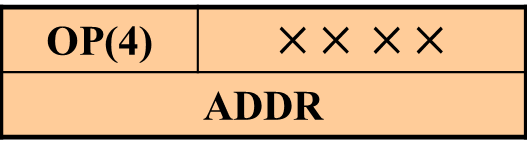


（2）JMP ADDR; ADDR🡪PC

跳转指令：从当前指令跳转到目标处执行

寻址方式：单操作数指令，操作数为直接转移地址，直接寻址

指令格式：



请给出两种指令执行的微操作序列，并画出微程序流程图。