

UNIVERSITE DE TECHNOLOGIES ET DE MANAGEMENT

UTM

FILIERE : 2^{ème} année Technologique (EII2_RT2)

SUPPORT DE COURS

Intitulé de l'EC : Electronique numérique 2 (L2, S3)

Enseignant : COULIBALY Souleymane , tel : 70 75 88 39 ou 68 76 42 77

Année académique : 20...-20...

UE2 Fondamentale		Titre du Cours : Electronique numérique et Systèmes programmés	
L2	S3	Crédit :	VH : 24 H CT: 14 H TD: 10 H TP: H
Objectifs : <ul style="list-style-type: none"> - Comprendre et utiliser les différents circuits combinatoires et séquentiels - Connaître les fonctions de base et les méthodes de conception de systèmes numériques. - TP (logique combinatoire et séquentielle) 			
Pré-Requis : électronique numérique 1^{ère} année			
CONTENU : I. Logique séquentielle et Circuits Séquentiels <ul style="list-style-type: none"> • Rappel : circuits logiques combinatoires • Circuits combinatoires et séquentiels • Circuits séquentiels : types, horloge, entrées de forçage, circuits trois états • Bascules, Compteurs, Registres à décalage, Monostables et Astables II. Familles des circuits intégrés numériques <ul style="list-style-type: none"> ➤ Notion de famille de circuit intégré. ➤ Terminologie : paramètres, marges de bruit, sortance, retard et puissance dissipée. ➤ Famille TTL : paramètres, séries TTL, autres caractéristiques (tri state, collecteur ouvert). ➤ Famille CMOS : paramètres, séries CMOS, précautions. 			
EII2-RT2			

Chapitre 1- Les circuits (intégrés) Séquentiels

Objectifs :

Connaître et comprendre

- Les différents types de circuits séquentiels de base

Être capable de

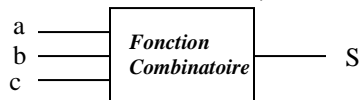
- Dessiner les chronogrammes de signaux en tenant compte des délais internes aux portes logiques
- Analyser et concevoir des circuits séquentiels (bascules, compteurs, registres, ...)

I. Définitions

LOGIQUE COMBINATOIRE

Un circuit logique est dit combinatoire si après un temps fini, les sorties sont stables et déterminées par la combinaison des variables d'entrée. Cette valeur de la sortie est indépendante de la valeur précédente prise par la fonction.

Exemple : codeur, décodeur, multiplexeur...



LOGIQUE SÉQUENTIELLE

Il s'agit d'étudier les circuits fonctionnant suivant une logique séquentielle. Dans les circuits séquentiels, la valeur de la sortie dépend des états antérieurs → introduction de l'effet de **mémoire**.

Dans un tel système, à une même combinaison des variables d'entrée ne correspond pas toujours la même valeur à la sortie. La fonctionnalité dépend de l'ordre des opérations (ordre de déroulement des séquences ; selon le temps) → système séquentiel.

Les fonctions séquentielles de base sont :

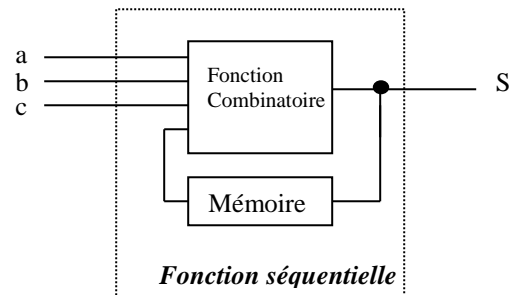
- mémorisation ;
- comptage ;
- décalage.

Les circuits séquentiels fondamentaux sont :

- bascules ;
- compteurs ;
- registres
- RAM (Random Access Memory).

Dans les circuits séquentiels, l'état des sorties à un instant t_n dépend non seulement de la combinaison des variables d'entrées à l'instant t_n mais aussi de l'état de la valeur antérieure de la fonction (soit de l'état des entrées aux instants antérieurs t_{n-1} ; t_{n-2} ). Un circuit séquentiel possède une fonction mémoire.

Exemple : bascule, compteur...



NB : pour la suite dans le cours on notera :

- * t_{n-1} : l'instant antérieur (état antérieur ou passé)
- * t_n : l'instant présent (état initial)
- * t_{n+1} : l'instant immédiatement postérieur (état futur ou final)

De même les variables et les fonctions seront indicées suivant leur état antérieur, initial ou final.

- * a_t ; A_t ; Q^- ou Q_t^- : état présent ou de départ.
- * a_{t+1} ; A_{t+1} ; Q^+ ou Q_{t+1}^+ : état final ou d'arrivée.

Les bascules sont les éléments de base de la logique séquentielle.

Une bascule est un dispositif électronique susceptible de changer d'état binaire sur commande et de conserver cet état même après disparition de la commande jusqu'à l'apparition d'une autre commande. Ce dispositif constitue donc une mémoire. Une bascule est appelée une mémoire élémentaire ou unitaire. On trouve 2 types de fonctionnement :

Le fonctionnement asynchrone : la sortie de la bascule change d'état uniquement en fonction des grandeurs d'entrée (pas de signal d'horloge).

Le fonctionnement synchrone : le changement d'état de la sortie est conditionné par une autorisation donnée par le signal d'horloge (clock). Le signal d'horloge peut être de 3 façons différentes :

Synchronisation sur niveau : il suffit d'appliquer le niveau convenable de tension appelé niveau actif (niveau logique 1 ou 0) pour que la sortie de la bascule puisse changer.

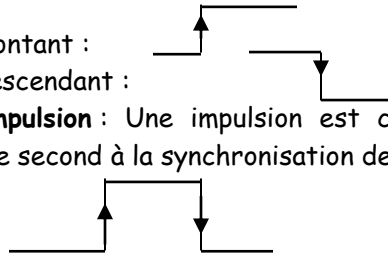
Synchronisation sur front : la durée de l'autorisation est le temps que le signal d'horloge passera d'un niveau à un autre.

exemple:

- Synchronisation sur front montant :

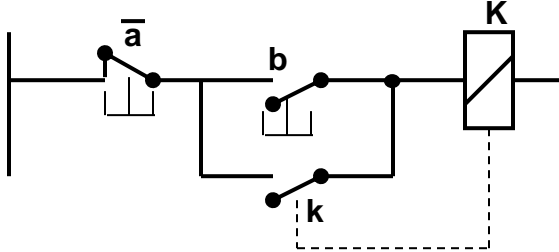
- Synchronisation sur front descendant :

Synchronisation par impulsion : Une impulsion est composée de 2 fronts. Le premier front sert à la synchronisation des entrées, le second à la synchronisation des sorties.



Mémoire à relais

Schéma

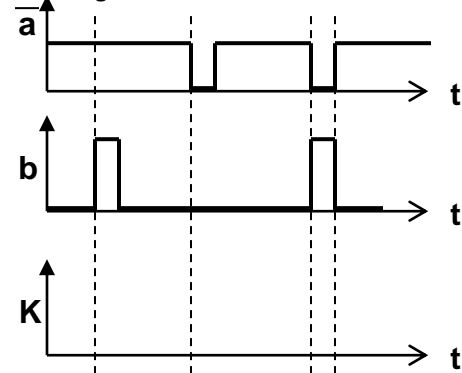


\bar{a} = bouton d'arrêt

b = bouton de marche

k = contact d'auto maintien du relais K

chronogramme



Tirer l'équation de K ; Compléter le chronogramme de K ; faire le logigramme de K en portes NAND puis NOR.
Que se passera-t-il si les boutons poussoirs "a" et "b" sont appuyés en même temps ?

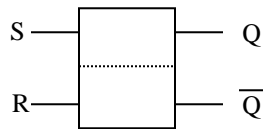
II. Les bascules

1. La bascule RS

a) Principe

La bascule RS est le circuit séquentiel le plus simple. Son rôle consiste à noter la présence d'une information fugitive, et à conserver cet état lorsque l'information en question disparaît.

Elle dispose de 2 entrées R et S et de 2 sorties complémentaires Q et \bar{Q} , d'où son symbole :



S (set) : entrée de mémorisation de l'information reçue ; mise à 1 de la bascule.
R (Reset) : entrée d'effacement de la mémoire ; mise à 0.
Q : sortie qui donne l'information mémorisée.

b) Fonctionnement

On distingue 3 modes de fonctionnement :

- **Fonctionnement en mode « mémoire »** : $S = R = 0$, la sortie reste dans l'état où elle était (0 ou 1)

- **l'écriture d'un « 1 »** ou la mise à 1 de la sortie Q : $S = 1, R = 0$

- **l'écriture d'un « 0 »** ou la mise à 0 de la sortie Q : $S = 0, R = 1$

- **la combinaison $R = S = 1$** n'est pas utilisable puisqu'elle conduit à avoir simultanément la mise à 1 et à 0 de la sortie.

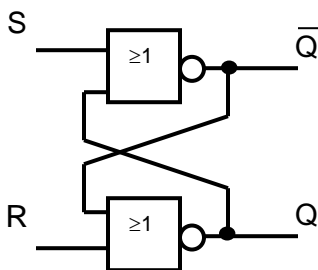
R	S	Q_t	Q_{t+1}	
0	0	0	0	Fonction mémoire $Q_{t+1} = Q_t$
0	0	1	1	
0	1	0	1	Set, mise à 1 $Q_{t+1} = 1, \forall Q_t$
0	1	1	1	
1	0	0	0	Reset, mise à 0 $Q_{t+1} = 0, \forall Q_t$
1	0	1	0	
1	1	0	x	Etat logiquement interdit
1	1	1	x	

c) Constitution

Une bascule RS est une mémoire à relais réalisée avec des opérateurs logiques.

Tirer l'équation de la sortie Q_{t+1} et la transformer en portes NOR puis NAND

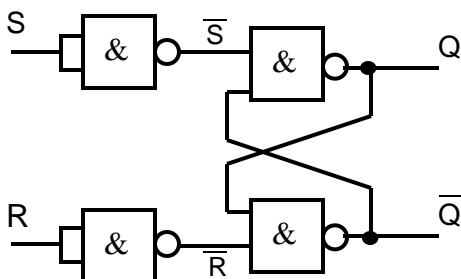
Bascule RS en portes NOR



Entrées		Sorties		Etats
R	S	Q_{t+1}	\bar{Q}_{t+1}	
0	0			mémoire
0	1			Mise à 1
1	0			Mise à 0
1	1			interdit

Faire les chronogrammes de R, S, Q

Bascule RS en portes NAND (ou bascule $\bar{R} \bar{S}$)

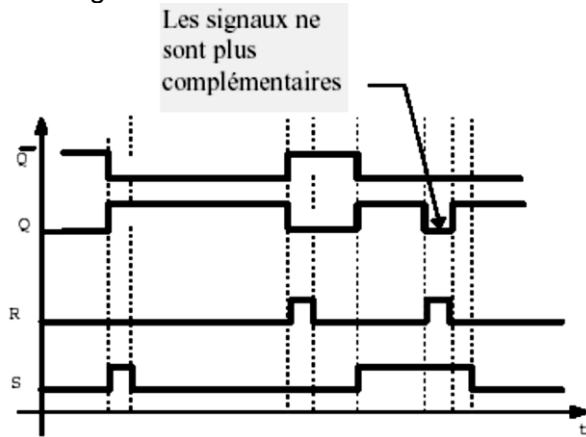


Entrées		Sorties		Etats
R	S	Q_{t+1}	\bar{Q}_{t+1}	
0	0			interdit
0	1			Mise à 0
1	0			Mise à 1
1	1			mémoire

Faire les chronogrammes de \bar{R}, \bar{S}, Q

NB : la bascule RS est asynchrone, pas de signal d'horloge et elle est sensible aux parasites.

Chronogramme



2. Bascule RSH

La bascule RSH est une bascule RS synchronisée par un signal d'horloge H. La bascule RSH est également appelée bascule RST ;

Symbole

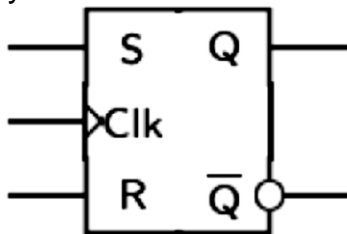
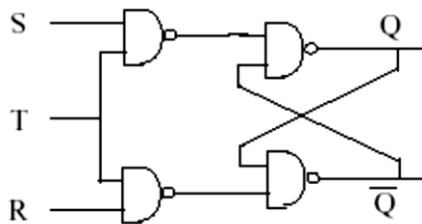
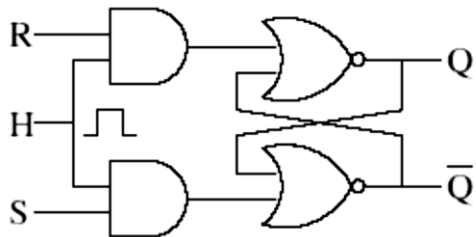


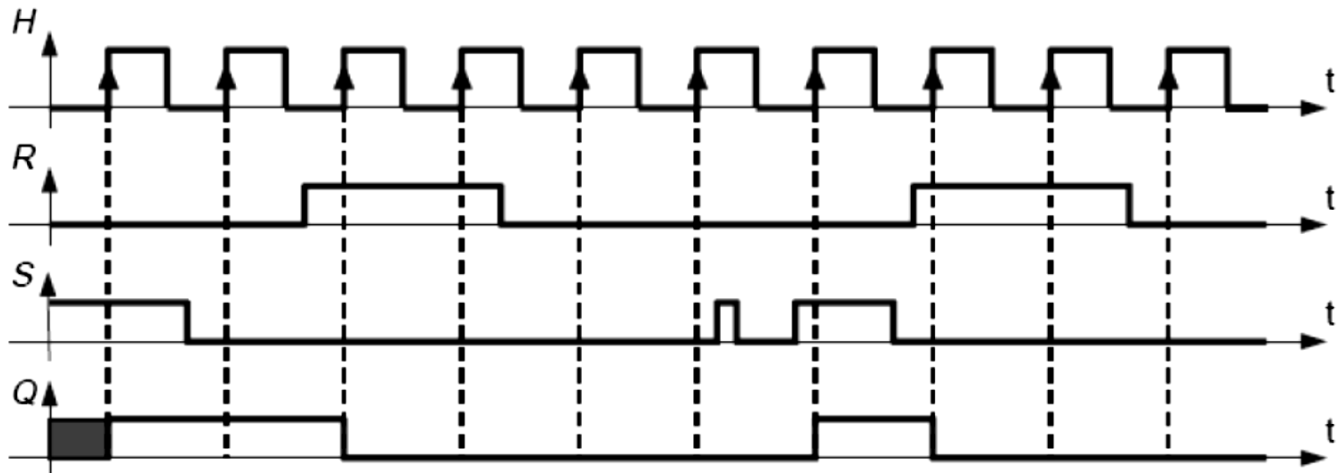
Table de vérité

S	R	H	Q_{n+1}
X	X	↓	Q_n
0	0	↑	Q_n
0	1	↑	0
1	0	↑	1
1	1	X	X

Réalisation



Chronogramme



Cette bascule admet encore $S = R = 1$, aussi pour éliminer définitivement cet état interdit on utilisera la bascule D.

3. La bascule D "LATCH" (verrouillage)

a) Définition

Elle est aussi appelée bascule D statique. C'est une bascule RST donc les entrées sont complémentaires pour éviter l'état interdit.

Cette bascule dispose d'une seule entrée appelée D (data = donnée) = $S = \bar{R}$. Le signal de synchronisation est actif sur un niveau.

-Le signal de synchronisation est actif : la sortie recopie l'entrée.

-Le signal de synchronisation est inactif : la sortie ne change pas. C'est le fonctionnement en mémoire.

Lors du passage en position mémoire la dernière valeur recopiée est mémorisée.

b) Schéma logique

Une bascule D est réalisée à partir d'une bascule RST ou les entrées R et S sont liées pour donner la relation $D = S = \bar{R}$.

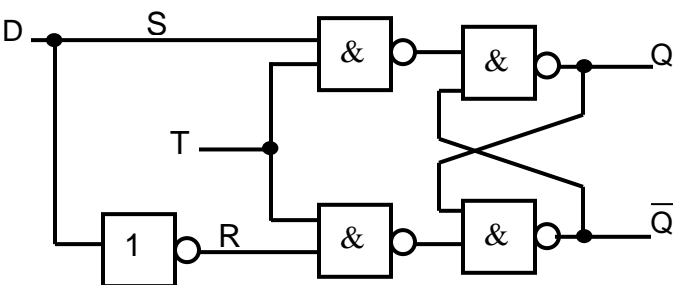


Table de vérité

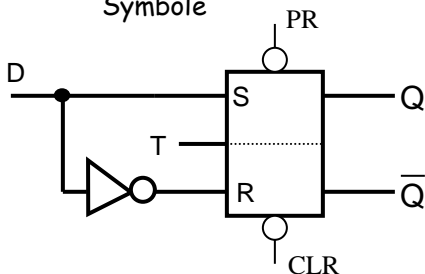
T	D	Q_{t+1}	
0	0		Etat Mémoire
0	1		
1	0		Recopie D $Q_{t+1} = D$
1	1		

Lorsque $T = 1$ si D change d'état alors Q_{t+1} change d'état ($Q_{t+1} = D$). La bascule est transparente.

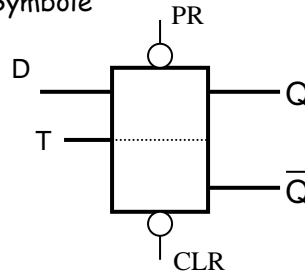
Lorsque $T = 0$ la donnée D est mémorisée.

La bascule D permet de mettre en mémoire une information binaire.

Symbole



Symbole



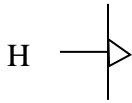
4. La bascule D à commande sur front (type Edge Triggered ou Delay Flip-Flop)

a) Définition

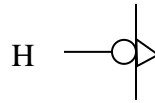
Elle est aussi appelée bascule D dynamique. Elle est une extension de la bascule Latch.

L'entrée de commande ou d'horloge agit uniquement sur un front montant ou descendant (edge triggered).

Horloge active au front montant



Horloge active au front descendant



Symbole

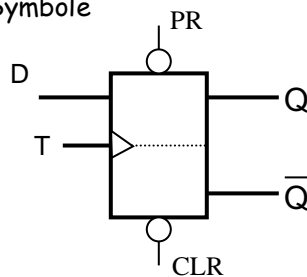


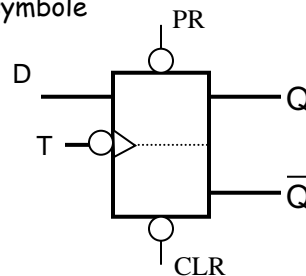
Table de vérité

T	D	Q_t	Q_{t+1}	
0	x	x	Q_t	Etat Mémoire
	0	0		Recopie D $Q_{t+1} = D$
	0	1		
	1	0		
	1	1		

La sortie Q prend l'état logique de l'entrée D au front montant de l'horloge.

Il existe aussi des bascules D réagissant aux fronts descendants de l'horloge. Leur symbole est :

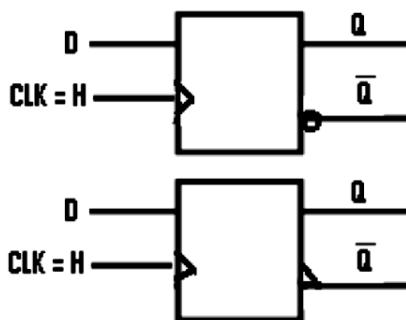
symbole



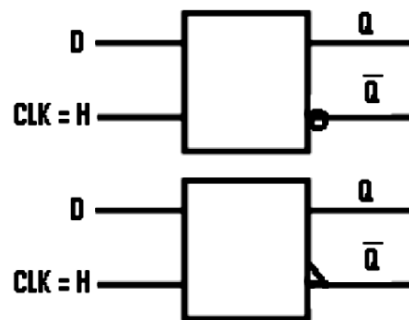
Exemple de circuit réalisant la fonction bascule D : SN74LS74 ; CD40174 ; CD40175

a. Symbolisations

Bascule D synchrone (D-Flip-Flop)



Bascule D transparente (D-Latch)



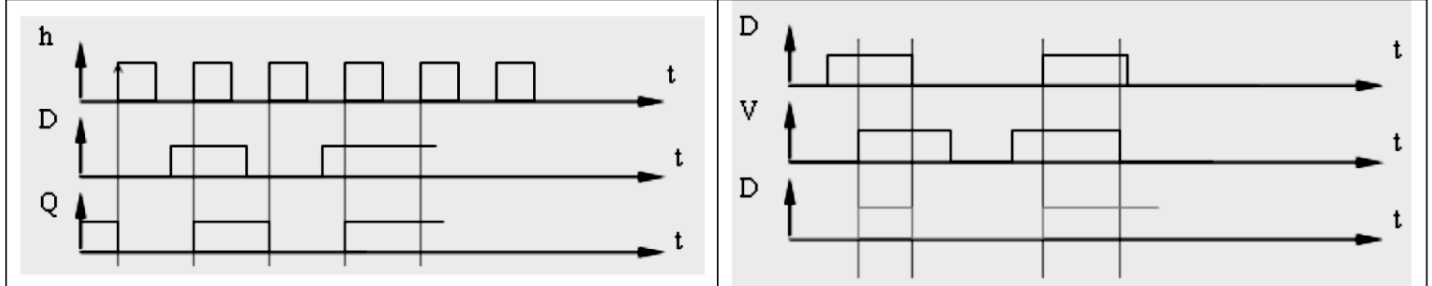
b. Table de vérité

CLK	D	Q_{n-1}	Q_n
0	X	X	Q_{n-1}
1	X	X	Q_{n-1}
	X	X	Q_{n-1}
	0	0	0
	0	1	0
	1	0	1
	1	1	1

CLK	D	Q_n
1	0	0
1	1	1
	X	Q_{n-1}
	X	Q_{n-1}

Equation : $Q_n = D$

Chronogrammes :



Remarque : l'indétermination $R=1$ $S=1$ est ainsi levée

Exemple de CI :

74XX74 : Bascules D à front montant

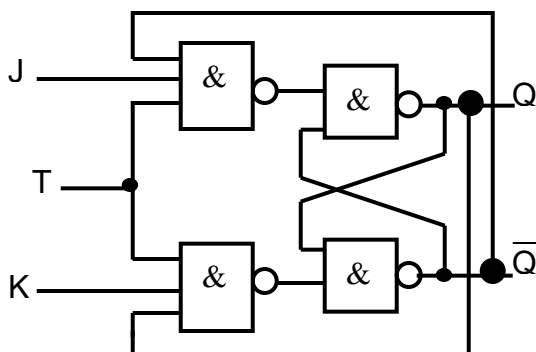
74XX75 : Bascules D Latch (à verrouillage)

5. La bascule JK

La bascule JK une bascule à usage universelle.

Pour pallier à l'inconvénient $S = \overline{R} = 1$, on réalise une bascule JK à partir d'une bascule RST en établissant une rétroaction des sorties Q et \overline{Q} sur les entrées ($S = J \overline{Q}$ et $R = KQ$).

a) Bascule JK simple



Electroniq numériq syst prog. S3

Table de fonctionnement

T	J	K	Q_{t+1}	\overline{Q}_{t+1}
0	x	x	Q_t	\overline{Q}_t
1	x	x	Q_t	\overline{Q}_t
↓	x	x	Q_t	\overline{Q}_t
↑	0	0	Q_t	\overline{Q}_t
↑	0	1	0	1
↑	1	0	1	0
↑	1	1	\overline{Q}_t	Q_t

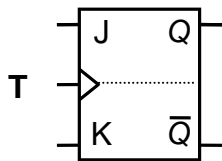
Etat mémoire

Mise à 0

Mise à 1

Basculement

Symbole



J : entrée de mise à 1
K : entrée de mise à 0

Si les deux entrées sont au niveau haut (J = K = 1) les sorties changent d'état (basculement) à chaque front montant d'horloge, il n'y a plus d'état d'indétermination

b) Bascule JK Maître-Esclave

Il est possible d'avoir pour les bascules JK un état indéterminé si la durée de l'impulsion d'horloge est plus longue que le temps de propagation. Dans ce cas lorsque l'on applique une impulsion d'horloge, la sortie basculera, après un temps de propagation "tp". Mais vu que les signaux d'entrées sont encore actifs, les sorties tendent à hésiter entre les états 0 et 1, ce qui fait que l'état de la bascule est indéterminé à la fin de l'impulsion.

Pour éviter cet inconvénient, on a recours à la bascule JK Maître-Esclave. Elle est obtenue à partir de la bascule RST maître-esclave avec rétroaction des sorties sur les entrées.

Symbole

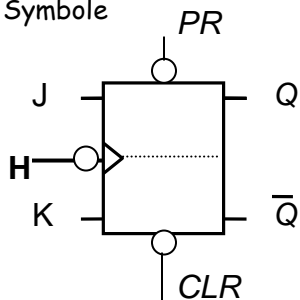


Table de fonctionnement

J	K	Q_t	Q_{t+1}	\bar{Q}_{t+1}
0	0	0		
0	0	1		
0	1	0		
0	1	1		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

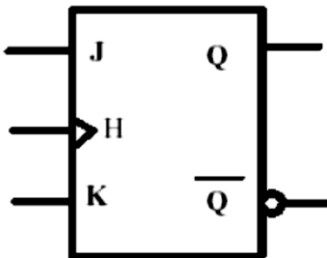
Exemple de circuit intégré bascule JK :
74C73, 74C76

Fonctionnement :

- J est l'entrée de mise à 1.
- K est l'entrée de mise à 0.
- Les entrées sont prises en compte sur les fronts montants de H.
- Les sorties changent d'état sur les fronts descendants de H.
- Si J = K = 1 les sorties changent d'état à chaque front descendant de H (diviseur par 2).

Table de vérité

Symbole



Entrées				Sorties		
CLK	J	K	Q_n	Q_{n+1}	\bar{Q}_{n+1}	
F. actif	0	0	0	0	1	Mémorisation
	0	0	1	1	0	
	0	1	0	0	1	Mise à zéro
	0	1	1	0	1	
	1	0	0	1	0	Mise à un
	1	0	1	1	0	
	1	1	0	1	0	Basculement (complémentation)
	1	1	1	0	1	

$$\text{Equation : } Q_{n+1} = J\bar{Q} + \bar{K}Q$$

Exemple de CI :

74XX109 : Bascules JK à front montant

c) Les entrées de forçage (entrées asynchrones)

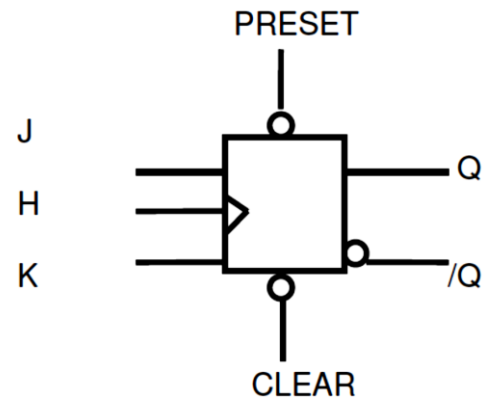
Les bascules disposent d'entrées de forçage :

Preset (mise à 1) souvent notée P

Reset (mise à 0) souvent notée C (clear)

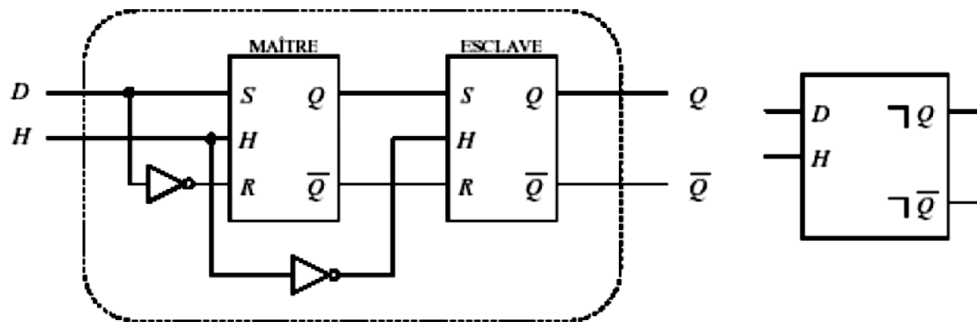
Ces entrées permettent de mettre la sortie à 1 niveau choisi (1 ou 0) indépendamment de l'état des entrées.

Preset	Clear	H	Q
0	0	X	Indétermination
0	1	X	Mise à 0
1	0	X	Mise à 1
1	1	↑	Normal



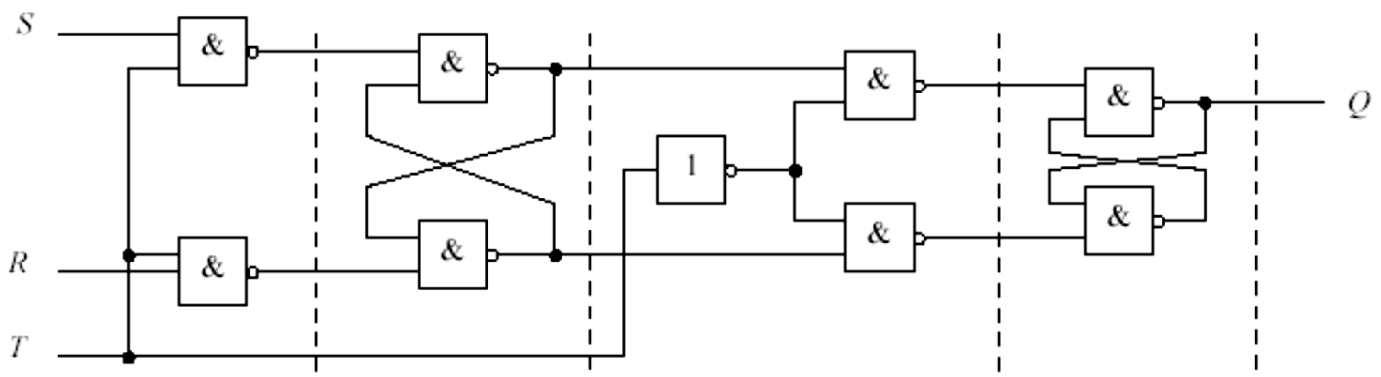
6 La bascule D Maître-Esclave

BASCULE « D » DE TYPE MAÎTRE-ESCLAVE



Bascule RST Maître-Esclave

Le schéma d'une bascule RST maître-esclave est donné par la figure ci-dessous :



III. Les compteurs

1. Définitions et caractéristiques

- Compteur : un compteur est un circuit séquentiel comportant n bascules décrivant au rythme d'une horloge un cycle de comptage régulier ou quelconque d'un maximum de 2^n combinaisons.
- État, Modulo : la combinaison de sortie d'un compteur est appelé état, et le nombre d'états possibles d'un compteur est appelé modulo.

Les compteurs binaires peuvent être classés en deux catégories :

- les compteurs asynchrones : les bascules constituant le compteur n'ont pas le même signal d'horloge.
- les compteurs synchrones : les bascules constituant le compteur sont commandées par le même signal d'horloge.

Caractéristiques générales des compteurs :

- Commande d'horloge (synchrone ou asynchrone)
- Sens de comptage (compteurs ou décompteurs)
- Capacité de comptage (modulo)
- Code de comptage (les compteurs en binaire naturel, les compteurs BCD, les compteurs « décimaux » (ou à décade), les compteurs en Code Gray)
- Vitesse de comptage
- Le mode de comptage
- Possibilité de présélection

2. Les compteurs asynchrones

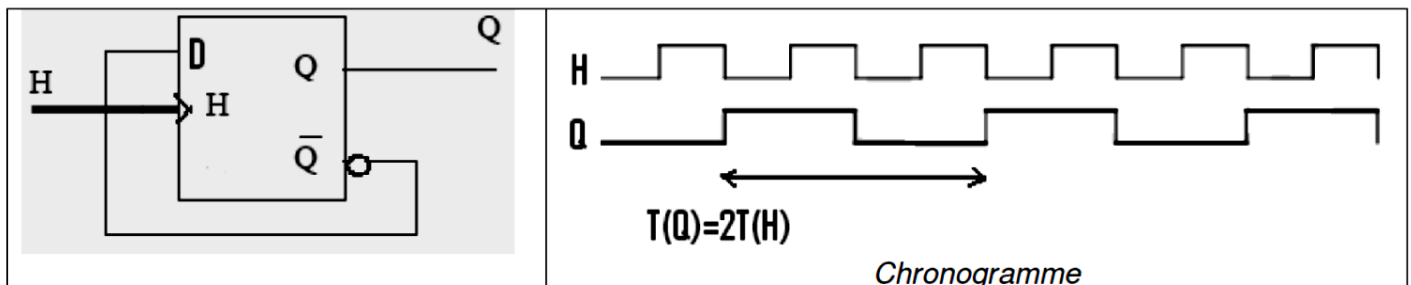
a) Principe

Ils utilisent le principe des diviseurs de fréquence par 2, montés en cascade.

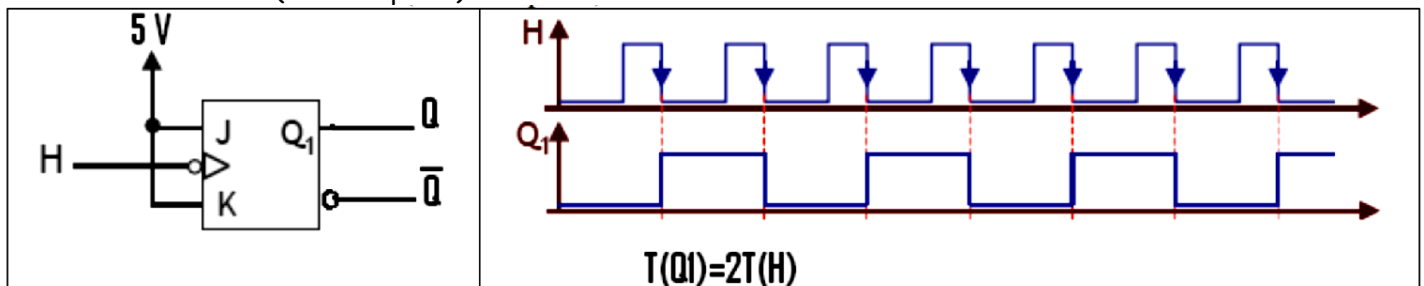
La sortie d'un tel dispositif oscille entre 0 et 1 à chaque front actif de l'horloge. (Toggle)

Réalisation d'un diviseur de fréquence : à l'aide de bascules D ou de JK

- Avec une bascule D (diviseur par 2) : D relié à \bar{Q}



- Avec une bascule JK (diviseur par 2) : avec $J=K=1$



b. Compteurs /décompteurs à cycle complet

synthèse de compteurs modulo 2^n

Principe :

Placer n bascules câblées en diviseur de fréquence en cascade en reliant :

- Q_i à l'horloge de la $i + 1^{\text{ème}}$ bascule pour des bascules à front descendant.
- \overline{Q}_i à l'horloge de la $i + 1^{\text{ème}}$ bascule pour des bascules à front montant

Les sorties Q_0, Q_1, \dots, Q_{n-1} permettent de compter en binaire. Q_0 (LSB) Q_{n-1} (MSB)

synthèse de décompteurs modulo 2^n

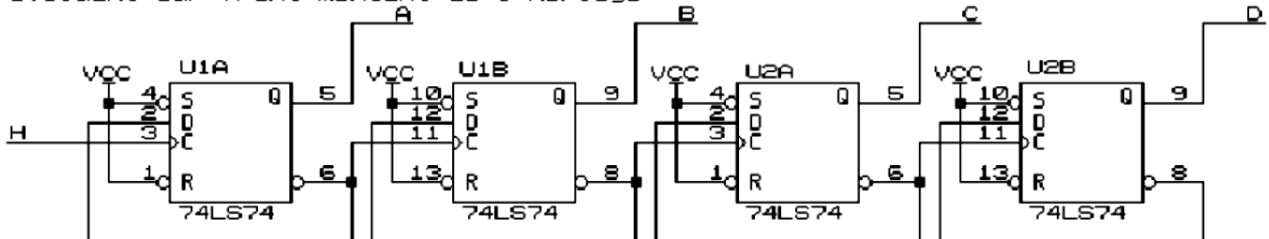
Soit on réalise un compteur asynchrone modulo 2^n et on prend comme sortie $\overline{Q}_0, \overline{Q}_1, \dots, \overline{Q}_{n-1}$. Soit, on inverse la règle de cascade pour obtenir le décomptage sur les sorties Q_0, Q_1, \dots, Q_{n-1}

- la sortie Q_i est reliée à l'horloge de la $i + 1^{\text{ème}}$ bascule pour des bascules à front montant
- la sortie \overline{Q}_i est reliée à l'horloge de la $i + 1^{\text{ème}}$ bascule pour des bascules à front descendant

Exemples

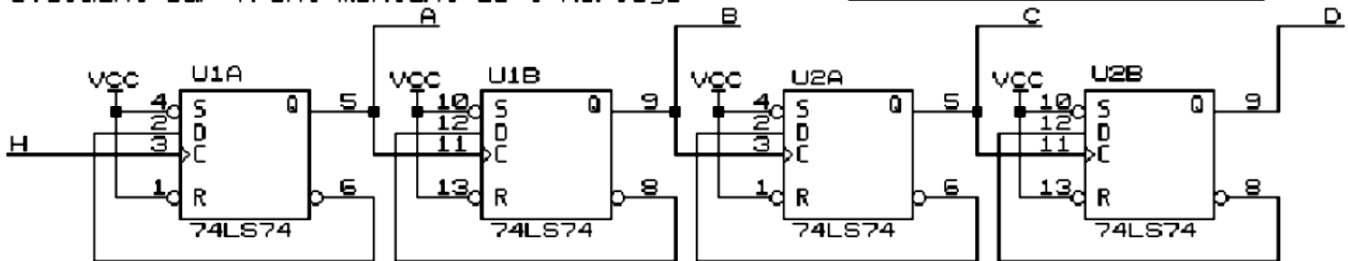
○ A l'aide de bascules D.

Compteur binaire asynchrone, a 4 bits
évaluant sur front montant de l'horloge



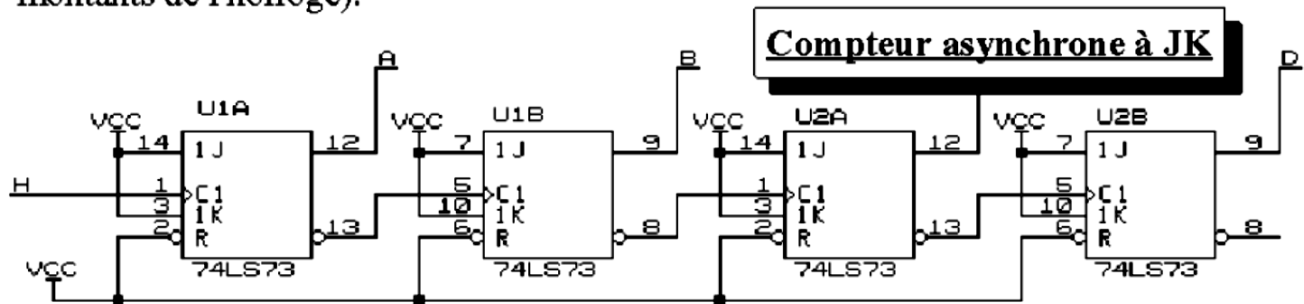
Compteur asynchrone

Decompteur binaire asynchrone, a 4 bits
évaluant sur front montant de l'horloge



décompteur asynchrone

- **A l'aide de bascules JK.** (Ex: compteur asynchrone à 4 bits, déclenché sur les fronts montants de l'horloge).



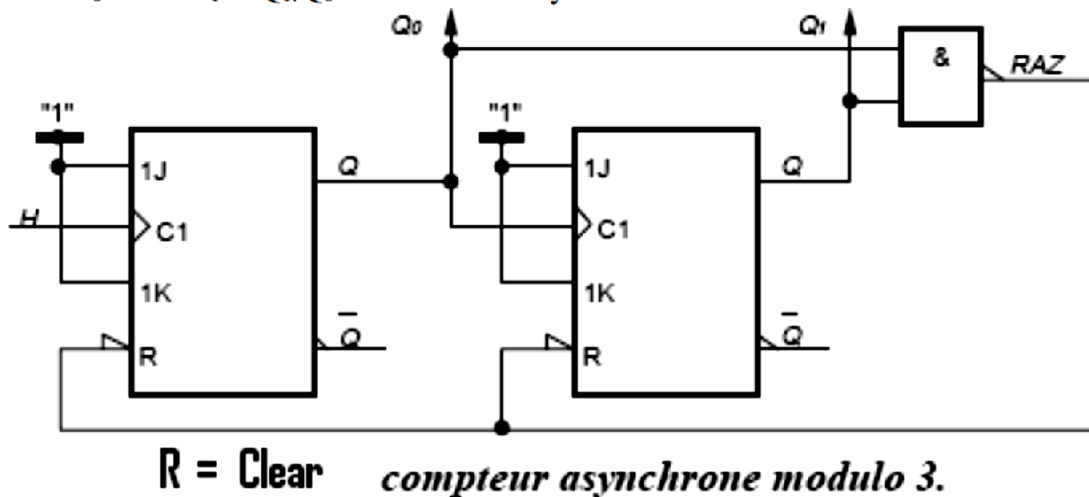
c. Compteurs /décompteurs à cycle incomplet $< 2^n$

Principe

On réalise un compteur modulo 2^n et l'on se sert des entrées de forçages (entrées asynchrones : Clear et Preset) pour interrompre le cycle.

Exemple d'utilisation du Clear : compteur 0, 1, 2, 0, ...

Le comptage doit être interrompu ; on détecte l'état « 3 » ce qui activera la mise à 0 des bascules d'où $\text{Clear}_0 = \text{Clear}_1 = Q_1 \cdot Q_0$ si les entrées asynchrones sont actives au niveau bas.



Exemple d'utilisation du Preset : compteur 1, 2, 3, 1, ...

Il faut démarrer le cycle à 1 ; on détecte l'état 0 ce qui activera la mise à 1 de la première bascule pour passer à l'état 1 d'où $P_0 = \overline{Q_0} \cdot \overline{Q_1} = \overline{Q_1} + \overline{Q_0}$ si les entrées asynchrones sont actives au niveau bas.

d. Inconvénients des compteurs asynchrones

Les inconvénients proviennent de l'asynchronisme. L'horloge n'est appliquée qu'à la 1ère bascule.

Ainsi, il ne peut y avoir de transitions simultanées sur l'ensemble des sorties. **Des états indésirables apparaissent** pendant le temps de propagation total de l'information de l'horloge à la dernière sortie. Ce temps de propagation maximal correspond à $n \cdot t_p$ (n étant le nombre de bascules, et t_p étant le temps de propagation [t_{pLH} ou t_{pHL}] d'une bascule. **On ne peut donc pas les utiliser à des fréquences élevées.**

3. Les compteurs/décompteurs synchrones

Le changement d'état des sorties se fait simultanément et non en cascade, et ce parce que les impulsions d'avancements sont envoyées en même temps sur les entrées d'horloge de toutes les bascules.

a) La cellule de base et table de transition

Le comptage implique un changement d'état des sorties des bascules (Q_i passe de 0 à 1 et vice-versa).

La table de transition nous fournit l'état des entrées permettant le basculement de 0 à 1 ou de 1 à 0 des sorties des bascules (JK et D).

Table de transition

Bascule D			Bascule JK				Bascule T		
Q_n	Q_{n+1}	D	Q_n	Q_{n+1}	J	K	Q_n	Q_{n+1}	T
0	0	0	0	0	0	X	0	0	0
0	1	1	0	1	1	X	0	1	1
1	0	0	1	0	X	1	1	0	1
1	1	1	1	1	X	0	1	1	0

b) Démarche pour la synthèse de compteurs /décompteurs synchrones

La réalisation d'un compteur / décompteur binaire passe par les étapes suivantes :

- Détermination du nombre bascules
- Détermination des états des sorties Q_i du compteur / décompteur
- Détermination des états des entrées J_i et K_i (ou D_i ou T_i) correspondant
- Déterminer les tableaux de Karnaugh des J_i et K_i (ou D_i ou T_i)
- Simplification des équations de J_i et K_i (ou D_i ou T_i)
- Logigramme du compteur / décompteur correspondant

c) Synthèse d'un compteur synchrone modulo 8 à l'aide de bascule JK.

Nombre de bascules = 3 car ($8 = 2^3$)

Etat des sorties (en décimal) : 0 1 2 3 4 5 6 7

N		Qc	Qb	Qa		Jc	Kc		Jb	Kb		Ja	Ka
0		0	0	0		0	x		0	x		1	x
1		0	0	1		0	x		1	x		x	1
2		0	1	0		0	x		x	0		1	x
3		0	1	1		1	x		x	1		x	1
4		1	0	0		x	0		0	x		1	x
5		1	0	1		x	0		1	x		x	1
6		1	1	0		x	0		x	0		1	x
7		1	1	1		x	1		x	1		x	1

$Q_a = \text{LSB}$

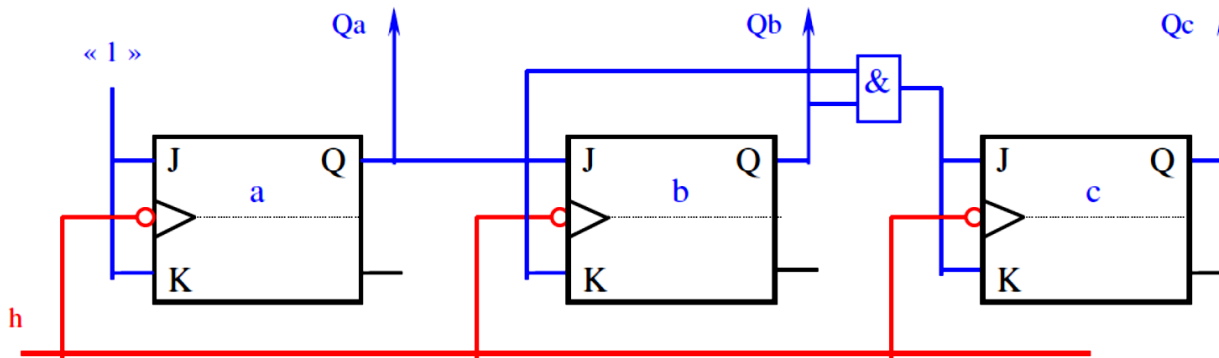
Equations: (des entrées J et K obtenues par KARNAUGH).

$$J_A = K_A = 1$$

$$J_B = K_B = Q_a$$

$$J_C = K_C = Q_a \cdot Q_b$$

Schéma:



4. Compteurs / décompteurs programmables

- Compteur pré-réglable 74160, 74161, 74162, 74163
- L'état initial du compteur est réglable à l'aide des entrées D1, D2, D3, D4 ;
- Validation : elle permet de verrouiller le compteur.
- RAZ synchrone : indépendant de l'horloge.
- RAZ asynchrone : 000 est obtenu au coup d'horloge suivant l'instant où clear est porté à l'état actif 0.
- Compteur réversible pré-réglable 74193
- Compteurs-Décompteurs décimaux programmable CD4510

Exemple de compteurs intégrés

Décades de compteurs synchrones : SN7490A, SN74L90, SN74LS90

Compteurs asynchrones modulo 16 : SN7493A, SN74L93A, SN74LS93A

Compteurs asynchrones à cycle incomplet (0 à 11) diviseur par 12 : SN7492A, SN74LS92A

IV. Les registres à décalage

1. Définition

Registre : ensemble de n bascules synchronisées permettant de stocker momentanément une information sur n bits. Dans un registre à décalage les bascules sont interconnectées de façon à ce que l'état logique de la bascule de rang i puisse être transmis à la bascule de rang $i+1$ (ou $i-1$) quand un signal d'horloge est appliqué à l'ensemble des bascules. L'information peut être chargée de deux manières dans ce type de registre.

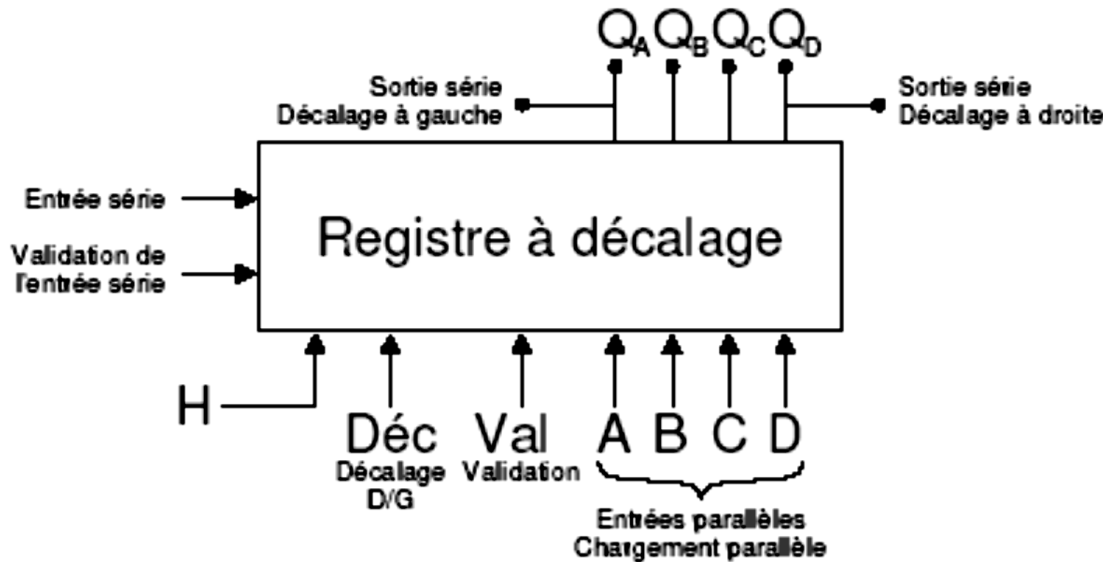
- Entrée parallèle : En général une porte d'inhibition est nécessaire pour éviter tout risque de décalage pendant le chargement parallèle.

- Entrée série : l'information est présentée séquentiellement bit après bit à l'entrée de la première bascule.

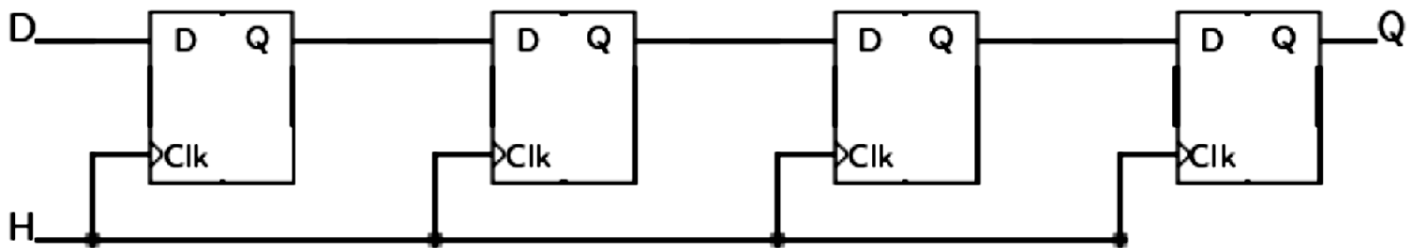
A chaque signal d'horloge un nouveau bit est introduit pendant que ceux déjà mémorisés sont décalés d'un niveau dans le registre.

2. Applications

- conversion série-parallèle d'une information numérique ;
- opérations de multiplications (1 décalage à gauche) et divisions (1 décalage à droite) par deux ;
- ligne à retard numérique ;
- mémoires à accès séquentiel



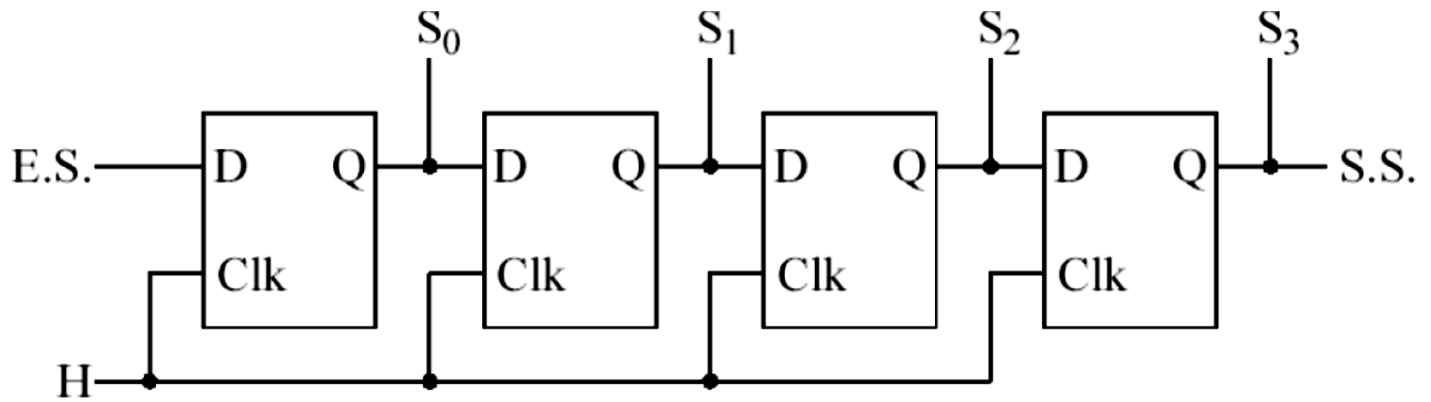
a) Registre à écriture série et lecture série



Après 4 autres cycles d'horloge, les 4 bits sont déplacés vers la sortie. Leur application est essentiellement le calcul arithmétique binaire. CLK est alors l'entrée de décalage.

Application : mise en tampon de données.

b) Registre à écriture série et lecture parallèle



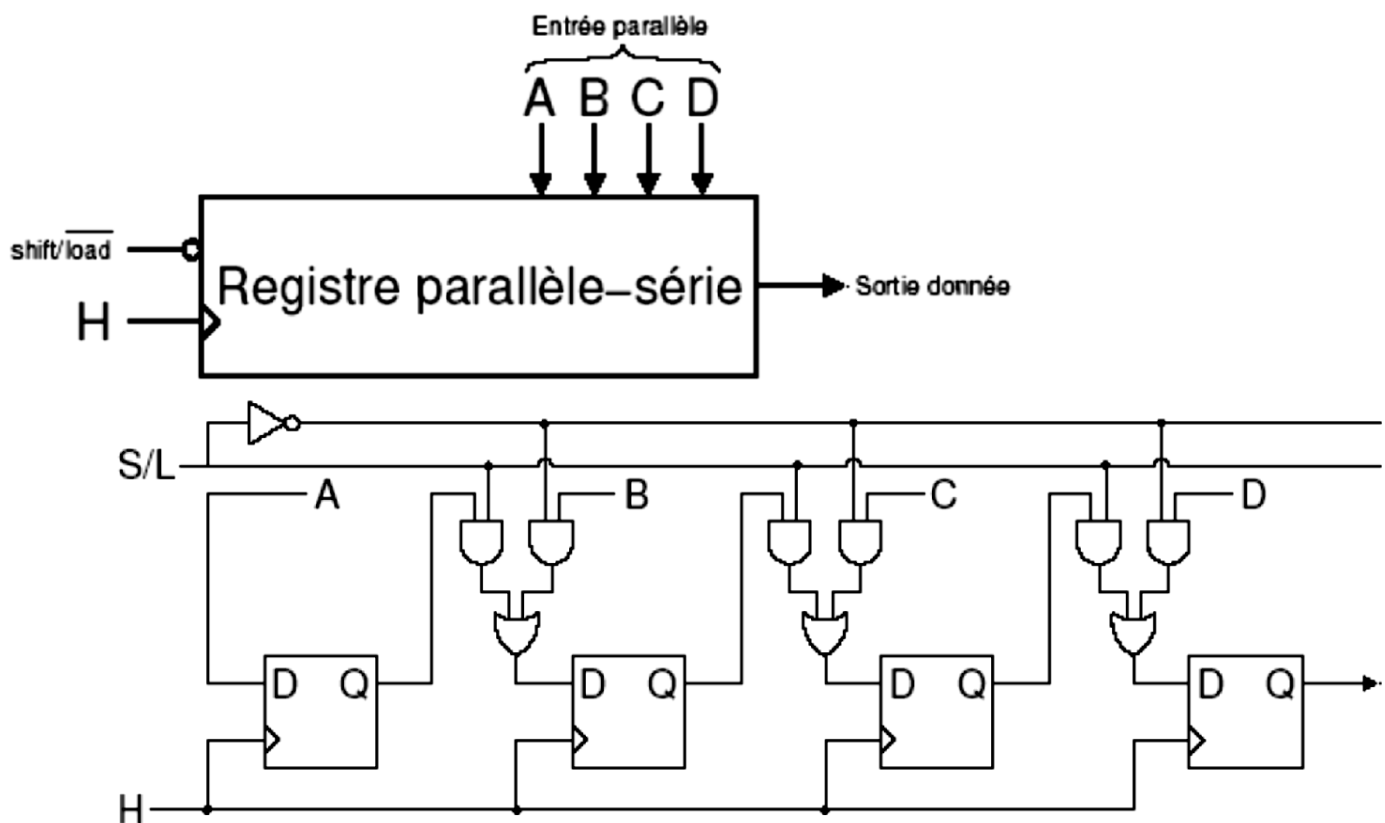
Lorsque l'entrée est stockée, chaque bit apparaît simultanément sur les lignes de sortie.

Le registre à décalage est utilisé comme convertisseur série-parallèle.

Il est nécessaire à la réception lors d'une transmission série.

c) *Registre à écriture parallèle et lecture série*

Utilisé comme convertisseur parallèle-série, il est nécessaire à l'émission lors d'une transmission série.



Chargement quand $L=0$; décalage quand $S=1$;

d) *Registre à écriture et lecture parallèles*

Tous les bits du mot à traiter sont écrits (entrée écriture $E=1$), ou lus, (entrée lecture $L=1$), simultanément.

- stockage en parallèle et transfert en parallèle d'un mot de 4 bits.

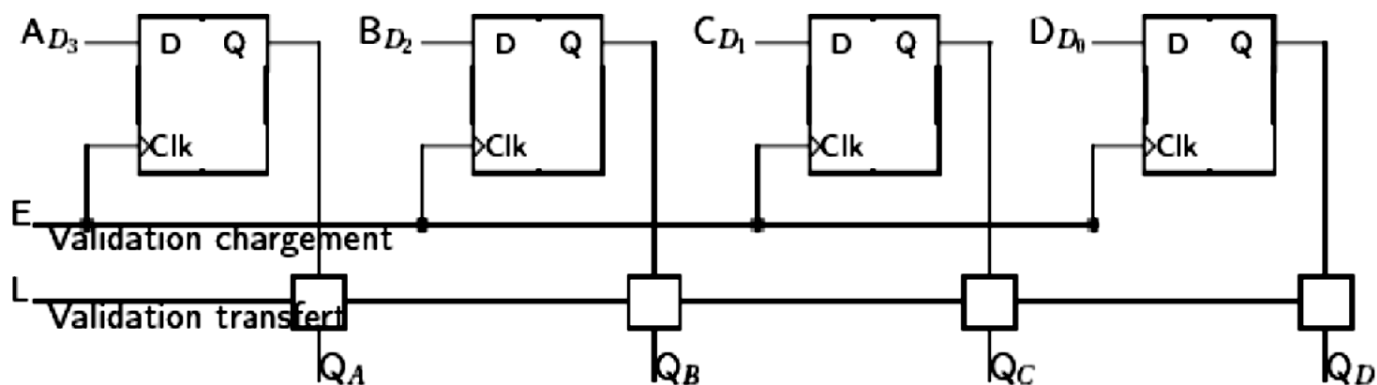


Schéma 1

3. Etude des registres à décalage : 74164 et 74165

a) ANALYSE D'UN REGISTRE SÉRIE - PARALLÈLE INTÉGRÉ : LE 74164

Le circuit intégré **74164** est un registre à décalage à deux entrées séries et huit sorties parallèles ayant une entrée d'horloge (**CK**) et une entrée asynchrone de remise à zéro générale prioritaire (**CLR**).

Le brochage et la table de vérité de ce circuit est donné par la figure ci-dessous :

Pinout diagram of the 74164 shift register. The chip has 14 pins. Top pins (left to right): Vcc (14), Q8 (13), Q7 (12), Q6 (11), Q5 (10), CLR (9), CK (8). Bottom pins (left to right): A (1), B (2), Q1 (3), Q2 (4), Q3 (5), Q4 (6), GND (7). The chip is labeled '74164'.

ENTREES				SORTIES							
CLR	CK	A	B	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8
0	X	X	X	0	0	0	0	0	0	0	0
1	0	X	X	PAS DE CHANGEMENT							
1	↑	1	1	1	Q1n	Q2n	Q3n	Q4n	Q5n	Q6n	Q7n
1	↑	0	X	0	Q1n	Q2n	Q3n	Q4n	Q5n	Q6n	Q7n
1	↑	X	0	0	Q1n	Q2n	Q3n	Q4n	Q5n	Q6n	Q7n

NOTE :

Les appellations **Q1n**, **Q2n**, **Q3n**, etc... qui apparaissent dans la table de vérité du circuit intégré **74164** vous sont probablement inconnues. Ces appellations signifient simplement que la sortie considérée possède l'état que possédait la bascule précédente avant le coup d'horloge. Par exemple, dans la 3^{ème} ligne de la table (lorsque **A** et **B** sont à 1), nous lisons dans la colonne **Q2** l'état **Q1n**, cela signifie donc que **Q2** est à l'état où était **Q1** avant le coup d'horloge qui a fait passer **Q1** à 1.

b) ANALYSE D'UN REGISTRE PARALLÈLE - SÉRIE ASYNCHRONE INTÉGRÉ : LE 74165

Le circuit intégré **74 165** est un registre à décalage **8 bits** à une entrée série (**ES**) et une sortie (**Q8**). Il possède huit entrées parallèles (**E1** à **E8**), une entrée de commande de décalage et chargement asynchrone (**SHIFT / LOAD**), une entrée d'horloge (**CK**) et une entrée d'inhibition (**CK INHIBIT**). Il est à noter que ces deux entrées **CK** et **CK INHIBIT** sont interchangeables.

Le brochage de ce circuit intégré est donné à la figure 12, tandis que la figure 13 donne sa table de vérité.

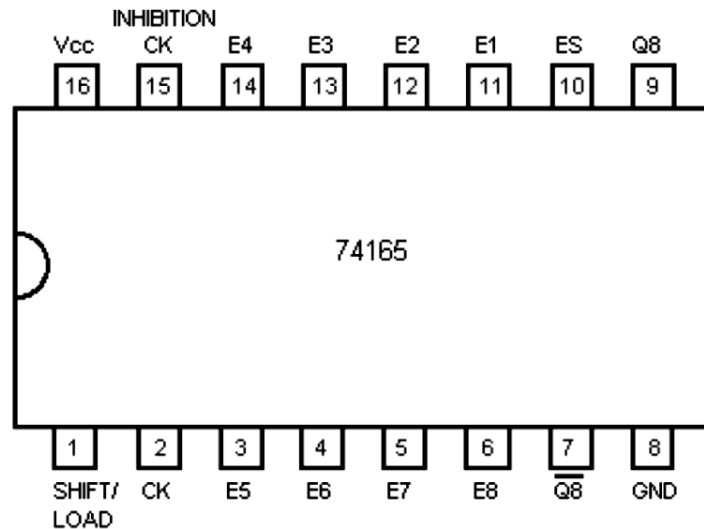


Fig. 12. - Brochage du circuit intégré 74165.

ENTREES												Sorties internes		Sorties Externes	
SHIFT/LOAD	CK INHIBIT	CK	ES	E1	E2	E3	E4	E5	E6	E7	E8	Q1	Q2	Q8	$\bar{Q}8$
0	X	X	X	E1	E2	E3	E4	E5	E6	E7	E8	E1	E2	E8	$\bar{E}8$
1	0	0	X	X	X	X	X	X	X	X	X	Pas de changement			
1	0	\uparrow	1	X	X	X	X	X	X	X	X	1	Q1n	Q7n	$\bar{Q}7n$
1	0	\uparrow	0	X	X	X	X	X	X	X	X	0	Q1n	Q7n	$\bar{Q}7n$
1	1	X	X	X	X	X	X	X	X	X	X	Pas de changement			

Fig. 13. - Table de vérité du circuit intégré 74165.

4. Le registre universel 74XX95

Le registre universel permet quatre modes de fonctionnement commandés par deux variables S1 et S2.

S1	S2	Mode
0	0	Chargement parallèle
0	1	Décalage à droite
1	0	Décalage à gauche
1	1	Inhibition de l'horloge