

# 邏輯分析儀基礎原理

入門手冊

## 目錄

引言 .....	3 - 4	邏輯分析儀量測範例 .....	16 -20
源起 .....	3	進行一般用途的時序量測 .....	16
數位示波器 .....	3	偵測和顯示間歇性的突波 .....	17
邏輯分析儀 .....	4	擷取保持違反的設定 .....	18
邏輯分析儀操作 .....	5 -13	運用過渡儲存使可用記錄長度達到最大 .....	19
連接待測系統 .....	5	邏輯分析儀應用範例 .....	20 -26
探棒 .....	5	FPGA .....	20
設定邏輯分析儀 .....	7	記憶體 .....	23
設定時脈模式 .....	7	訊號完整性 .....	23
設定觸發 .....	8	串列資料 .....	24
擷取狀態和時序資料 .....	8	總結 .....	26
同時擷取狀態與時序 .....	8	術語表 .....	27 - 30
即時擷取記憶體 .....	9		
整合式類比-數位疑難排解工具 .....	11		
分析與顯示結果 .....	12		
波形顯示 .....	12		
清單顯示 .....	12		
自動量測 .....	13		
效能項目和考量 .....	14 -15		
時序擷取率 .....	14		
狀態擷取率 .....	14		
MagniVu 擷取率 .....	14		
記錄長度 .....	14		
通道數和模組化 .....	15		
觸發 .....	15		
探測 .....	15		

## 引言

像許多電子測試與量測工具一樣，邏輯分析儀為特定類型問題提供了一套解決方案；這是一套多用途的工具，可協助您進行數位硬體除錯、設計驗證和嵌入式軟體除錯，是設計數位電路的工程師不可或缺的工具。

**邏輯分析儀可用於數位量測，包括各種訊號或困難的觸發需求。**

首先我們會介紹數位示波器，以及導致邏輯分析儀演進的結果。然後，再說明基礎邏輯分析儀所涵蓋的範圍。具備這些基本知識後，您將學到邏輯分析儀中有哪些功能是重要的，以及當您選擇可正確用於特定應用的工具時，這些功能之所以扮演重要角色的原因。

## 源起

邏輯分析儀的演進大約與最早商用微處理器的上市時間差不多。這些依據新裝置設計系統的工程師很快地發現，為微處理器設計除錯所需要的輸入比示波器能提供的還要多。

而**邏輯分析儀的多重輸入**，解決了這個問題。這些儀器的擷取率和通道數都穩定增加，以跟上數位科技中的快速進展，邏輯分析儀無疑是數位系統開發的關鍵工具。

示波器與邏輯分析儀之間存在著許多異同處，如果想更瞭解這兩種儀器如何處理其各自應用，最好比較一下這些儀器的個別功能。

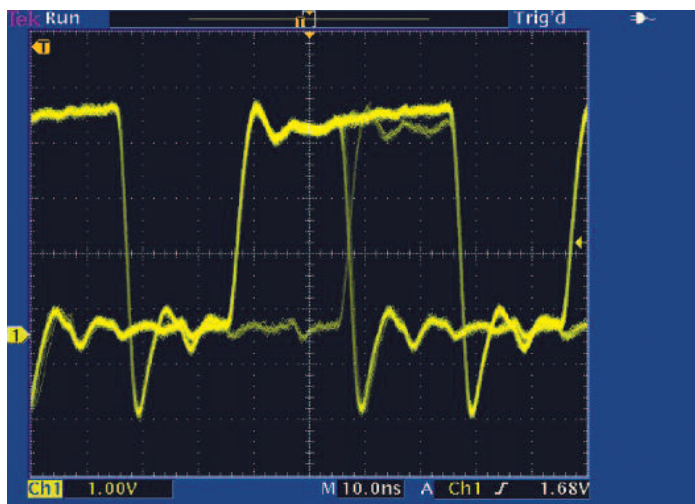


圖1 示波器顯示訊號振幅、上升時間及其他類比特性的詳細資訊。

## 數位示波器

數位示波器是進行一般用途之訊號檢視時的基礎工具，此儀器的高取樣率和頻寬讓它能夠擷取整個時域上的資料點，以提供訊號轉態（邊緣）、暫態事件，以及短時間增量的量測。

當示波器確定能夠檢視與邏輯分析儀相同的數位訊號時，大部分示波器使用者又開始考慮類比量測，例如上升及下降時間、尖峰振幅，以及邊緣之間的時間距離。

圖1中的波形說明了示波器的優點。由此波形（雖然取自於數位電路）可以看出訊號的類比特性，這些可能會影響訊號執行其功能的能力。在這裡，**示波器可以擷取訊號細節**，找出振盪、過激、上升邊緣的變化，以及其他定期出現的偏差現象。

## 我該何時使用示波器？

如果您需要同時量測少數訊號的「類比」特性，數位示波器是最有效的解決方案。當您需要瞭解特定訊號的振幅、功率、電流、相位值，或邊緣量測 (如上升時間) 時，示波器是最適當的儀器。

下列情況下，您需要使用數位示波器：

- 在類比與數位裝置驗證期間，分析訊號完整性 (例如上升時間、過激與振盪)
- 一次在最多四組訊號的情況下，分析訊號的穩定度 (例如抖動及抖動頻譜)
- 量測訊號邊緣及電壓，以評估時序邊限，例如設定/保持、傳輸延遲
- 偵測暫態錯誤，例如突波、矮波脈衝、雙穩轉態
- 同時量測少數訊號的振幅與時序參數

透過示波器的內建工具，例如，游標與自動化量測，可以很簡單地向下追蹤可能會影響您設計的訊號完整性問題。此外，時序量測 (如傳輸延遲及設定/保持時間) 是示波器不可或缺的功能。當然，還有許多純類比訊號 (如麥克風輸出或數位轉類比轉換器的輸出) 必須透過可以記錄類比細部訊號的儀器來檢視。

示波器通常有高達四組的輸入通道。如果您必須同時量測五個數位訊號，或是擁有 32 位元資料匯流排和 64 位元位址匯流排的數位系統時，會發生什麼事呢？這表示您需要一台擁有更多輸入的工具 — 邏輯分析儀。

## 我該何時使用邏輯分析儀？

邏輯分析儀是為數位設計進行驗證及除錯的絕佳工具，它可以驗證數位電路是否正常運作，並協助您疑難排除所發生的問題。此外，邏輯分析儀還可同時擷取並顯示許多訊號，並分析其時序關係。為了找出並解決捉摸不定、暫態的問題，有些邏輯分析儀可以偵測突波及設定/違反時間保持。在軟硬體整合過程中，邏輯分析儀可以追蹤嵌入式軟體的執行情形，並分析程式執行的效率。部分邏輯分析儀可以找出您設計中的原始碼與特定硬體活動的關聯性。

下列情況下，您需要使用邏輯分析儀：

- 除錯與驗證數位系統運作情形
- 同步追蹤並找出許多數位訊號之間的關聯性
- 偵測並分析匯流排上的時序違反與暫態事件
- 追蹤嵌入式軟體的執行情形

## 邏輯分析儀

邏輯分析儀擁有不同於示波器的能力，這兩種儀器最明顯的差異在於通道 (輸入) 的數目。典型的數位示波器最多有四個訊號輸入，而邏輯分析儀則有 34 至 136 個通道，每一通道均可輸入一種數位訊號。某些複雜的系統設計需要數千個輸入通道，這時也可以使用規模適當的邏輯分析儀來進行這些工作。

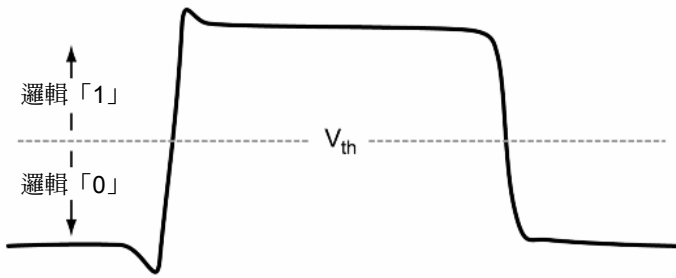


圖2 邏輯分析儀決定與臨界電壓值相對的邏輯值。

邏輯分析儀量測和分析訊號的方式與示波器不同，它不會量測類比訊號的細節，但卻會偵測邏輯臨界值層級。也就是說當您將邏輯分析儀連接至數位電路時，您只需考慮訊號的邏輯狀態，邏輯分析儀會自動尋找兩種邏輯層級（如圖2所示）。

當輸入高於臨界電壓（V）時，邏輯層級顯示為「high」或「1」；反之，低於 $V_{th}$ 的層級將顯示為「low」或「0」。當邏輯分析儀對輸入資料進行取樣時，會以電壓臨界值為基礎，找出訊號的相對層級，並以「1」或「0」儲存。

邏輯分析儀的波形時序顯示類似產品規格表中所看到的時序圖，或類似模擬器所產生的時序圖。所有訊號都是時間關聯的，如此便可檢視設定/保持時序、脈衝寬度、外來或遺漏的資料。除了高通道數之外，邏輯分析儀同時提供可支援數位設計驗證及除錯的重要功能。其中有：

- 精密觸發功能，可以讓您指定邏輯分析儀應該在何種條件下開始擷取資料
- 高密度探棒與轉接器，可以簡化待測系統（SUT）的連接
- 分析功能可以將所擷取的資料轉譯成處理器指令，並找出與原始碼之間的關聯性

## 邏輯分析儀操作

邏輯分析儀連接至、擷取及分析數位訊號。以下為使用邏輯分析儀的四個步驟，如圖 3 所示。

- 1 連接
- 2 設定
- 3 擷取
- 4 分析及顯示

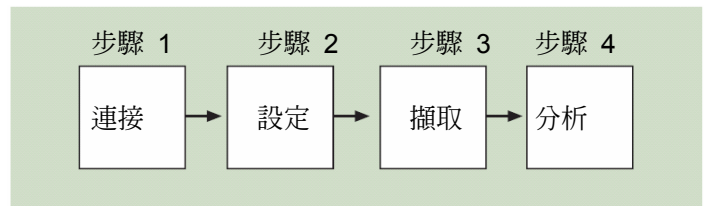


圖3 簡化的邏輯分析儀操作。

## 連接待測系統

### 探棒

可同時擷取大量訊號是邏輯分析儀與示波器的最大不同點。將擷取探棒連接至SUT，並利用探棒內部的比較器找出輸入電壓與臨界電壓（ $V_{th}$ ）的比較值，決定訊號的邏輯狀態（1或0）。臨界值是由使用者所設定的，其範圍可從TTL等級到CMOS、ECL及使用者自訂。



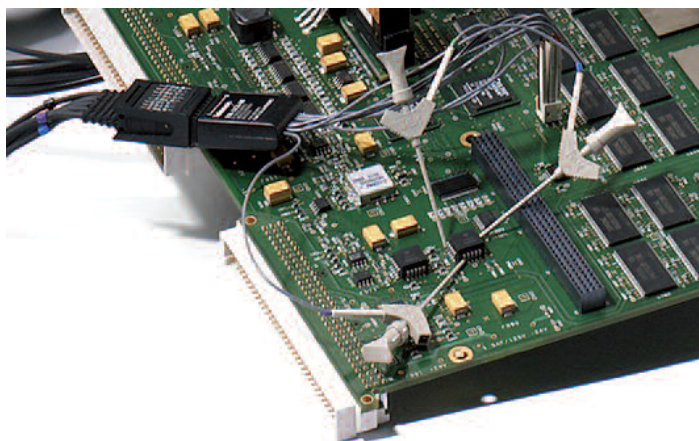


圖4 一般用途探棒。

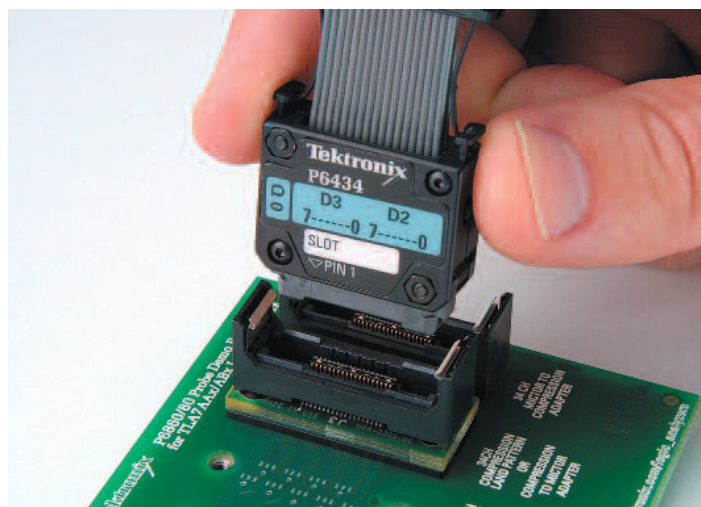


圖5 高密度、多通道邏輯分析儀探棒。

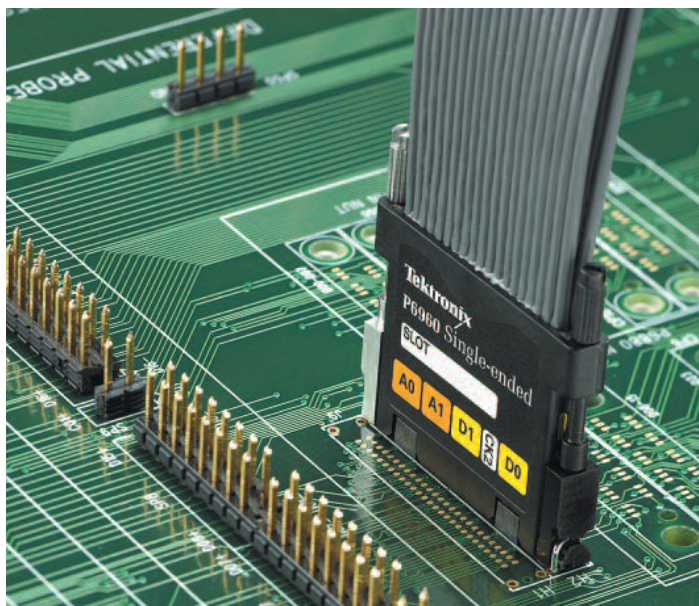


圖6 D-MaxTM 無接頭分析儀探棒。

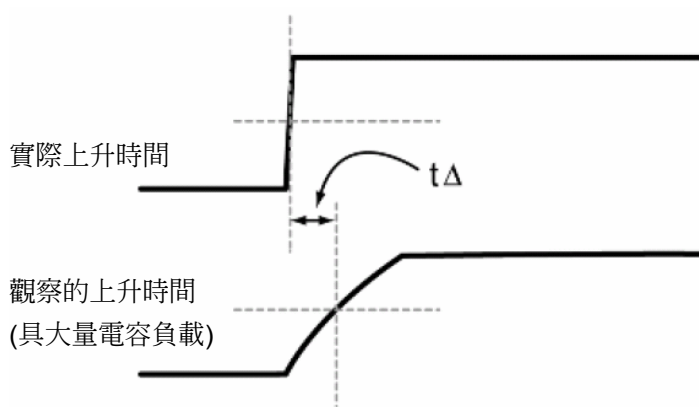


圖7 邏輯分析儀探棒的阻抗會影響訊號上升時間及量測到的時序關係。

各類型的邏輯分析儀探棒：

- 擁有「浮動導線組」的一般用途探棒，可適用於點對點疑難排解 (如圖4所示)。
- 需要在電路板上有專用接頭的高密度、多通道探棒 (如圖5所示)。此探棒必須能夠擷取高品質訊號，並對SUT的影響最小。
- 使用無接頭探棒連接方式的高密度壓縮探棒 (如圖6所示)。這類探棒建議用於需要較高訊號密度或無接頭探棒連接方式的應用，以提供快速、可靠的待測系統連接。

邏輯分析儀探棒的阻抗 (電容、電阻及電感) 會成為待測電路整體負載的一部分。所有探棒都會出現負載特性，邏輯分析儀探棒應該在SUT中引入最少的負載，以提供準確的訊號給邏輯分析儀。

探棒電容會有造成訊號轉態邊緣「下滑現象」(roll off) 的傾向，如圖7所示。這種下滑現象會使邊緣轉態產生如圖7所示時間量為「 $t\epsilon$ 」的變慢狀況。這為何重要？因為較慢的邊緣會影響後面電路的邏輯臨界值，造成SUT的時序錯誤，而這個問題在時脈速率增加的情況下會更為嚴重。

在高速系統中，過度的探棒電容可能會造成SUT無法運作！這在選擇總電容最低的探棒時是非常重要的。同樣重要的是，注意探棒夾及導線組會增加連接電路的電容負載，所以應儘可能地使用適當補償過的轉接器。

## 設定邏輯分析儀

### 設定時脈模式

#### 時脈模式選擇

邏輯分析儀是針對擷取多接腳裝置及匯流排資料所設計的。

「擷取率」係指對輸入訊號進行取樣的頻率，這與示波器中時基的功能相同。請注意，在說明邏輯分析儀操作時，常會交替使用「取樣」、「擷取」與「捕捉」等詞彙。

有兩種資料擷取或時脈模式：

**時序擷取捕捉訊號時序資訊**。在這種模式中，邏輯分析儀內部的時脈會拿來當作取樣資料，亦即資料取樣愈快，所測量的解析度就愈高。由於目標裝置與邏輯分析儀所取得的資料之間沒有固定的時序關係，因此這種擷取模式主要用於SUT訊號間的時序關係是主要的觀察重點時。

**狀態擷取可用於擷取SUT的「狀態」**。SUT的訊號定義了取樣點（擷取資訊的時間及頻率）。用來當作擷取時脈的訊號可能是系統時脈、匯流排上的控制訊號，或造成SUT改變狀態的訊號。在有效邊緣取樣資料，並於邏輯訊號穩定時，顯示出SUT的情況。邏輯分析儀會在（而且僅會在）所選訊號為有效值時開始取樣。時脈事件之間所透露的資訊並不在此討論範圍。

如何決定要使用哪種擷取類型？想要檢視您資料的方法！如果您想要捕捉長時、連續的時序細節記錄，選用時序擷取、內部（或非同步）時脈準沒錯。

另一種情況是，您可能想要擷取SUT所看到的實際資料。在這種情況下，您可以選擇狀態（同步）擷取。透過狀態擷取，每個SUT的連續狀態都會循序地顯示在「清單」視窗中。用於狀態擷取的外部時脈訊號則可能是其他相關的訊號。

## 時脈模式設定秘訣

以下為設定邏輯分析儀擷取資料須遵守的一些通則：

1. **時序（非同步）擷取**：取樣時脈率扮演決定擷取解析度的重要角色。任何量測的時序準確度會是一個取樣週期加上其他製造商所指定的錯誤。例如，當取樣時脈率為2 ns時，每2ns就會將新取樣資料存到擷取記憶體中。在取樣時脈後所改變的資料不會被擷取，直到下一個取樣時脈為止，這是因為在這2ns期間資料發生變化的準確時間是未知的，所以淨解析度為2 ns。
2. **狀態（同步）擷取**：當擷取狀態資訊時，邏輯分析儀就像所有同步裝置一樣，必須在取樣時脈輸入前後出現穩定的資料，才能確保擷取到正確的資料。

### 設定觸發

觸發功能是另一項邏輯分析儀與示波器不同的功能。示波器有觸發器，但是這些觸發器僅有相當有限的功能，只能在二位元條件下響應；而邏輯分析儀則可評估多種邏輯（布林）條件，以決定何時要進行觸發。觸發的目的是為了選擇邏輯分析儀要擷取那種資料，邏輯分析儀可以追蹤待測系統的邏輯狀態，並在SUT發生使用者定義的事件時啟動觸發器。

討論邏輯分析儀時，很重要的是必須瞭解「事件」一詞。這個詞彙有許多意義，可以是有意或無意出現在單一訊號線路中的簡單轉態。如果您正在尋找突波，則這可能是您感興趣的「事件」。**一個事件可能是特定訊號發生的時刻（例如Increment或Enable變成有效）**。或者，一個事件也可以是定義的邏輯情況，可能來自整個匯流排的訊號轉態組合。請注意，在所有情況下，事件就是指從這個週期到下個週期期間，訊號發生變化時所出現的狀態。



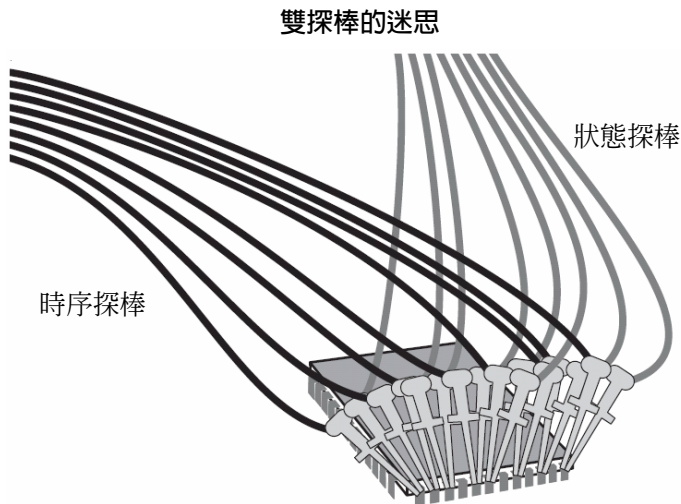


圖8 「雙探測」需要在每個測試點使用兩組探棒，因而降低了量測品質。

有許多情況都可以用來觸發邏輯分析儀。

例如，邏輯分析儀可以辨識出匯流排或計數器輸出的特定二位元。其他觸發選擇包括：

- 字元：以二進位、十六進位等定義的特定邏輯碼型。
- 範圍：事件所發生的低及高值
- 計數器：使用者編程的事件數，可由計數器來追蹤。
- 訊號：外部訊號 (例如系統重設)
- 突波：擷取期間所出現的脈衝
- 計時器：兩個事件之間的時間距離，或單一事件的發生期間，可由計時器追蹤。
- 類比：利用示波器觸發類比特性或交互觸發邏輯分析儀

當所有這些觸發器條件出現時，則可能利用廣泛的搜尋狀態失效的功能向下追蹤系統錯誤，然後利用逐漸明顯的觸發條件，進一步改善您的搜尋。

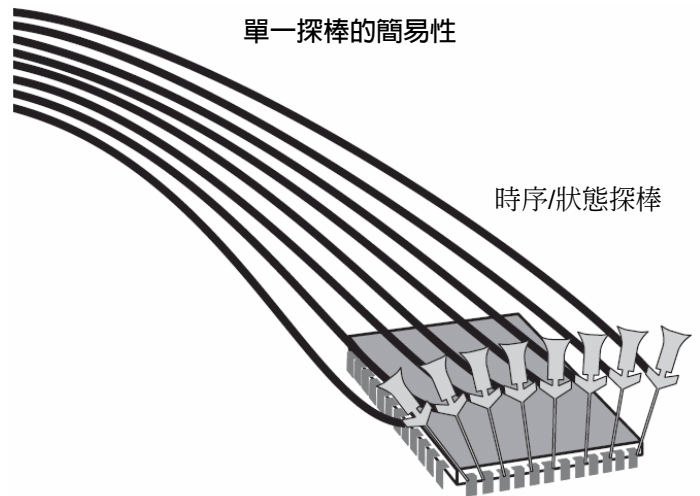


圖9 可透過同一組探棒的状态與時序擷取功能進行同步探測，以提供一個較簡單、較乾淨的量測環境。

## 擷取狀態和時序資料

### 同時擷取狀態與時序

在硬體與軟體除錯 (系統整合) 期間，如能找出狀態及時序資訊的關聯性，將會非常有幫助。

一開始被偵測為是匯流排上無效狀態的問題，有可能是因為設定/違反時間保持所造成的。如果邏輯分析儀無法同時取得時序及狀態資料，則問題的辨認將會變得很困難，並很耗時。

某些邏輯分析儀要求連接個別的時序探棒，以擷取時序資訊，並使用個別的擷取硬體。這些儀器會要求您將兩種探棒同時連接至待測系統 (如圖8所示)。一組探棒將SUT連接至時序模組，另一組探棒則由相同的測試點連接至狀態模組，稱之為「雙探測」，這是一種向您訊號阻抗環境妥協的安排。同時使用兩組探棒會降低訊號的負載，並使SUT的上升與下降時間、振幅、雜訊效能降級。請注意，圖8是簡化的圖示，僅說明少數代表性的接線。在實際量測中，可能會連接四組、八組或更多連接多導體的纜線。



最好透過相同的探棒同時擷取時序及狀態資料 (如圖9所示)。一組接線、一次設定、一次擷取，同時提供時序及狀態資料。這可以簡化探棒的機械連接，並減少問題。

有了同步時序及狀態擷取功能，邏輯分析儀便可擷取所有支援時序及狀態分析所需的資訊。不需採取下個步驟，因此，可以降低雙探棒方法中所可能發生之錯誤及機械故障的機會。單一探棒對電路的影響較低，可以確保更準確的量測，並對電路運作有較少的干擾。

時序解析度愈高，您設計上可見到、可觸發的細節就愈多，這可增加找出問題的機會。

### 即時擷取記憶體

邏輯分析儀的探測、觸發與時脈系統並存，以提供資料給即時擷取記憶體。這種記憶體是儀器的核心 (亦即SUT的所有取樣資料的指定點)，也是所有儀器分析及顯示的來源。

邏輯分析儀具有以儀器取樣率儲存資料的功能，您可以把記憶體想像為擁有通道寬度與記憶體深度的矩陣 (如圖10所示)。

儀器會累積所有訊號活動的紀錄，直到觸發事件或使用者告知停止為止。其結果是一次擷取 (實際上是多通道波形顯示)，這可讓您以非常高的時序精確度，檢視您所擷取之所有訊號的互動情形。

通道數與記憶體深度是選擇邏輯分析儀的關鍵因素。下列為協助您決定通道數與記憶體深度的一些秘訣：

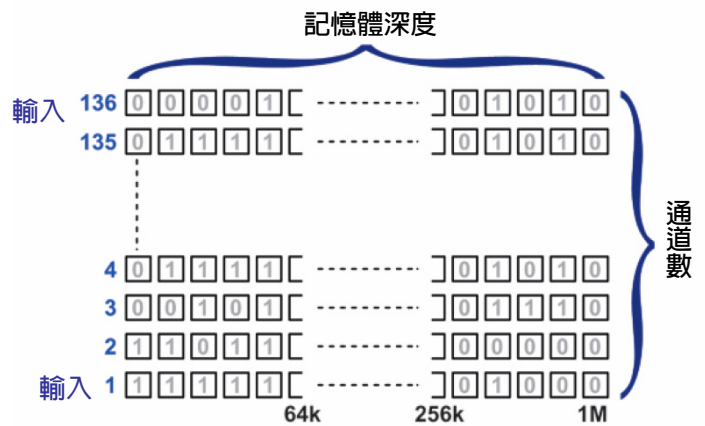


圖10 邏輯分析儀將擷取資料儲存在深度記憶體，一個全深度通道支援一個數位輸入。

#### ■ 您需要擷取與分析的訊號有多少？

您的邏輯分析儀通道數會直接對映到您想要擷取的訊號數。數位系統匯流排的寬度有很多種，而且通常在監控整條匯流排時，同時會需要探測其他訊號 (時脈、生效的訊號等)。請務必考慮同時擷取所有您所需要的匯流排訊號。

#### ■ 您需要擷取多長「時間」？

這會決定邏輯分析儀的記憶體深度需求，特別在時序擷取時尤其重要。在給定記憶體大小後，總擷取時間會隨著取樣率的增加而縮短。例如，當取樣率為1ms時，存放在1M記憶體內的資料可跨越1秒鐘的時間；而如果取樣時脈時間為10 ns，則相同的1M記憶體僅可跨越10 ms的時間。

取得更多的樣本 (時間) 會增加擷取錯誤及造成該錯誤的故障訊號的機會 (請見下面說明)。

邏輯分析儀連續地取樣資料、填入即時擷取記憶體，並以先入先出方式丟棄溢值 (如圖11所示)。如此，即時資料可以定速通過記憶體。當觸發器事件發生時，「暫停」的程序會開始執行，並保留記憶體中的資料。

記憶體中的觸發器放置方式是很彈性的，讓您可以擷取並檢查觸發前後或是觸發事件附近發生的各種事件，這是很有用的疑難排解功能。如果您在某個徵兆發生時進行觸發 (通常是某類型的錯誤)，您可以設定邏輯分析儀儲存觸發前的資料 (前觸發資料)，並擷取造成該徵兆的故障訊號。您也可以同時設定邏輯分析儀儲存觸發後的特定量資料 (後觸發資料)，以瞭解後續哪些錯誤可能會造成的影響。亦可使用其他的觸發器放置組合 (如圖12及圖13所述)。

當完成探測、時脈與觸發設定後，邏輯分析儀便準備好進行運作。結果是即時擷取記憶體中充滿資料，而您可使用這些資料，以各種不同的方式來分析您的SUT行為。

邏輯分析儀的主要擷取記憶體可儲存長度夠長且全面的訊號活動記錄。目前某些邏輯分析儀能以數 GHz 的速率在數百個通道上擷取資料，並將結果累積在相當長的記錄長度上。這非常適合匯流排的長期活動綜覽。

每一個顯示的訊號轉態，都是發生在主動時脈速率定義的取樣間隔之內。擷取的邊緣可能發生在前一次取樣的數微微秒之後、下一次取樣的數微微秒之前，或是兩者間的任何一處，因此取樣間隔決定了儀器的解析度。不斷演進的高速運算匯流排和通訊裝置，創造出對時序解析度更佳之邏輯分析儀的需求。

而 TLA 系列中屬於標準功能的 Tektronix MagniVu™ 擷取技術，則解決了這項困難的挑戰。MagniVu 擷取技術需依靠高速緩衝記憶體，以更高的間隔在觸發點附近擷取資訊。同樣的，一旦記憶體填滿，新的取樣資料就會不斷取代最舊的取樣。每一個通道都有自己的 MagniVu 緩衝記憶體。MagniVu 擷取技術能夠記下動態、高解析度的轉態及事件記錄，這可能是主要記憶體擷取的基本解析度下無法看見的。

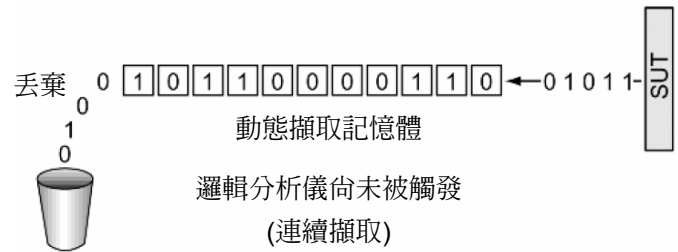


圖 11 邏輯分析儀擷取並以先入先出方式丟棄資料，直到觸發事件發生為止。

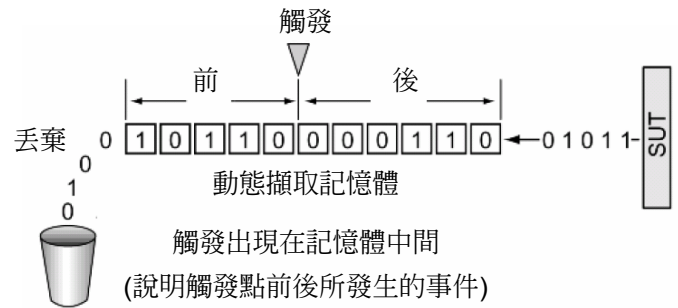


圖12 擷取觸發器附近的資料：觸發點左邊的資料是「前觸發」資料，右邊則是「後觸發」資料。觸發器可放置於距記憶體0%至100%處。

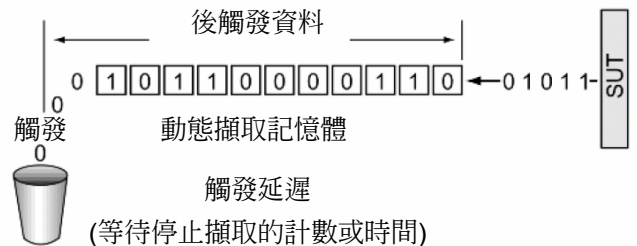


圖13 觸發後特定時間或特定週期數時所發生的擷取資料。

MagniVu 擷取技術是 TLA 系列在偵測捉摸不定的時序錯誤上領先業界的關鍵，如一般邏輯分析儀力有未逮的狹窄突波和設定和違反時間保持。如圖 14 所示，這種高解析度記錄可在顯示器上，與主要記憶體中的其他時序波形完美對齊供您檢視。

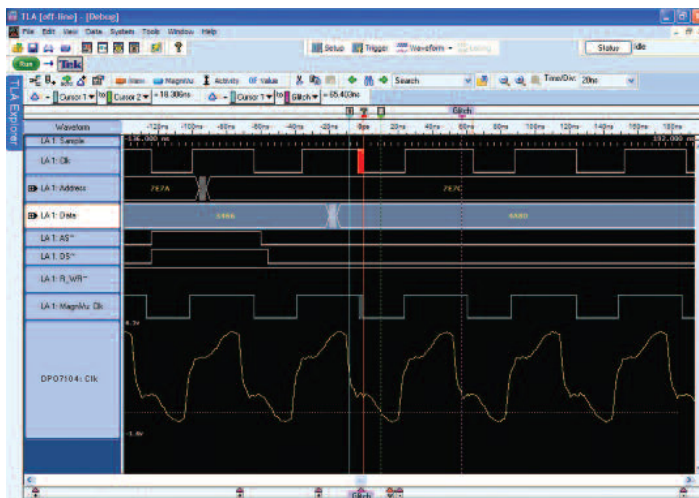


圖 14 MagniVu™ 擷取技術顯示時脈訊號上的突波。

### 整合式類比—數位疑難排解工具

想進一步追蹤數位錯誤的設計人員，必須同時考慮到類比領域。在現今的系統中，由於快速的邊緣和資料速率，因此數位訊號下的類比特性對系統行為的影響越來越大，尤其是可靠度和穩定一致性。

訊號偏差可能會因類比領域的問題而產生：阻抗不符、傳輸線影響，和其他問題。同樣的，訊號偏差也可能是數位問題的副產品，例如設定和違反時間保持。數位和類比訊號之間有高度的互動效應。

數位領域中之異常波形及其影響的初步偵測，通常是在邏輯分析儀上進行。這是一項可長時間同時擷取數十甚至數百個通道的工具，因此它是最可能在正確時間連線至正確訊號的擷取儀器。

一旦發現訊號偏差，特性分析就是即時示波器的工作了。它可鉅細靡遺地擷取到每一個突波和轉態，以及精確的振幅和時序資訊。追蹤這些類比特性經常是解決數位問題的最快捷徑。

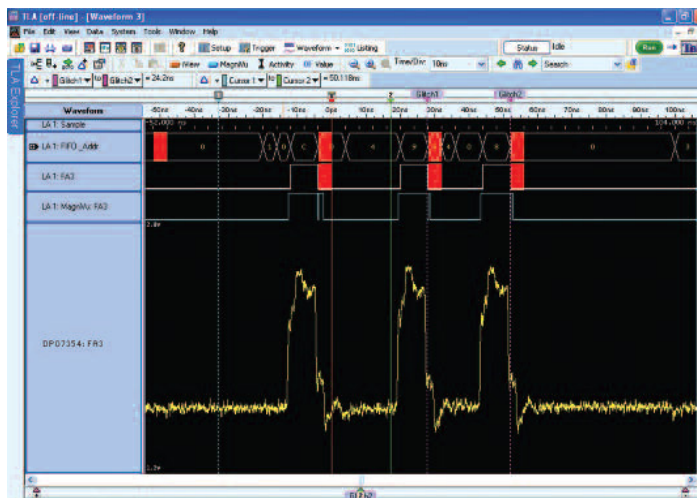


圖15 異常的時間關聯類比數位檢視。

要有效率地進行疑難排解，需要能同時處理這兩種領域的工具和方法。捕捉這兩種領域間的互動情形，並同時以類比和數位的形式顯示，是有效排除問題的關鍵。

某些現代解決方案，最顯著的是 Tektronix TLA 系列邏輯分析儀和 TDS 系列示波器，包含了可整合至兩個平台的功能。Tektronix iLink™ 工具組可讓邏輯分析儀與示波器「合作」，共享觸發和時間關聯顯示。

iLink™ 工具組由數個元件組成，專為加速問題偵測及疑難排解而設計：

- **iCapture™** 多工技術可透過單一邏輯分析儀探棒，同時提供數位與類比擷取。
- **iView™** 顯示功能可在邏輯分析儀顯示器上，提供時間關聯、整合的邏輯分析儀和示波器量測。
- **iVerify™** 分析功能利用示波器產生的眼狀圖，進行多通道匯流排分析和驗證測試。

圖15 說明TLA系列邏輯分析儀上的iView畫面顯示功能。在TLA邏輯分析儀為整合的TDS示波器軌跡建立時間關聯時，訊號會同時以類比和數位形式出現。

分析與顯示結果

儲存在即時擷取記憶體中的資料可使用於多種顯示與分析模式中。一旦將資料儲入系統，這些資料就可以各種格式來檢視，範圍從時序波形到與原始碼關聯的指令助憶碼。

波形顯示

波形顯示是一種多通道詳細檢視畫面，可以讓您見到所有擷取訊號的時間關係，很像示波器的顯示畫面。圖16是一個簡化的波形顯示，在此圖中，已經加入取樣時脈標記，以顯示進行取樣的資料點。

波形顯示常用於時序分析，最適用於以下情況：

- 診斷SUT硬體的時序問題
- 透過比較記錄的結果與模擬器輸出或產品規格表的時序圖，以驗證正確的硬體運作
- 量測硬體的時間相關特徵：
  - 競態
  - 傳播延遲
  - 脈衝是否出現
- 分析突波

清單顯示

清單顯示以使用者可選用的字母數字表的方式提供狀態資訊。清單中的資料值是由整個匯流排中所擷取的樣本所形成的，並且可以十六進位或其他格式來表示。

想像對匯流排中的所有波形作垂直「切片」(如圖17所示)。涵蓋四位元匯流排的切片表示儲存在即時擷取記憶體中的一個取樣。如圖17所示，邏輯分析儀所顯示出的陰影切片 (通常是以十六進位的形式來表示)。

清單顯示的目的是顯示SUT的狀態。圖18中的清單顯示讓您可以見到SUT確實見到的資料流 (一連串的资料字元)。

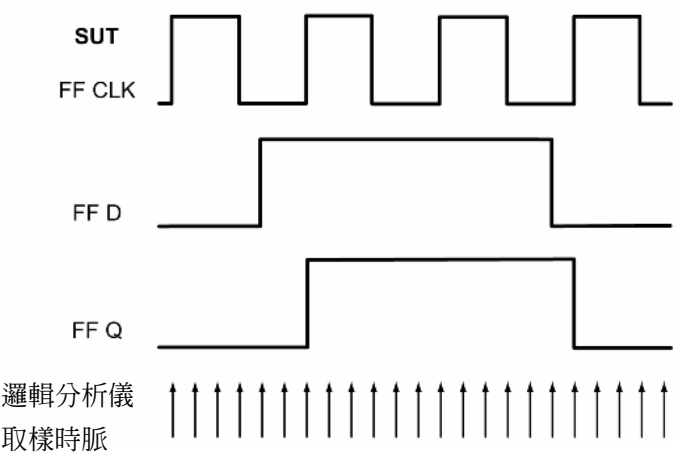


圖16 邏輯分析儀波形顯示 (簡化版)。

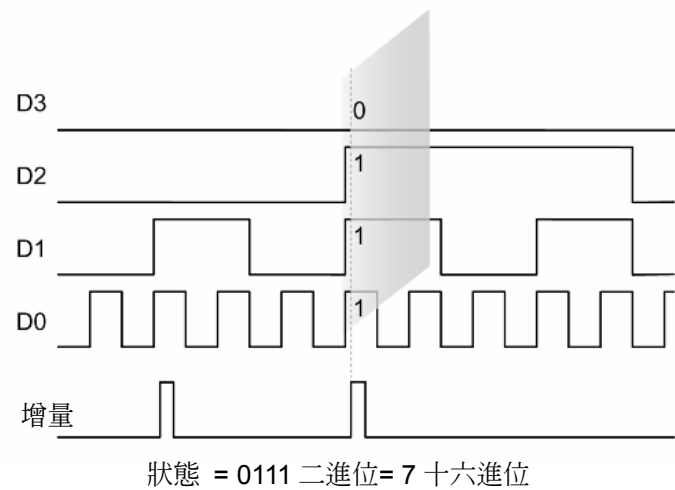


圖17 當外部時脈訊號啟動擷取時，狀態擷取所捕捉到的一組跨匯流排的資料「切片」。

取樣	計數器	計數器	時間註記
0	0111	7	0 ps
1	1111	F	114.000 ns
2	0000	0	228.000 ns
3	1000	8	342.000 ns
4	0100	4	457.000 ns
5	1100	C	570.500 ns
6	0010	2	685.000 ns
7	1010	A	799.000 ns

圖18 清單顯示。



狀態資料可用數種不同格式顯示。即時指令追蹤會反組譯每個匯流排執行，並確實決定哪個指令是讀自匯流排的。它會運用適當的指令助憶碼，連同其相關位址，顯示在邏輯分析儀的顯示幕上。圖19是即時指令追蹤顯示的範例。

另一個顯示則是原始碼除錯顯示，可透過找出原始碼與指令追蹤記錄的關聯性，讓您的除錯工作更有效率。同時提供立即可見性，以瞭解當指令執行時正發生哪些事件。圖20為與圖19即時指令追蹤關聯的原始碼顯示畫面。

透過特定處理器支援套件的協助，狀態分析資料便可以助憶碼的格式顯示，這使得更容易為SUT中的軟體問題除錯。有此知識協助，您可以進入更低階的狀態顯示畫面 (例如十六進位顯示畫面)，或進入時序圖顯示畫面，以向下追蹤錯誤的起因。

狀態分析應用包括：

- 參數與邊際分析 (例如設定/保持值)
- 偵測設定與違反時間保持
- 硬體/軟體整合與除錯
- 狀態機器除錯
- 系統最佳化
- 透過完整的設計追蹤資料

## 自動量測

在以邏輯分析儀擷取資料時，拖放自動量測能夠讓您執行最精密的量測。您有廣泛的類似示波器之量測可供選擇，包括頻率、週期、脈衝寬度、工作週期和邊緣數量。自動量測以迅速提供極大取樣數的量測結果方式，傳送快速又徹底的量測結果。執行量測的簡易方法：只要在索引窗格內顯示的相關圖示群組中，按下要選取的量測圖示，並將圖示拖曳至主要視窗中的一條波形軌跡，然後放開滑鼠按鍵即可。邏輯分析儀可以設定量測、執行任何必要的分析步驟（例如計算脈衝寬度），並顯示其結果（如圖 21 所示）。請注意，這些步驟都是完全自動化，可讓您擺脫過去使用的耗時手動量測法。

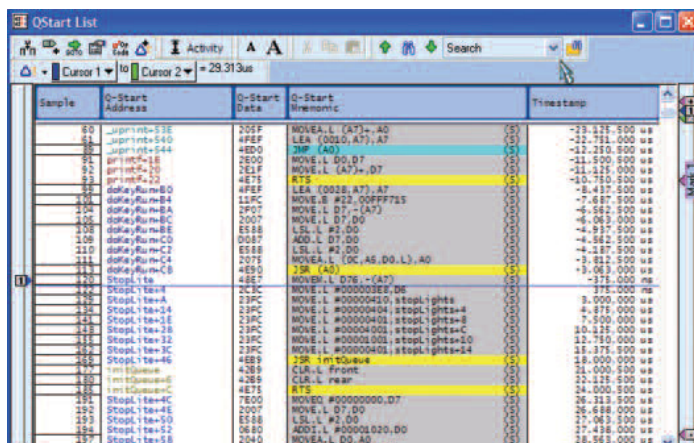


圖19 即時指令追蹤顯示。

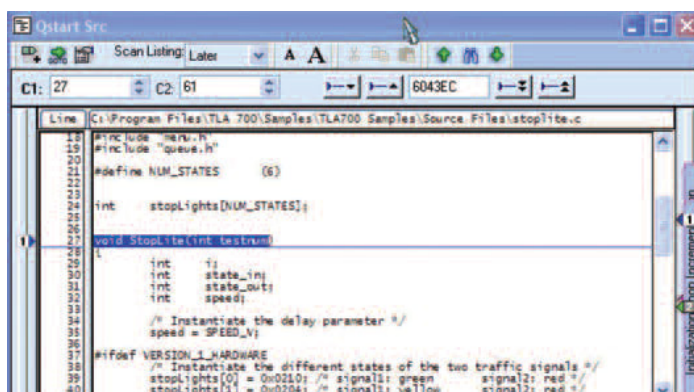


圖20 原始碼顯示。畫面中第27行與圖19指令追蹤顯示畫面的第120樣本有關。

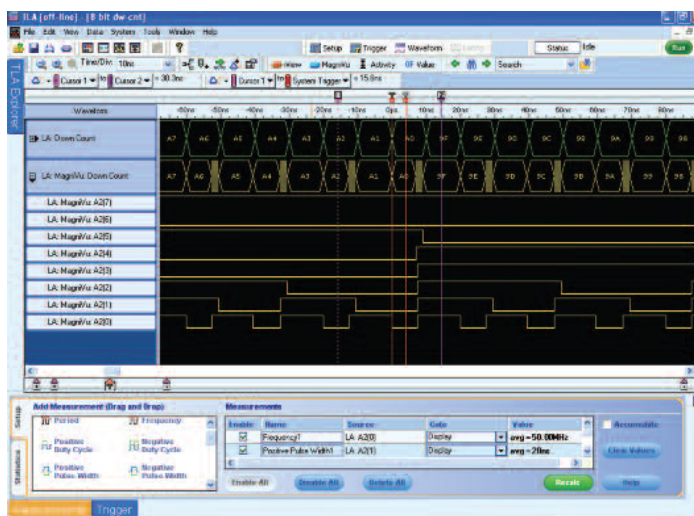


圖21 自動量測可以提高生產力。

## 效能項目和考量

邏輯分析儀有許多效能和有效性的定量指標，其中幾項與其取樣率有關。其中和數位儲存示波器 (DSO) 之頻寬類似的是量測頻率軸。某些探測和觸發項目對 DSO 使用者而言也很熟悉，但還是有許多邏輯分析儀之數位領域獨有的屬性。

由於邏輯分析儀並未嘗試擷取和重建類比訊號，因此通道數和同步（時脈）模式等問題非常重要，而如垂直準確度等類比因素則次之。

下列效能項目和考量清單，是參照最新的Tektronix TLA系列邏輯分析儀，這是一套能符合數位設計應用最嚴格要求的領先業界解決方案。

### 時序擷取率

邏輯分析儀最基本的任務，就是依據擷取到的資料製作時序圖。若 DUT 正確運作，且擷取功能的設定適當，邏輯分析儀的時序顯示會和設計模擬器或資料手冊的時序圖完全相同。

但是這必須視邏輯分析儀的解析度而定，實際上就是其取樣率。時序擷取是非同步的，也就是說，取樣時脈相對於輸入訊號為自由執行。取樣率越高，取樣就越可能準確偵測到事件 (如轉態) 的時序。

例如，TLA系列邏輯分析儀搭配50 GHz的取樣頻率，相當於20 ps的解析度。因此在最壞情況下，時序顯示反映出實際邊緣20 ps內的邊緣放置。

### 狀態擷取率

狀態擷取是同步進行的，它需要依靠 DUT 的外部觸發以定出擷取的時脈。狀態擷取專為協助工程師追蹤資料流量，和執行處理器及匯流排的程式而設計。邏輯分析儀 (如 TLA 系列) 可提供 450 MHz 的擷取頻率，並搭配所有通道上為 625 ps 的設定/保持視窗，能確保準確的資料擷取。

請注意，此頻率和邏輯分析儀監控的匯流排及 I/O 執行有關，而非 DUT 的內部時脈速率。雖然裝置的內部速率可能在數個 GHz 的範圍內，但它與匯流排和其他裝置的通訊，和邏輯分析儀的狀態擷取頻率屬於同一個數量級。

### MagniVu擷取率

MagniVu擷取技術適用於時序或狀態擷取模式。MagniVu 擷取技術可在所有通道上提供更高的取樣解析度，讓您更容易利用觸發點四周累積的額外取樣，找出困難的問題。其他功能包括了可調整的 MagniVu 取樣率，可移動的觸發位置，和能夠獨立於主觸發之外自行觸發的 MagniVu 觸發動作。

### 記錄長度

記錄長度是邏輯分析儀技術規格的另一個關鍵。能夠以取樣資料的型式儲存更多「時間」的邏輯分析儀非常有用，因為觸發擷取的徵兆可能會在其後很長一段時間才發生。若使用較長的記錄長度，通常就能擷取和檢視這兩者，大幅簡化疑難排解的程序。

TLA 系列邏輯分析儀可配置為各種不同的記錄長度。它還可以從最多四個通道連結接記憶體，讓可用的深度成為四倍。這提供了在必要時建立大量記錄長度的方法，或是使用較小、較低成本的配置獲得較長記錄長度的效能。

## 通道數和模組化

邏輯分析儀的通道數，是整個系統中支援寬匯流排和 (或) 多個測試點的基礎。通道數在重新配置儀器的記錄長度時也很重要：需要二或四個通道，才能讓記錄長度分別成為二或四倍。

**在今日向高速序列匯流排潮流邁進，通道數的重要性更超乎以往。例如，32位元的資料封包，必須分散至32個邏輯分析儀通道，而不是1個通道。換句話說，從平行到序列架構的轉換不會影響對通道數的需求。**

TLA系列邏輯分析儀單機可配置為各種不同的通道數。模組化的TLA系列邏輯分析儀可以適用多種的擷取模組，且可連接在一起，以得到更高的通道數，最後系統可適用數千條的擷取通道。模組化的TLA系列架構，能夠獨特地維持各模組間的同步和低延遲，即使各模組屬於不同的主機。

## 觸發

觸發彈性是快速有效率地偵測看不見的問題的關鍵。在邏輯分析儀中，觸發就是設定條件，一旦條件符合，即捕捉擷取並顯示結果。擷取停止代表條件曾經發生過 (除非您指定逾時例外)。

現在，拖放觸發簡化了觸發設定，讓您更容易設定常見的觸發類型。這些觸發讓使用者無需為尋常的時序問題設計複雜的觸發配置。邏輯分析儀也允許對這些觸發進行功能強大的專門化，以處理更複雜的問題，如本文件下文中的應用範例所示。

除了突波和設定/保持觸發器以外，邏輯分析儀還提供多重觸發狀態、字元辨識器、邊緣/轉態辨識器、範圍辨識器、計時器/計數器，以及快照辨識器。

## 探測

隨著所有新一代電子產品的電路密度和速度都大幅提昇，探測解決方案也成為整體邏輯分析儀解決方案中越來越重要的一環。探棒必須在提供正極連接和保持訊號品質的同時，還提供能配合目標裝置的通道密度。

作為 Tektronix 無接頭式邏輯分析儀探棒背後基礎的 D-Max™ 技術，是應付這些挑戰的創新方法之一。他們能提供探棒與電路板之間耐用可靠的機械和電氣連接，使其領先業界的輸入電容能將探棒在訊號上的負載效應降至最低。這些壓縮探棒專為在電路板上與簡單的接合焊墊一起使用而設計，能節省寶貴的電路板基板面，並使佈線複雜度和成本降至最低。



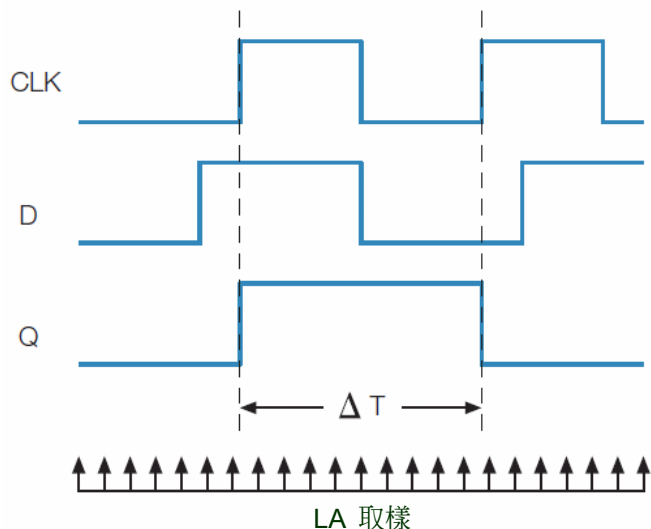


圖22 與解析度相關之取樣率的「D」正反器範例。

## 邏輯分析儀量測範例

下一系列的範例可說明數種常見的量測問題及其解決方案。

**解說部分經過簡化，著重在某些基本邏輯分析儀擷取技術和結果資料的顯示。**

為精簡篇幅，我們省略某些設定步驟和配置細節。若需其他相關資訊，請參閱您的儀器文件、應用摘要和其他技術資訊。

### 進行一般用途的時序量測

確保數位系統中的關鍵訊號之間能維持適當的時序關係，是驗證程序中的重要步驟。您必須評估各式各樣的時序參數和訊號：訊號延遲時間、脈衝寬度、設定和保持特性、訊號偏移和其他項目。

有效率的時序量測，需要能夠在許多通道上，以待測電路的最低負載，提供高解析度擷取的工具。此工具必須擁有可定義清楚的觸發條件，以協助設計人員迅速找出問題的彈性觸發能力。此外，此工具必須提供能簡化長記錄解譯的顯示和分析能力。

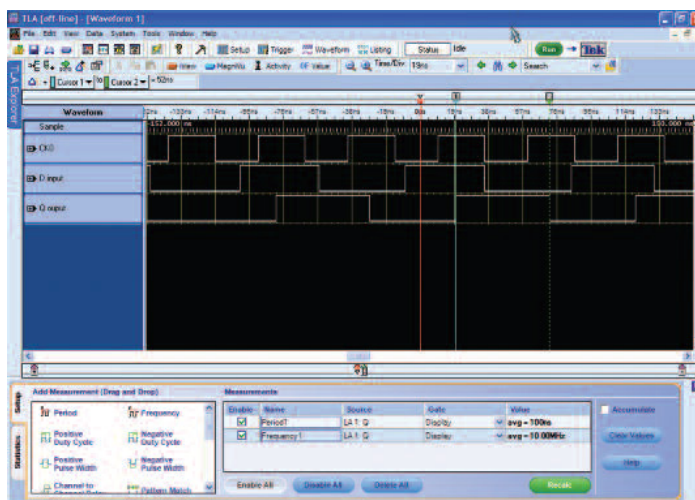


圖23 和解析度相關的取樣率。

在驗證新的數位設計時，通常需要進行時序量測。下列範例說明以圖 22 的連線，在「D」正反器上進行的時序量測。本範例是以 Tektronix TLA 系列邏輯分析儀的功能為基礎。在實際情況下，這一類的量測可能會同時擷取數百甚至數千種訊號。但是兩種情況下的原理都相同，且如本範例證實的，時序量測快速、簡易而準確。。

- 設定觸發和時脈。本範例使用「IF Anything, THEN Trigger」設定和內部 (非同步) 時脈。此處也需要設定步驟，以便將訊號命名和對映至特定的邏輯分析儀通道，但已超出此處的討論範圍。
- 在執行「Run」操作以擷取訊號資料後，請使用 Horizontal Position 控制或記憶體捲軸為螢幕上的資料定位，使觸發指標 (標示為「T」) 位於視野中。
- 將滑鼠指標置於 Q 訊號的上升邊緣上，然後按一下滑鼠右鍵。從出現的功能表中選取「Move cursor 1 here」，即可將第一個量測游標移動至此位置。接下來您可使用拖放功能，將游標「卡」在上升邊緣上。這會成為接受量測之時間頻距的起點。



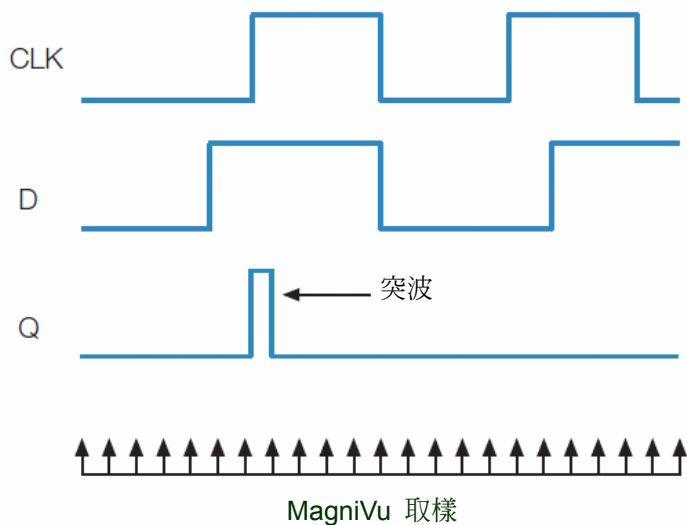


圖24 允許高解析度之 MagniVu 擷取功能的「D」正反器範例。

- 將滑鼠游標放在 Q 訊號的下降邊緣上。按下右鍵，選取「Move cursor 2 here」以放置游標。同樣的，您可使用「卡住」游標功能，更輕易地讓游標對齊邊緣。這會成為量測時間頻距的終點。
- 由於顯示器的 Y 軸代表時間，因此游標 1 和游標 2 間的差值即為時間量測。其結果 52 ns 顯示在畫面上的「Delta Time」讀數中。量測的解析度視取樣率而定，在圖 23 中如取樣軌跡上的勾號所示為 2 ns。請注意，「Delta Time」量測的解析度不能大於取樣率。

### 偵測和顯示間歇性的突波

突波是數位系統設計者常有的困擾。這些不穩定的脈衝會間歇出現，振幅與持續期間可能都不規則。它們也無可避免地難以偵測和擷取，但是無法預期的突波所造成的影響，卻可能使系統停擺。例如邏輯元件很容易將突波解譯為時脈脈衝。這可能會導致匯流排的資料過早送出，而引起波及整個系統的錯誤。

任何數量的條件都可能造成突波：串音、電感耦合、競態、時序違反和其他狀況。突波可能會讓一般的邏輯分析儀無法進行時序量測，因為持續時間太短。突波很容易在邏輯分析儀的兩次擷取時間之間出現又消失。

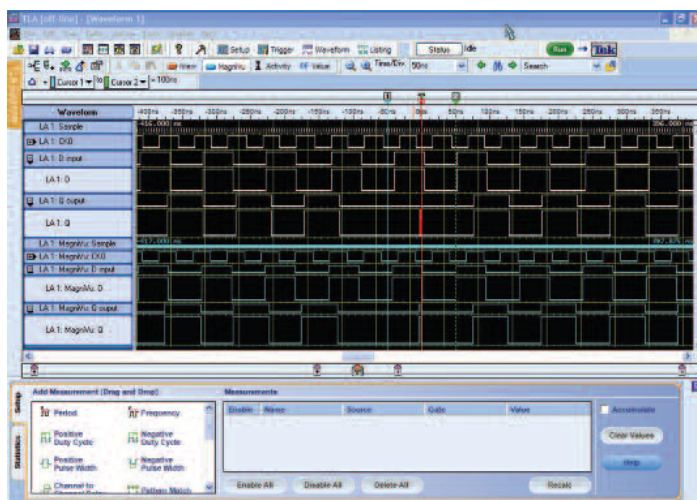


圖25 使用 MagniVu 擷取技術觸發的突波，可允許更高的解析度。

只有時序解析度極高（也就是在執行自己的非同步模式時，能達到高時脈頻率）的邏輯分析儀，才可望捕捉到這些短暫的事件。理想情況下，邏輯分析儀應該要自動醒目標示出突波和通道。

下列範例說明使用 TLA 系列邏輯分析儀擷取狹窄突波的程序。待測裝置 (DUT) 同樣為「D」正反器，其訊號時序如圖 24 所示。MagniVu 時序解析度能夠以極佳的精確度偵測和顯示突波。

同樣的，本範例用意並非提供詳細的教學，因此省略了某些步驟，以符合本入門手冊的層級。

- 在之前的觸發設定中，我們已經在我們的波形視窗中擷取的波形。使用拖放觸發擷取突波十分簡單。
- 按一下畫面底部的「Trigger」頁籤。
- 按一下置物籃中的「Glitch」觸發選項，將它拖放至匯流排波形上。
- 現在按一下「Run」按鈕。這些匯流排上的突波就會被擷取並顯示在波形視窗上。

擷取的結果如圖 25 所示。該畫面包含了數個為顯示高解析度 MagniVu 擷取的內容，而加入此處的通道 (利用不需要第二擷取的單獨設定步驟)。

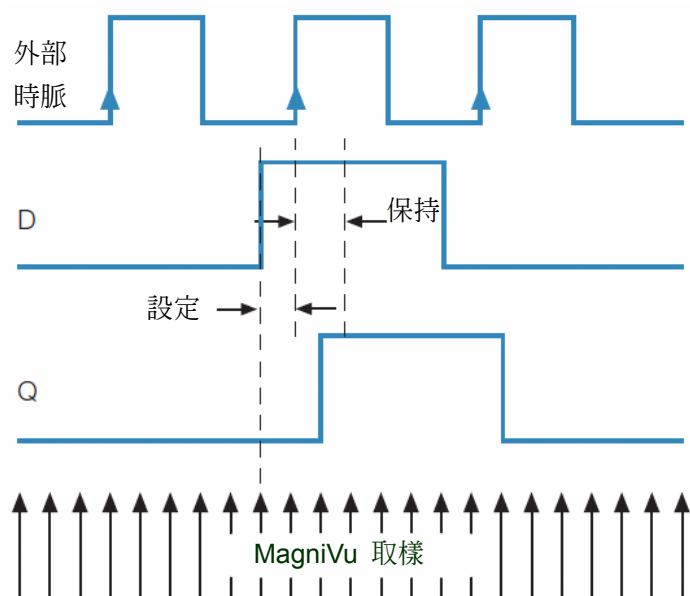


圖26 設定與保持時間關聯。

在 **Q** 輸出波形軌跡上，請注意觸發指標左側 (時間較早) 的紅色旗標。這表示該觸發取樣點及其前一個資料取樣點之間的紅色區域中，有某處偵測到了突波。**Q** 輸出的 **MagniVu** 通道 (底部軌跡) 忠實顯示了突波發生的位置。在這一點上，我們知道突波的時序，並可使用儀器的縮放和游標功能量測脈衝寬度。

### 擷取保持違反的設定

設定時間的定義為，在使其轉移至裝置中的時脈邊緣 (請參閱圖 26) 之前，輸入資料必須有效且維持穩定的最短時間。保持時間是指在時脈邊緣發生後，資料必須維持有效且穩定的最短時間。

數位裝置製造商會指定設定與保持參數，工程師則必須非常注意，以確保他們的設計沒有違反這些技術規格。但是今日的容許誤差更為狹窄，同時又廣泛使用更快速的零件以驅動更多產出，使得設定與違反時間保持更為常見。

這些違反情況可能導致裝置輸出不穩定 (這種狀況稱為介穩態)，且可能造成非預期的突波和其他錯誤。設計人員必須仔細查看其電路，以判斷違反設計規則的事件是否造成設定與保持問題。

近年來，由於設定與保持要求範圍均縮小，因此普通的一般用途邏輯分析儀大多難以偵測和捕捉到這些事件。唯一真正的解答，就是擁有次奈秒取樣解析度的邏輯分析儀。

**擁有MagniVu擷取功能的Tektronix TLA系列邏輯分析儀，是設定與保持量測中已獲肯定的解決方案。**

下列範例中介紹同步擷取模式，該模式需依靠外部時脈訊號驅動取樣。**MagniVu** 功能隨時皆可使用，且提供觸發點附近的高解析度取樣資料緩衝，而非因此模式而提供。**DUT** 同樣是擁有單一輸出的「**D**」正反器，但本範例同樣適用於擁有數百個輸出的裝置。

使用 **MagniVu** 擷取功能檢視資料，能讓我們得到可能的最高時序解析度。您應該了解到為了這項教學，我們架構了僅包含 **MagniVu** 擷取的資料視窗。由於您將會對設定或違反時間保持進行觸發，因此 **MagniVu** 功能可提供您違反處附近的最佳可能時序解析度。

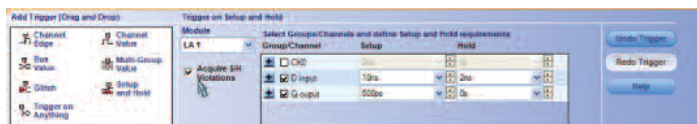


圖27 設定與保持事件顯示。

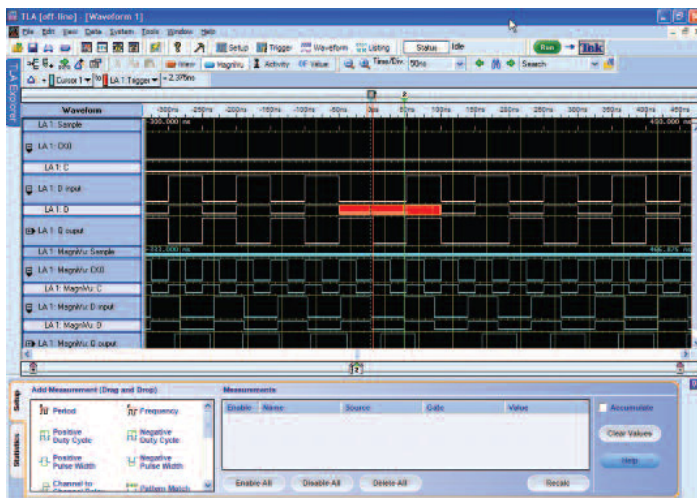


圖28 產生的畫面顯示設定與保持時序。

在本範例中，DUT本身可提供控制同步擷取的外部時脈訊號。邏輯分析儀拖放觸發能力可用於建立設定與保持觸發。本模式獨有的能力，就是可輕鬆定義清晰的設定與保持時序違反參數（如圖 27 所示）。設定視窗中還有額外的子功能表，可進一步改善訊號定義的其他層面，包括邏輯條件以及正向或負向的項目。

在測試執行時，邏輯分析儀會實際評估時脈的每一個上升邊緣，查看有無設定與違反時間保持。它可監控數百萬個事件，但僅擷取不符合設定與保持要求者。產生的顯示如圖 28 所示，其中設定時間為 2.375 ns，遠低於定義的限制 10 ns。

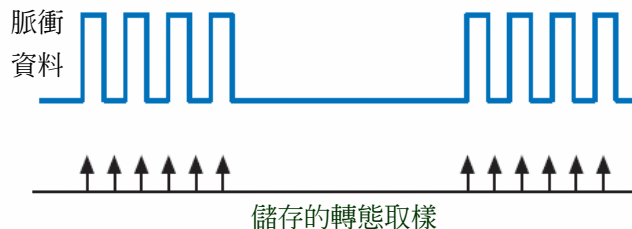


圖29 過渡儲存技術僅在轉態發生時儲存資料。

## 運用過渡儲存使可用記錄長度達到最大

有時候，待測裝置會釋出由偶然出現的事件叢集所組成，且叢集間有很長的無活動間隔的訊號。例如某些類型的雷達系統，會以彼此相距甚遠的資料脈衝驅動其內部 D/A 轉換器。

這在使用一般的邏輯分析儀擷取與儲存技術時會造成問題。儀器會在記錄每個取樣間隔時都使用一個記憶體位置，正如其名「Store All」。這樣一來擷取記憶體可能會迅速被毫無變化的資料填滿，消耗掉擷取實際感興趣的資料，即活動訊號的脈衝所需的寶貴容量。

一種名為「Transitional Storage」的方法可以僅在轉態發生時儲存資料，而解決這個問題。圖 29 說明了此一概念。邏輯分析儀會在（而且僅會在）資料改變時開始取樣。彼此距離數秒、數分鐘、數小時甚至數天的脈衝，可以使用邏輯分析儀主要取樣記憶體的完整解析度擷取。儀器會等待漫長的靜止期間結束。請注意漫長的無活動期間並未被「忽略」。相反的，這些時段仍持續受到監控，但並未被記錄下來。

下列範例說明使用 TLA 系列邏輯分析儀實施的解決方案。多功能的 IF/THEN 觸發演算法再次成為能區別出促使過渡儲存出現之獨特環境的最佳工具。



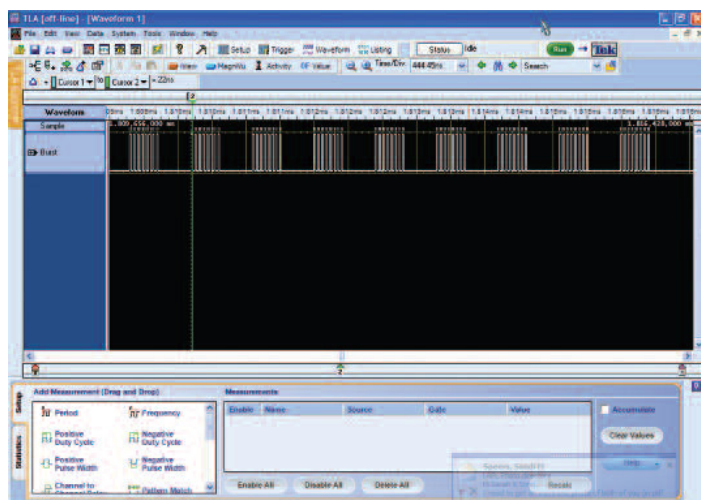


圖30 展示暫態儲存技術的顯示器。

TLA 系列介面提供下拉式的「Storage」功能表，可讓您選擇「Transitional」（過渡）而非「All」（所有）事件。您可在此看到能啟用「IF Channel Burst=High THEN Trigger」模式的功能表。

使用這些指定的條件執行測試，會產生類似圖 30 所示的畫面顯示。此處的脈衝（burst）包含九個分別由八個脈衝（pulse）組成的群組，寬度為 22 ns，群組中隔著 428 ns 的靜態間隔。過渡儲存可讓儀器僅使用 256 的記錄長度，就擷取到全部的十六個脈衝群組，包括七個仍在畫面外的群組。時間視窗代表約 3.8 毫秒的擷取時間，其中群組每 2 毫秒即重複一次。

相反的，「Store All」擷取模式會使用兩千倍的 512K 記憶體空間，卻僅只捕捉這些脈衝群組之一。分配的記憶體會在大約 1 微秒內填滿，其中大多數空間都被「空白」的無活動週期所佔據。過渡儲存使您可在每次執行擷取時，蒐集更多可用的資訊。

## 邏輯分析儀應用範例

下一節中提供了在今日某些關鍵應用中，必須考慮的量測要求和考量綜覽。

### FPGA

由於設計尺寸與複雜度日新月異，迫使設計驗證程序成為今日 FPGA 系統的關鍵設計瓶頸。內部訊號存取受限、先進 FPGA 封裝技術，以及印刷電路板 (PCB) 電子雜訊等，都是使得 FPGA 除錯及驗證變成設計週期中最困難執行的程序之關鍵。光為您的設計進行除錯及驗證，大概就要占去一半以上設計週期時間。為協助您處理設計除錯及驗證，新工具必須在設計裝置於 FPGA 上全速執行的同時，進行除錯工作。

您在設計階段必須做出的關鍵選擇之一，就是決定要使用哪一種 FPGA 除錯方式。您要採用的方法最好能夠用在您所有的 FPGA 設計上，同時提供您對 FPGA 作業和系統作業的深入觀察，並帶給您指出和分析困難問題的強大能力。基本的電路內 FPGA 除錯方法事實上有兩種：第一種是使用嵌入式邏輯分析儀，另一種則是使用外部邏輯分析儀。要選擇使用哪一種方法需視您的專案除錯需求而定。

每一家 FPGA 廠商都提供嵌入式邏輯分析儀核心。這些智慧財產區塊可插入您的 FPGA 設計中，同時提供觸發能力和儲存能力。您務必要注意，FPGA 邏輯資源是用於實施觸發電路，而 FPGA 記憶體區塊是用於實施儲存能力。JTAG 通常用來配置核心的作業，然後用於將擷取到的資料傳送到個人電腦上進行檢視。



由於嵌入式邏輯分析儀使用內部的 FPGA 資源，因此通常都是搭配較能吸收核心管理成本的較大型 FPGA 使用。嵌入式邏輯分析儀就和所有的除錯方式一樣，有一些您應該注意到的優缺點取舍：

優點	缺點
■ 需要的接腳較少	■ 核心大小使大型 FPGA 的使用受限
■ 探測簡便	■ 必須停止內部記憶體
■ 相對而言費用較低	■ 只能進行狀態模式分析
	■ 速度有限
	■ 無法建立 FPGA 軌跡資料和其他系統軌跡之間的關聯

由於嵌入式邏輯分析儀法的限制，許多 FPGA 設計人員採用一種利用 FPGA 的彈性，以及外部邏輯分析儀 (如 TLA 系列邏輯分析儀) 之強大能力的方法。在這種方法中，會將有興趣的內部訊號傳送至 FPGA 的接腳，然後 FPGA 則連接至外部邏輯分析儀。本方法提供極深的記憶體，這在進行需花大量時間找出徵兆和實際原因的問題除錯中十分有用，另外還能夠建立內部 FPGA 訊號和系統中其他活動的關聯。這個方法就和嵌入式邏輯分析儀方法一樣，也有必須考量的取舍問題。

優點	缺點
■ 使用的 FPGA 邏輯資源很少，或根本不會使用到	■ 需要較多 FPGA 上的針腳
■ 不使用 FPGA 記憶體	■ 移動探棒接點可能必須重新編譯設計
■ 在狀態和時序模式下皆可操作	■ 需要在 LA 上手動更新訊號名稱
■ 建立 FPGA 訊號和其他系統訊號之間的關聯	

視您的情況，兩種方式都可能派上用場。困難之處在於判斷哪一種方法適合您的設計。請您自行回答下列問題。您預期中的問題是什麼？如果您認為這些問題會在 FPGA 之內隔離為功能問題，您可能只需要使用嵌入式邏輯分析儀，當作唯一的除錯工具。但如果您預期會有更大的除錯問題，使您可能必須驗證時序邊際、使內部 FPGA 活動和電路板上其他活動建立關聯，或是需要更多強大觸發能力以隔離問題，則使用外部邏輯分析儀會更適合您的除錯需求。

讓我們更仔細地看看使用外部邏輯分析儀的方法。實際上，這個方法使用 FPGA 中的 P，視需要重新編製裝置的程式，將有興趣的內部訊號傳送至通常只有少數的接腳。這個方法很有用，但確實有其極限。每當您需要查看不同的內部訊號組合時，您就必須變更設計 (無論在 RTL 層級或使用 FPGA 編輯器工具)，將想要的訊號組合傳送至除錯接腳。這不但費時，而且在必須重新編譯您的設計時，會耗費更多時間，同時也可能因為變更設計的時序，而使問題被掩蓋。一般而言除錯接腳的數目很少，且內部訊號和除錯接腳呈 1:1 的關係，限制了可見度和對設計的深入觀察。

為了克服這些限制，新的 FPGA 除錯方法已經開發出來，能夠提供外部邏輯分析儀法的所有優勢，同時免去其主要限制。First Silicon Solution 公司的 FPGAVIEW 軟體套件在搭配 TLA 系列邏輯分析儀使用時，可提供完整的 Altera 或 Xilinx FPGA 及其週邊硬體除錯解決方案。

FPGAVIEW 和 TLA 邏輯分析儀的組合可讓您看到自己 FPGA 設計的內部，並使內部訊號與外部訊號建立關聯。由於免去了耗時的設計重新編譯程序，並且可以存取每個除錯接腳的多個內部訊號，使得生產力隨之增加。此外，FPGAVIEW 可以處理單一裝置內的多個測試核心。這在您需要監控 FPGA 內部不同時脈領域時非常有用，還能夠處理 JTAG 鏈上的多個 FPGA。

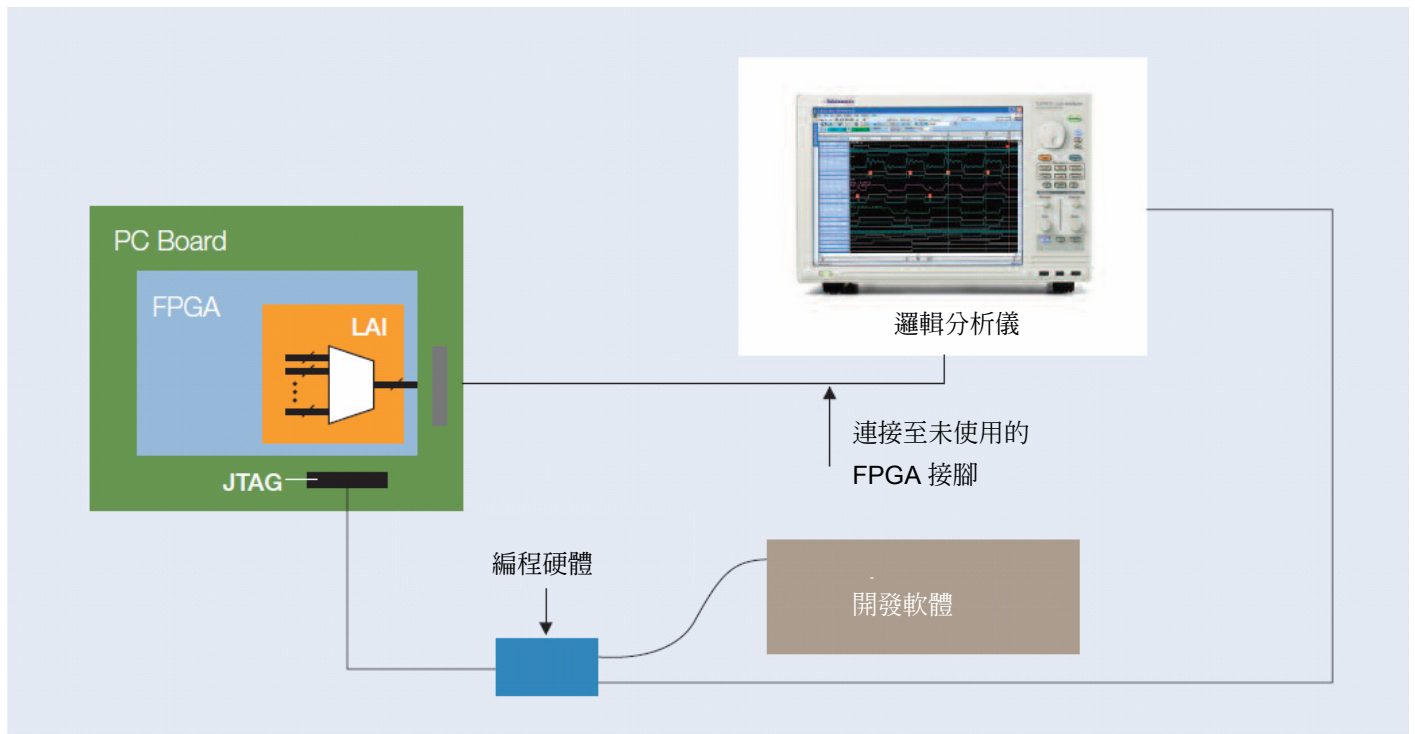


圖 31 典型的 FPGAView 施行。

如圖31所示，完整的解決方案包含四個部分。在本範例中，第一部份是 Altera 公司在其 Quartus® II 軟體套件中提供的測試多工器。此測試多工器可供所有 Quartus II 軟體的使用者使用。

第二部分是能讓使用者控制測試多工器，並將其他部分整合成強大工具的 FPGAView 軟體套件。第三部分是用來擷取和分析資料的 TLA 系列示波器分析儀。最後一部分則是用來控制您的 FPGA 內部之測試多工器的 JTAG 傳輸線。

**FPGAView 產能和TLA系列邏輯分析儀的結合，可以為您簡化許多有關 FPGA的除錯工作。**

本工具組可讓您看到自己 FPGA 設計的內部，並使內部訊號與外部訊號建立關聯。由於免去了耗時的設計重新編譯程序，並且可以存取每個接腳的多個內部訊號，使得生產力隨之增加。

## 記憶體

在要求記憶體速度更快、容量更大和耗電量更低，同時實體大小還要更小巧的呼聲中，動態隨機存取記憶體隨著時間而演進。第一步就是轉向可提供時脈優勢，使其運作與記憶體控制器同步化的 SDRAM，再來是資料速率隨著 DDR 的使用而增加。接下來就是克服訊號完整性的問題，和演化出 DDR2 SDRAM 和 DDR3 SDRAM 以增加速度。

為了趕上更複雜且更短的設計週期，記憶體設計師需要各種不同的測試設備，以查驗其設計。若您查看的是阻抗和軌跡長度，您會使用到取樣示波器。若您查看的是電子訊號，從功率到訊號強度到時脈、抖動等等，您會使用到數位螢光示波器。若您查看的是命令和通訊協定，接下來您會使用邏輯分析儀驗證您記憶體系統的操作。

邏輯分析儀記憶體支援透過配置邏輯分析儀的設定、針對記憶體擷取提供自訂時脈、記憶體資料分析軟體、助憶碼列示等功能來提升邏輯分析儀的操作，並可能包括記憶體探測硬體。Nexus Technology 公司是 Tektronix 嵌入式系統工具合作夥伴，可為 Tektronix 邏輯分析儀和示波器提供邏輯分析儀記憶體支援和配套產品。Tektronix 亦經銷選定的 Nexus Technology 產品。

## 訊號完整性

想要找出訊號完整性相關問題的原因，唯一的方法就是直接觀察訊號和量測。選擇正確的工具有助於簡化工作，此處也不例外。大多數情況下，在幾乎任何一間電子工程實驗室中，訊號完整性量測都是由同樣類似的儀器進行。這些儀器包括邏輯分析儀和示波器。探棒和應用軟體使基本工具套件更為豐富。此外，信號源可用來提供扭曲訊號，以進行新裝置和系統的壓力測試及評估。

Sample	Address	FBDNV2A Memonics	FBDNV2A DataH1	FBDNV2A DataL0	FBDNV2A BChelsBits	Timestamp
65530	4E3FC	DESL = IGNORE COMMAND	-----	-----	00	3,750 ns
65531	4E3FC	DESL = IGNORE COMMAND	-----	-----	00	3,875 ns
65532	4E3FC	DESL = IGNORE COMMAND	-----	-----	00	3,625 ns
65533	4E000	PRE = PRECHARGE SELECT BANK	-----	-----	00	3,875 ns
65534	7E000	ACTV = ROW ADDRESS STROBE	-----	-----	00	15,000 ns
65535	7E000	READ = COL ADDR READ	-----	-----	00	3,750 ns
65536	7E000	DESL = IGNORE COMMAND	-----	-----	00	3,750 ns
65537	7E004	READ = COL ADDR READ	-----	-----	00	3,750 ns
65538	7E004	DESL = IGNORE COMMAND	-----	-----	00	3,750 ns
65539	7E008	READ = COL ADDR READ	-----	-----	00	3,750 ns
		READ DATA	55555555	55555555	AAAAAAA	
65540	7E008	READ DATA	55555555	55555555	AAAAAAA	3,750 ns
		READ DATA	55555555	55555555	AAAAAAA	
65541	7E00C	READ = COL ADDR READ	-----	-----	00	3,750 ns
		READ DATA	55555555	55555555	AAAAAAA	
65542	7E00C	READ DATA	55555555	55555555	AAAAAAA	3,750 ns
65543	7E010	READ = COL ADDR READ	-----	-----	00	3,750 ns

圖32 Nexus Technology公司NEX-FBD-NEXVu Listing視窗，DDR2 SDRAM讀數資料為5555,5555,5555,5555十六進位值和AAAA,AAAA,AAAA,AAAA十六進位值的交替碼型。

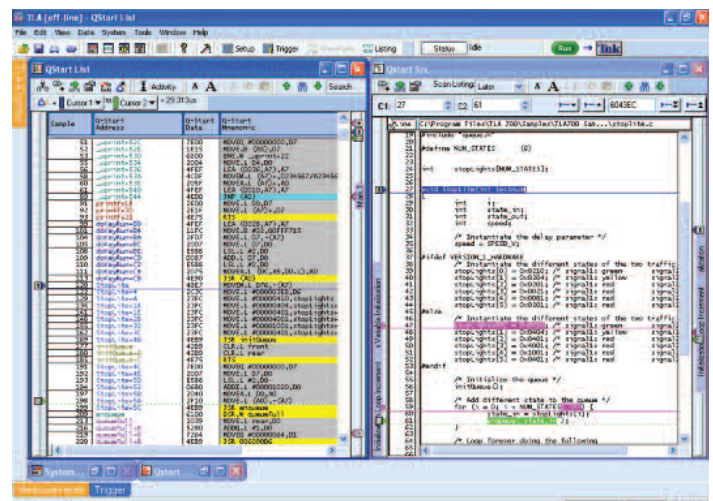


圖33 邏輯分析儀顯示器顯示時序波形和與原始碼相關的即時軟體軌跡。

在提到設定訊號完整性量測系統時，考慮的關鍵著重在：

- 探測
- 頻寬與步進響應
- 時序解析度
- 記錄長度
- 觸發
- 整合

進行數位訊號完整性問題的疑難排解時，特別是在擁有許多匯流排、輸入和輸出的複雜系統中，邏輯分析儀是首道防線。

邏輯分析儀功能	訊號完整性分析的建議能力
示波器整合	邏輯分析儀螢幕上顯示時間校準的示波器軌跡，多通道眼狀圖
探棒	透過同一根邏輯分析儀探棒，進行同步時序、狀態和類比擷取
時序量測解析度	20 ps (時脈速率為 50 GHz 時)
狀態擷取率	最高頻率至 1.4 GHz
擷取記錄長度	最高為 256 M
觸發	邊緣、突波、邏輯、設定/保持等
分析	處理器支援套件和反組譯程式
顯示器	多顯示器

圖34 訊號完整性分析需要某些目前最高的邏輯分析儀效能。

本儀器擁有高通道數、深度記憶體和進階觸發功能，可擷取許多測試點的數位資訊，然後隨之顯示資訊。由於這是真正的數位儀器，因此邏輯分析儀可在其監控的訊號上偵測臨界值交叉，然後顯示邏輯 IC 看到的邏輯訊號。產生的時序波形既清晰容易了解，且能夠方便地與預期的資料互相比較，以確認工作正確進行。這些時序波形通常是導致訊號完整性受損之訊號問題的搜尋起點。這些結果可以在反組譯程式和處理器支援套件的協助下進一步解釋，它們能以很低的硬體活動量，讓邏輯分析儀與即時軟體軌跡 (與原始碼有關) 建立關聯，如圖33所示。

但是，不是每一台邏輯分析儀，都能勝任今日極高 (而且還不斷在提高!) 數位資料速率之下的訊號完整性分析。圖 34 提供了部分在選擇邏輯分析儀，以進行進階訊號完整性疑難排解時，必須考慮的技術規格指南。由於一直強調取樣率和記憶體能力，我們很容易忽略邏輯分析儀中的觸發功能，但是觸發經常是發現問題的最快方法。畢竟，如果邏輯分析儀對錯誤進行觸發，就證明了錯誤真的發生過。最新的邏輯分析儀中，包含了能夠偵測某些訊號完整性妥協事件的觸發——諸如突波和設定與保持時間違反等事件。這些觸發條件可以一次套用至數百條通道，這是邏輯分析儀獨有的強項。



## 串列資料

長久以來，寬廣的同步並列匯流排已獲得確立為數位裝置間的資料交換技術方法。表面上，這些能平行移動多個位元的資料匯流排技術，在進行通訊時會比串列（序列）傳輸技術更加快速。但很不幸的，並列匯流排時序同步作業（偏移）會在較高的時脈頻率和資料速率之下出現問題，因而限制了並列匯流排的傳輸速度。此外，還有支援更長的距離、施行成本和終端使用者成本等重大挑戰。相較之下，串列匯流排僅傳送單一位元資料串，並且為「自調時脈」，因此能夠去除資料和時脈的時間偏移 - 同一時間傳輸之位元的到達時間差異。若使用串列傳輸同步作業，問題會少得多，而且整體的輸出量更大。

同樣的，每當科技的進展打破一個效能瓶頸，另一個瓶頸就會取而代之。新穎而更加快速的技術解決了這項挑戰，但是增添的設計複雜度和不斷變動的標準，形成更大的新設計挑戰，並可能影響上市時間和增加開發成本。數種新研發的串列資料匯流排架構，包括PCI-Express、XAUI、RapidIO、HDMI和SATA，能夠提供比前幾年更大的資料產出率。

由於複雜性和變動如此之大，因此您需要能協助他們方便迅速地找出並修正設計問題的測試解決方案。Tektronix提供完整的串列資料測試解決方案，能讓您開發產品，並確保符合最新的串列資料測試要求。

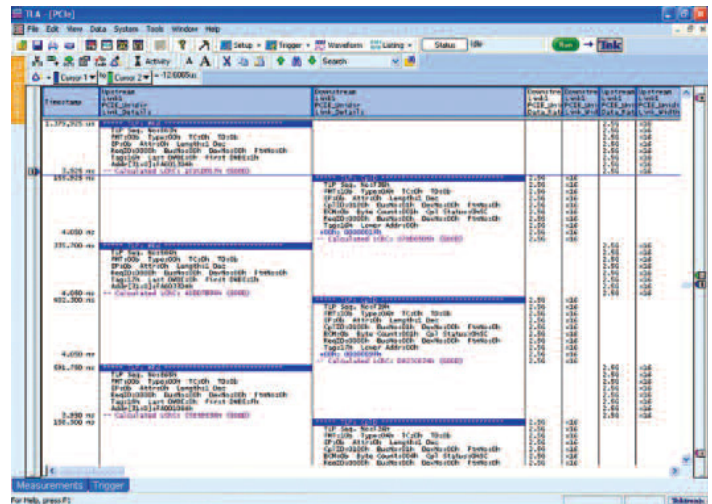


圖35 邏輯分析儀顯示器顯示PCI Express 2.0的數位驗證和除錯內容。

例如，TLA系列序列分析儀模組提供一種創新的PCI Express驗證方法，可跨越通訊協定的所有層級（從實體層到傳輸層）。

此外，TLA系列序列分析儀模組具有卓越的能力可在PHY層事件上進行擷取和觸發，無論是在連結訓練期間或連結進入或退出電源管理狀態時間問題是否存在。當系統設計中的節能技術日趨普遍時，L0和L1的電源管理完整支援便益形重要。可提供通訊協定解碼和錯誤報告功能的分析工具讓TLA7Sxx系列序列分析儀的擷取能力更加完備，如圖35所示。

## 總結

邏輯分析儀是所有層級的數位疑難排解中不可或缺的工具。隨著數位裝置日趨快速和複雜，邏輯分析儀解決方案也必須有所因應。它們的速度必須能夠擷取設計中最快速、最短暫的異常訊號，必須具備以高解析度檢視所有通道的能力，而且其記憶體深度必須足以利用許多次週期，解開數十、數百甚至數千個訊號之間的關係。

本文件說明可滿足這些要求的 Tektronix TLA 系列邏輯分析儀。我們已經看到了多種變數，如觸發 (及其使用方式)、高解析度取樣和經由單一探棒進行同步時序及狀態擷取等創新技術，可對邏輯分析儀的有效性帶來何等貢獻。

觸發可以確認懷疑的問題，或發現完全出乎意料之外的錯誤。最重要的是，觸發提供了一組功能各異的工具，以測試有關故障的假設和找出間歇性的事件。邏輯分析儀的觸發選項範圍，即為其用途多寡的標記。

高解析度取樣架構如MagniVu擷取，可以顯露出訊號行為中看不見的細節如MagniVu擷取般增加取樣頻率，可提供更多在二進位資料中偵測變化 (無論是否為故意產生) 的機會。

單一探棒兼可擷取兩種狀態以及高速時序資料，已經成為現代的觀念。這項能力越來越有助於設計人員蒐集大量有關裝置的資料，然後分析時序圖和更高階狀態活動之間的關係。其他關聯檢視也支援疑難排解：時間關聯的類比和數位波形、清單和通訊協定檢視、多通道眼狀圖、即時軟體追蹤、長條圖和其他項目。

許多其他特性如擷取記憶體、顯示和分析功能、整合類比工具，甚至還有模組化，可以結合在一起，使邏輯分析儀成為快速找出數位問題、趕上緊迫的設計時程表的首選工具。領先業界的 TLA 系列邏輯分析儀，已經能夠面對今日的挑戰，未來也將會持續解決新興的挑戰。

## 術語表

(爲了方便您參考，本名詞解釋中也包含了本文件中未使用到的常見名詞。)

**振幅**：訊號的量或強度的絕對值。在電子學中，振幅通常表示電壓或功率。

**類比數位轉換器 (ADC)**：能夠將電子訊號轉換成離散二進位值的數位電子元件。

**類比訊號**：電壓爲連續變數的訊號。

**衰減**：在從一個點傳輸至另一點時訊號振幅的減少。

**非同步**：沒有同步化。邏輯分析儀依自己的取樣時脈運作。時脈是獨立的，且不知道待測裝置上的時脈。這是「時脈」擷取模式的基礎。

**頻寬**：頻率範圍，通常限制爲  $-3\text{ dB}$ 。

**球狀矩陣排列 (BGA)**：一種積體電路封裝。

**位元**：狀態可能是 1 或 0 的二進位字元。

**位元組**：數位資訊單位，通常由八個位元組成。

**游標**：螢幕上的標記，可供您將波形對齊，以進行更精確的量測。

**分貝 (dB)**：用來表示兩個電子訊號之間相對功率差異的單位，相當於兩個功率位準比率之常用對數值的十倍。

**數位訊號**：以離散的二進位數字表示電壓取樣的訊號。

**數位示波器**：一種使用類比數位轉換器 (ADC)，將量測到的電壓轉換爲數位資訊的示波器。共有三種類型：數位儲存、數位螢光，和數位取樣示波器。

**數位螢光示波器 (DPO)**：一種維妙維肖地模擬類比示波器的顯示特性，同時提供傳統數位示波器優勢 (波形儲存、自動量測等) 的數位示波器。DPO 使用平行處理架構，將訊號傳遞至水平掃描式的顯示器，即時提供亮度分明的訊號特性檢視。DPO 會以三種維度顯示訊號：振幅、時間，及隨時間變化的振幅分佈。

**數位取樣示波器**：一種使用等時取樣方式擷取和顯示訊號取樣的數位示波器，非常適合精確擷取頻率元件遠高於示波器取樣率的訊號。

**數位儲存示波器 (DSO)：**透過數位取樣擷取訊號的數位示波器 (使用類比數位轉換器)。使用序列處理架構來控制擷取、使用者介面和水平掃描顯示。

**數位化：**水平系統中的類比數位轉換器，在離散的時間點上進行訊號取樣，並將訊號在這些點上的電壓，轉換為所謂「取樣點」的數位值時所使用的程序。

**雙列直插式記憶體模組 (DIMM)：**個人電腦平台中普遍的動態隨機存取記憶體元件封裝設計。

**動態隨機存取記憶體 (DRAM)：**一種將每個位元的資料儲存在各電容中的記憶體。

**待測元件 (DUT)：**接受量測儀器測試的元件。

**全緩衝雙列直插式記憶體模組 (FB-DIMM)：**新一代的記憶體架構。

**細密球狀矩陣排列 (FBGA)：**一種積體電路封裝。

**頻率：**訊號每秒內重複次數的數目，單位為赫茲 (每秒一個週期)。頻率相當於週期的倒數。

**Gigabit (Gb)：**十億位元的資訊。

**Gigabyte (GB)：**十億位元組的資訊。

**Gigahertz (GHz)：**十億赫茲。

**突波：**電路中的間歇性高速錯誤。

**每秒十億傳輸數 (GT/s)：**每秒十億次資料傳輸。

**赫茲 (Hz)：**每秒一個週期。頻率的單位。

**輸入/輸出 (I/O)：**一般指的是訊號進入和離開裝置。

**積體電路 (IC)：**一組元件，其互連線路會蝕刻或銘印在晶片上。

**iCapture™ 多工功能：**透過單一邏輯分析儀探棒，同時提供數位與類比擷取。

**iLink™ 工具組：**由數個元件組成，專為加快問題偵測及疑難排解速度而設計，其中包括：iCapture™ 多工功能、iView™ 顯示功能和 iVerify™ 分析功能。

**iView™ 顯示功能：**在邏輯分析儀顯示器上，提供時間關聯、整合的邏輯分析儀和示波器量測。

**iVerify™ 分析功能：**利用示波器產生的眼狀圖，進行多通道匯流排分析和驗證測試。

**Kilohertz (kHz)：**一千赫茲。

**載入：**探棒和示波器與待測電路的偶發性互動，會造成訊號扭曲。

**邏輯分析儀：**用於讓人看見許多數位訊號的邏輯狀態隨時間之變化的儀器。可分析數位資料，並以即時軟體執行、資料流量值、狀態序列等呈現資料。



**MagniVu™** 擷取技術：位於每一台 TLA 系列邏輯分析儀核心的獨特的高解析度取樣架構。MagniVu 擷取技術可在觸發點四周，以高解析度提供訊號活動的動態記錄。

**Megabit (Mb)**：一百萬個位元的資訊。

**Megabyte (MB)**：一百萬個位元組的資訊。

**Megahertz (MHz)**：一百萬赫茲。

**每秒百萬取樣數 (MS/s)**：相當於每秒一百萬次取樣的取樣率單位。

**微秒 (μs)**：相當於 0.000001 秒的時間單位。

**毫秒 (ms)**：相當於 0.001 秒的時間單位。

**主機板**：電腦的主要系統電路板，其上包含處理器、記憶體控制器、硬碟控制器、輸入/輸出介面晶片組和其他裝置。其他電路板如 DIMM 和視訊卡都會插在主機板上。

**每秒百萬傳輸數 (MS/s)**：每秒一百萬次資料傳輸。

**奈秒 (ns)**：相當於 0.000000001 秒的時間單位。

**雜訊**：電路中不想要的電壓或電流。

**示波器**：用於讓人看見電壓隨時間之變化的儀器。示波器一詞源自「振盪 (oscillate)」，因為示波器通常用來量測振盪的電壓。

**週期**：波完成一個週期所需的時間。週期相當於頻率的倒數。

**前觸發檢視**：數位儀器擷取訊號在觸發事件前之活動的能力。可決定觸發點前方及後方的可觀察訊號長度。

**探棒**：量測儀器輸入裝置，通常擁有銳利的金屬尖端，可用來與電路元件組成電力接點，和連接電路接地參考的導線，以及傳輸訊號和接地至儀器的彈性纜線。

**脈衝**：由快速的上升邊緣，經過一段寬度，以及快速的下降邊緣所組成的一般波形形狀。

**脈衝串**：一組一起傳輸的脈衝。

**脈衝寬度**：脈衝由低至高再回到低值所花的時間量，慣例上於電壓總值的 50% 處量測。

**隨機存取記憶體 (RAM)**：可以任何順序存取資訊的記憶體裝置。

**斜率**：正弦波電壓位準之間的轉態，以固定的速率變換。

**記錄長度**：用於建立訊號記錄的波形點數目。

**上升時間**：脈衝的上升邊緣從其低值上升至高值所花費的時間，通常從 10% 量測至 90%。

**取樣：**將輸入訊號的一部份轉換為離散的電力值，使儀器能夠予以儲存、處理和 (或) 顯示。

**取樣點：**ADC 用來計算波形點的原始資料。

**取樣率：**意指數位量測儀器以什麼樣的頻率為訊號取樣，單位為每秒取樣數 (S/s)。

**訊號完整性：**精確地重建訊號，取決於系統和儀器的效能考慮，以及用於擷取訊號的探棒。

**信號源：**用於將訊號注入電路輸入的測試裝置，電路的輸出則由量測儀器讀取。又稱為訊號產生器。

**待測系統 (SUT)：**接受量測儀器測試的系統。

**同步：**經過同步化的。邏輯分析儀狀態擷取被稱為同步，因為邏輯分析儀會從外部來源，通常是 DUT，接受其時脈資訊。這使得兩台系統同步化，且邏輯分析儀只在 DUT 啟動時擷取資料。這稱為「狀態」擷取模式。

**觸發：**在量測儀器上參照水平掃描的電路。

**觸發延遲：**讓您調整儀器在有效觸發後，有多長的時間無法進行觸發的控制功能。

**觸發位準：**觸發來源訊號必須達到此電壓位準，觸發電路才會開始掃描。

**伏特 (V)：**電位差的單位。

**電壓：**兩點間的電位差，單位為伏特。

**波：**形容隨時間而重複之型式的一般術語。一般的類型包括：正弦波、方形波、矩形波、鋸齒波、三角波、階梯波、脈衝、週期、非週期、同步、非同步。

Copyright © Tektronix, Inc. 版權所有。Tektronix 產品受到已經簽發及正在申請的美國和國外專利的保護。本文中的資訊代替以前出版的所有資料。技術規格和價格如有變更，恕不另行通知。TEKTRONIX 和 TEK 是 Tektronix, Inc 的註冊商標。本文提到的所有其他商標均為各自公司的服務標誌、商標或註冊商標。

2013 年 12 月 Internal/WW

52T-14266-5

**Tektronix**