综合工程设计可行性报告



**课题名称: 简易频率特性测试仪设计**

学 生1： 白洁松 21122359

学 生2： 闫文杰 21121947

学 生3： 何其原 21123067

学 生4： 陈鲲鹏 21121404

组 长： 陈淑慧 21121163

指导老师： 张绍军

完成时间：

# 一、 课题内容概述

## 1.1叙述课题意义及应用

课题要求基于FPGA设计并实现简易频率特性测试仪，频率特性测试仪是一种用于测量电路、系统或设备在不同频率下的响应特性的仪器。它在电子工程和通信领域中具有重要的意义和应用。以下是频率特性测试仪的一些重要意义和应用：

1.性能评估：频率特性测试仪可以用于评估电子设备或系统在不同频率下的性能表现。这对于确保设备在设计规格范围内运行非常重要，同时也有助于识别潜在的设计问题或性能瓶颈。

2.滤波器设计：在设计滤波器时，了解其在不同频率下的传递函数是至关重要的。频率特性测试仪可以帮助工程师评估和优化滤波器的性能，以满足特定的滤波要求，如截止频率、通带波动和阻带衰减等。

3.放大器设计：在放大器设计中，了解其在不同频率下的增益和带宽是至关重要的。频率特性测试仪可以帮助工程师评估放大器的频率响应，并优化设计以满足特定的放大要求，如增益平坦度、带宽和稳定性等。

4.通信系统调试：在通信系统中，了解各个组件在不同频率下的响应特性对于调试和优化系统性能至关重要。频率特性测试仪可以帮助工程师诊断通信系统中的问题，并进行必要的调整和改进。

5.无线电频谱分析：频率特性测试仪可以用于分析无线电频谱，包括信号强度、频率分布和干扰源等。这对于无线电频谱管理、干扰分析和频谱监测非常重要。

6.天线设计和优化：了解天线在不同频率下的增益、辐射模式和驻波比等特性对于天线设计和优化至关重要。频率特性测试仪可以帮助工程师评估和优化天线的性能，以满足特定的应用需求，如通信范围、方向性和功率效率等。

相较于传统的扫频仪，利用手动改变频率的方式逐点进行测量，这种设备的内部结构较为繁琐，体积较大，易被干扰，性价比低，测量到的结果也有不小的误差，操作起来比较麻烦。本课题设计的简易频率特性测试仪，可以降低耗电量随电子产品向小型化、便携化发展对其省电需求将大幅提升系统集成后很多信号的传输就在芯片内部进行这样就可以大幅降低功耗。可以减少体积系统集成可以有效地缩小电路板的面积减轻重量缩小体积。可以丰富系统功能随着微电子技术的发展在相同的内部空间内集成系统可以整合更多的功能元件和组件丰富系统功能。提高速度随着芯片内部信号传递距离的缩短信号的传输效率将提升而使系统性能有所提高。节省成本，可以减少研发成本缩短研发时间。

利用本课题设计的简易频率特性测试仪可以快速定性、定量或动态地测量全部有源、无源二端口和四端口网络的传输、反射特性（电压驻波比或阻抗）及测量输出信号电平、通频带、增益、衰减和等效介电常数等多种电气参数。待测电路包括各种放大器、鉴频器、雷达、滤波器、混频器、调谐器、检波器、双工器、阻抗变换器、频率变换器、短路器等，以及有频率输入响应的各种整机仪器。

## 1.2叙述课题的设计目标和要实现的功能

要求设计的频率特性测试仪能够通过FPGA端对于原始信号和过网络信号进行实时采集，通过UDP以太网传输协议与PC端连接传输数据，并能够在PC端的对应程序实时显示信号的频率特性和相位特性。

对于硬件模块，要求达到以下性能指标：

1.信号范围：500K~10M频率范围的电路网络；

2.FPGA具备产生多种波形的信号输出；

4.与PC端实时通信传输信号

5.按规范设计3D打印、电路原理图、PCB。

对于PC端程序的设计要求：

1.能够接收FPGA发送的数据包，加入错误检测和重传请求，确保数据的准确性和完整性。

2.将接收到的原始数据按照预定格式进行解码，转换成可用的测量数据，对解码后的数据进行数学运算处理。

3.实时显示采集信号的频率特性和相位特性曲线，能够显示波形中各个采样点的频率信息。

4.具备数据库管理功能，可以对于采集输入进行导入备份和数据管理。

5.设计直观的用户界面展示实时测量数据，UI设计合理美观，便于上手操作。

6.考虑兼容性和并发性，确保软件可以在主流操作系统上运行，支持多线程接收处理数据。

## 1.3叙述课题创新点和技术难点

本课题创新点：

1.分析信号的范围与应用，可以在满足分析标准的情况下降低设计成本，具有一定市场潜力。

2.分析处理采用PC端程序处理，进一步降低硬件成本与开发难度，同时便携性。

3. PC端具有数据库管理功能，能够对于采集数据导入和调出，提升用户体验，满足实际生产使用需求。

技术难点：

1.抗匹配与频响特性设计。

2.采集与PC端的UDP协议高速实时通信实现。

3.PC端数据测量和数据库管理的UI设计。

4.PC端实时显示电路网络的频率、相位特性曲线。

## 1.4分析评价本课题对社会、健康、安全、法律、文化、环境及可持续发展等有何影响以及有何促进的意义

本课题设计简易的频率特性测试仪对各个领域都可能产生一系列影响和促进意义：该课题的实施推动了科技创新，提高了社会对于电子测试设备的认知和应用水平。简易的频率特性测试仪的推出可能促进相关产业链的发展，包括电子仪器制造、科研开发等领域。频率特性测试仪可以用于电子产品的质量监控和检测，确保产品的性能稳定和安全可靠。通过测试仪器对电路性能进行评估，有助于确保工业生产中的设备稳定运行，提升安全性。

同时，设计简易的频率特性测试仪有助于企业遵守法规，确保产品符合相关标准和法律法规要求。简易测试仪的设计可以促进相关技术的传播和交流，推动技术文化的发展和普及。设计简易的测试仪器可能降低了对于稀缺资源的需求，有助于促进绿色和可持续发展。通过测试仪器对电路性能进行评估和优化，有助于延长电子产品的使用寿命，减少废弃物产生，从而减少对环境的影响。

# 二、 课题相关市场调研

## 2.1叙述本课题相关的国内外研究或者实施现状

频率特性测试仪(简称扫频仪)是一种测试电路频率特性的仪器,它广泛应用于无线电、电视、雷达及通信等领域,为分析和改善电路的性能提供了便利的手段。而传统的扫频仪由多个模块构成,电路复杂,体积庞大,而且在高频测量中,大量的分立元件易受温度变化和电磁干扰的影响。传统的扫频仪是利用手动改变频率的方式逐点进行测量，这种设备的内部结构较为繁琐，体积较大，易被干扰，性价比低，测量到的结果也有不小的误差，操作起来比较麻烦，很难达到普及 。近年来，随着电子技术的发展，扫频仪也在不断地朝着数字化、小型化、低功耗、低成本的方向发展。而且，直接数字频率合成（DDS）技术 、LCD 显示等技术的更加成熟，进一步推动了扫频仪的发展。

### 2.1.1国外现状

国外在频率特性测试仪领域的研究相对成熟，有许多知名的电子测试设备制造商，如Keysight、Rohde & Schwarz、Anritsu等，提供各类高性能的测试仪器。同时，一些著名的科研机构和大学也开展了相关的研究项目，推动了该领域的技术进步。国外的频率特性测试仪广泛应用于通信、电子、航空航天等领域，用于电路设计、生产制造、故障诊断等工作。这些测试仪器通常具有高精度、高性能，并且支持多种测量模式和功能。同时，国外市场竞争激烈，各大厂商之间竞争激烈，产品不断创新，不断提升性能和功能，以满足不同行业的需求。国外扫频仪多为微波段的网络分析仪，有标量网络分析仪和矢量网络分析仪，主要有美国Agilent公司、Anritsu公司以及ADV公司。由于国外扫频仪价格昂贵，在国内市场销售量极少，以日本小野公司的SR-200型为例，同类产品大概要高于国内产品的10倍以上的价格。

### 2.1.2国内现状

虽然国内起步较晚，且与国外仪器生产技术比较仍然有很大的差距，但国内在频率特性测试仪领域的研究逐渐增多，一些高校、科研院所和企业开始进行相关的研究工作，探索新的测量方法和技术。国内一些电子仪器厂家如中兴通讯、华为、深圳矢量等，开始生产和销售频率特性测试仪器，提供了多种类型和规格的产品，满足国内市场的需求。同时，随着国内电子产业的迅速发展，对频率特性测试仪的需求也在增加。尤其是在通信、电子、汽车等领域，对电路性能的要求越来越高，需要可靠的测试仪器进行验证和检测。

国内主要生产扫频仪的有：徐州隆宇电子仪器、宁波中策电子、成都天大仪器、南京盛普仪器、苏州同创电子等厂家，以生产高、中、低频段的扫频仪为主。国内通用扫频仪的频率范围一般有：低频20Hz～2MHz；中频0.1MHz～50MHz；高频：1MHz～2GHz，另外还有可以调频、调幅，直接数字读出的专用扫频仪。

## 2.2叙述与本课题相关产品的市场与经济状况

通用电子测量仪器属于技术密集型行业，美国、欧洲等发达国家和地区在通用电子测试测量仪器领域起步时间早，同时其在信息技术、测量技术等方面的优势和较早成熟的下游应用领域产业基础，有丰富的产品特别是高带宽、高频率产品的设计和开发经验，在通用电子测试测量领域竞争优势明显。在频谱分析产品领域，领先企业包括是德科技和罗德与施瓦茨。是德科技产品线最为丰富，综合实力最强。

我国通用电子测试测量仪器行业起步相对较晚，在技术上与国外优势企业仍有一定的差距，特别在高带宽、高频率的产品领域技术差距更为明显，国内中高端市场基本被外资占据。国内部分企业通过多年研发投入和技术积累，已基本具备中端市场的技术实力。国内的主要本土领先企业包括鼎阳科技、普源精电、固纬电子、创远仪器等，逐步提升中高端市场份额，引领国内通用电子测量仪器行业国产替代，同时实现全球化布局。

国内外电子测量仪器仪行业企业介绍如下图2.2-1：

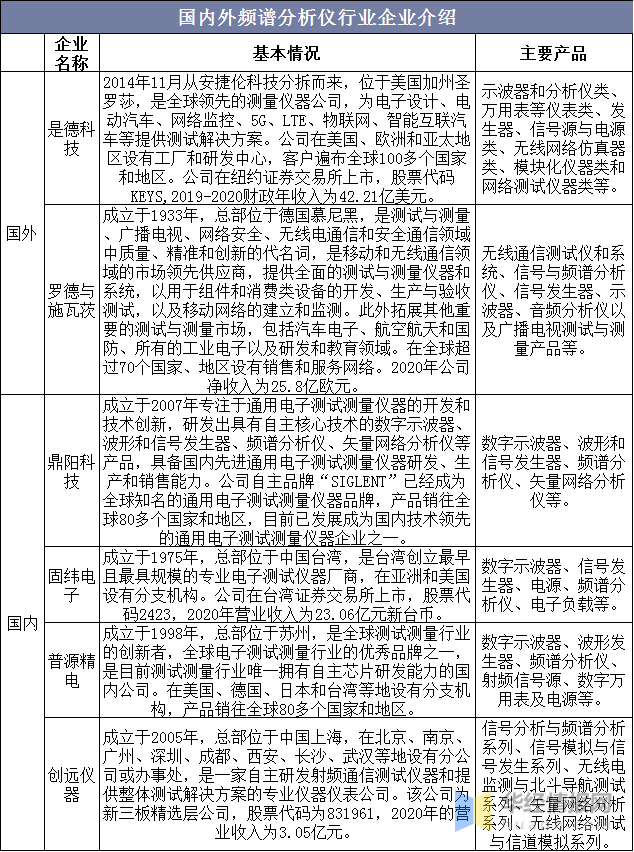


图2.2-1 国内外电子测量仪器行业企业

以下是市场上销量较好的一款频率特性测试仪：

suin数英SA1030C数字频率特性测试仪



图 2.2-2 数英SA1030C

数英SA1030C是一款先进的数字频率特性测试仪，它具有出色的性能和广泛的应用范围。SA1030C数字频率特性测试仪是一种高精度、高稳定性的测试设备，可以用于测量不同设备的频率响应特性。它使用先进的数字信号处理和频率分析技术，能够准确地分析和记录信号的频率分布，从而帮助用户了解被测设备的性能指标。

SA1030C具有多种测试模式和功能，适用于不同的测试需求。它可以进行单频点测试，即测量单一频率点的响应特性，还可以进行频率扫描测试，即扫描一定频率范围内信号的响应特性。同时，SA1030C还支持带有不同窗函数的频谱分析，以及峰值和谷值的测量。这些功能的组合使得SA1030C非常灵活和实用。

SA1030C拥有高质量的硬件和软件设计，确保测量结果的准确性和可靠性。它采用高分辨率的A/D转换器和低噪声的放大器，可以有效地抑制信号干扰和噪声，提供清晰的测试结果。此外，SA1030C还配备了友好的用户界面和易于操作的控制面板，使得操作简便而高效。

SA1030C在多个领域都有广泛的应用。在电子电路设计和研发中，SA1030C可以用来评估电路的频率响应，帮助工程师改进电路设计、优化信号传输，提高设备性能。在音频领域，SA1030C可以用于测试音响设备的频率响应，协助音频工程师调整音箱、优化声音效果。此外，SA1030C还可以应用于无线通信、无损检测、振动分析等领域，为各种设备的调试和优化提供有力的支持。

## 2.3论证课题技术可行性和市场可行性

### 2.3.1技术的可行性

#### 1.输入阻抗匹配技术可行性：

输入阻抗匹配可提高信号传输效率，确保最大能量传输。当信号源的输出阻抗与接收器的输入阻抗匹配时，信号能够以最大功率传输，减少能量损耗和信号反射；也有助于减少信号失真。阻抗不匹配会导致信号反射，影响信号波形，增加信号失真。通过匹配输入阻抗，可以减少信号反射，保持信号波形的完整性，降低失真程度。

阻抗匹配提高系统稳定性。匹配输入阻抗可以降低信号源和接收器之间的反射和干扰，减少系统中出现的不稳定现象，提高系统的工作稳定性和可靠性。

ADC的阻抗匹配问题在特定架构的ADC中显得尤为重要，其会影响数据转换的精度。当往特定接口串入ADC时候，其相当于并联一个阻抗为ADC输入阻抗的元件，故会对电路的分压产生一定的影响。当信号源内阻与ADC输入阻抗相近时，会对ADC精度产生较大的影响。常见的解决方案是保证源端相比于ADC输入阻抗低阻，或者采用输入缓冲器(一般Σ-Δ型ADC内会内置)来提高输入阻抗。

我们可以通过选用输入阻抗高的元器件作下一级负载，如果负载的阻抗不够高，可以用运放搭成跟随器进行阻抗变换。

#### 2.数模转换与模数转换技术可行性：

数模转换（DAC）和模数转换（ADC）技术在电子领域中的可行性是基于其广泛的应用和技术成熟度而建立的。

DAC技术的可行性在于其能够将数字信号转换为模拟信号。这使得数字系统能够与模拟系统进行无缝交互。在音频和视频处理、通信、控制系统等领域，DAC技术都扮演着关键角色。现代DAC技术已经取得了巨大进步，提供了高精度、高稳定性和低功耗的解决方案，使得各种应用能够获得更好的性能和效率。

ADC技术的可行性则在于其能够将模拟信号转换为数字信号。这使得模拟信号能够在数字系统中进行处理、存储和传输。在传感器接口、数据采集、通信系统等领域，ADC技术是不可或缺的。现代ADC技术不仅具有高精度和高灵敏度，还具有快速的转换速度和低功耗的特性，适用于各种高要求的应用场景。

因此，数模转换和模数转换技术的可行性基于其能够满足现代电子系统中对于数字与模拟信号转换的需求，并且不断发展和创新以适应不同领域的需求。这些技术已经在众多应用中得到了验证，为本项目的性能提升和功能增强提供了坚实的基础。

#### 3.使用Python解析数据绘制幅度特性和相位特性可行性分析：

幅度特性：幅度特性本质上反映了待测网络对信号幅度的影响程度，即输入信号和输出信号幅度之间的比例关系。通过测量和比较同一时间段内（我们选择使用1.5个周期长度）原始信号和经网络处理后的信号的最大幅值，我们能够直观地获取这一比例关系。由于信号在经过待测网络后，其最基本的波形特征（如周期性等）保持不变，仅幅度和相位发生变化；其次，选择1.5个周期是为了确保足够的数据点参与到最大值的计算中，从而使结果更为准确和稳定。此外，考虑到实际信号可能包含噪声，选择周期内的最大值而非平均值或其他统计量可以在一定程度上减少噪声的影响，因为最大值更能反映信号能够达到的最高幅度，这对于幅度特性的分析尤为关键。因此，通过比较两个信号在相同周期内的最大值，我们可以直接得到一个简单而有效的幅度特性度量。

相位特性：相位特性本质上揭示了待测网络对信号相位的影响程度，即输入信号与输出信号相位之间的差异关系。通过精确比较在相同时间段内（本实验选择1.5个周期长度）原始信号和经网络处理后的信号的相位差异，我们可以直接捕捉到这一差异关系。选择1.5个周期不仅是为了确保有足够的数据点参与到相位差的计算中，从而使结果更准确和稳定，还因为这样的选择有助于覆盖信号的完整波形，确保我们捕获到代表性的相位信息。此外，这种方法假设信号的相位变化可以通过特定的信号处理技术（如快速傅里叶变换）准确检测，且该技术足以区分微小的相位差异。因此，通过细致地分析两个信号在相同周期内的相位差异，我们得以准确衡量出待测网络的相位特性。

#### 4.使用Python编写上位机与FPGA进行UDP通信可行性分析：

1. 无连接：

优势：UDP是一种无连接的协议，所以它不需要预先建立连接就可以开始发送数据。这使得UDP的开销更小，速度更快，具有低延迟和高效性的特点。

2. 实时性：

优势：UDP没有拥塞控制机制，因此数据的发送不会因为网络的状态而被延迟。这对于传输频率特性以及相位特性数据，实现实时或近实时通信的来说非常有用。

3. 简单：

优势：UDP的协议相对简单，没有复杂的握手过程和错误恢复机制。Python的标准库提供了”socket”模块，可以方便地创建UDP套接字和进行数据传输，这使得制作上位机程序更容易扩展和维护。

4. 轻量级：

优势：UDP头部信息只有8字节，相比TCP的20字节，更加轻量级。这使得更多的带宽可以用于传输实际的数据负载,节省资源开销。

5. 广播和多播：

优势：UDP支持广播和多播，这意味着单个数据包可以被发送到多个接收者，而不需要建立多个连接。

6. 集成能力：

优势：Python良好的集成能力意味着它可以轻易地与其他语言和工具集成，可以调用众多第三方库来方便地与FPGA通信

7.跨平台：

优势：Python是一种跨平台的语言，可以在多种操作系统上运行，比如Windows、Linux和Android。这让编写的上位机程序更加灵活，易于移植。

#### 5.使用 SQLite作为数据库的可行性分析：

1. 轻量级和零配置：

SQLite是一个非常轻量级的数据库，不需要服务器或者专门的安装过程，只需要一个库文件和一个数据库文件就可以开始使用SQLite。这使得SQLite非常容易安装和使用。

2. 自包含：

SQLite是一个自包含的系统，它不需要任何外部依赖。这使得SQLite非常适合于嵌入式系统或者是需要独立运行的应用。

3. 跨平台：

SQLite可以在所有主流操作系统上运行，包括Windows、Linux和macOS。这使得使用SQLite的应用可以在多种平台上运行。

4. 适合小型应用：

优势：对于小规模的数据集，SQLite 提供了足够的性能。它适用于一些小型应用和嵌入式系统，能够满足实时性和稳定性的要求。

#### 6.PyQt界面的可行性分析：

1.丰富的控件：

PyQt提供了大量的预定义控件，如按钮、文本框、滑块、菜单、对话框等，可以帮助创建功能丰富的用户界面。

2.强大的布局管理：

PyQt有很好的布局管理系统，可以帮助创建响应式的用户界面，这些界面可以适应不同的窗口大小和屏幕分辨率。

3.图形绘制：

Matplotlib 可以与 PyQt 集成，方便在 PyQt 界面中嵌入图表，展示时域波形、频域波形等。

4.数据交互：

PyQt 提供了丰富的组件，可以实现用户和系统之间的数据交互，比如设置参数、触发分析等。

**数据库选择：**

在小规模应用场景，尤其是对于实验数据记录和快速原型构建，SQLite 是一个轻量级、易于使用的选择。其嵌入式特性和跨平台支持使得它在项目中的可行性很高。在这个项目中，我们使用 SQLite 存储从FPGA传输到PC端的电路网络的频率、相位特性等数据。

**UI开发：**

对于UI开发，我们选择了 PyQt，这是一个强大而成熟的GUI库。使用 QChart来嵌入图表，并通过 PyQt 提供的组件设计用户友好的界面。

#### 7.FPGA利用DSS产生扫频信号的可行性分析：

**1.DDS基本原理**

DDS(Direct Digital Synthesizer)即**数字合成器**，是一种新型的频率合成技术，具有相对带宽大，频率转换时间短、分辨率高和相位连续性好等优点。较容易实现频率、相位以及幅度的数控调制，广泛应用于通信领域。

DDS的基本结构图如图所示：

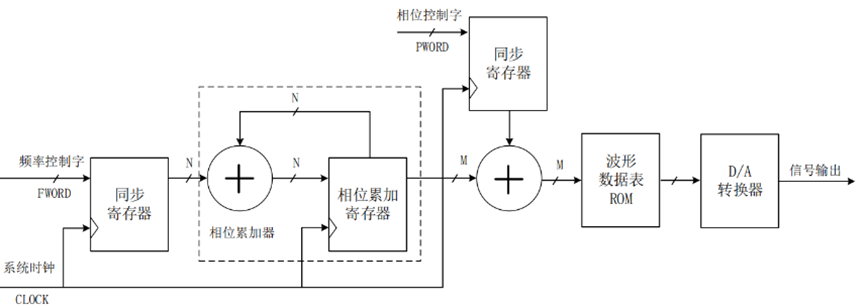


图 2.3.1-1 DDS的基本结构图

由图可以看出，DDS主要由相位累加器、相位调制器、波形数据表以及 D/A 转换器构成。

其中相位累加器由 N 位加法器与N位寄存器构成。每个时钟周期的时钟上升沿，加法器就将频率控制字（相位增量）与累加寄存器输出的相位数据相加，相加的结果又反馈至累加寄存器的数据输入端，以使加法器在下一个时钟脉冲的作用下继续与频率控制字相加。这样，相位累加器在时钟作用下，不断对频率控制字进行线性相位累加。即在每一个时钟脉冲输入时，相位累加器便把频率控制字累加一次。

相位累加器输出的数据就是合成信号的相位。相位累加器的溢出频率，就是DDS输出的信号频率。相位累加器输出的数据，作为波形存储器的相位采样地址，这样就可以把存储在波形存储器里的波形采样值经查表找出，完成相位到幅度的转换。波形存储器的输出数据送到D/A转换器，由D/A转换器将数字信号转换成模拟信号输出。

DDS 信号流程示意图如图所示：

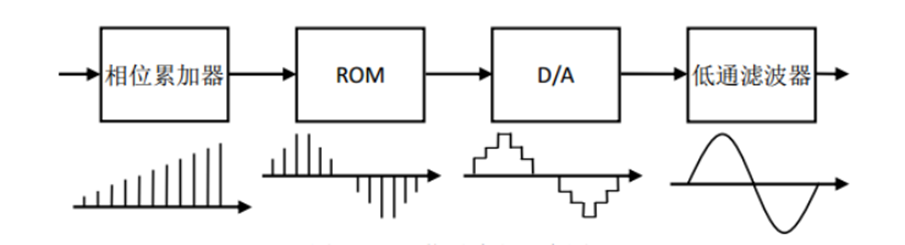


图 2.3.1-2 DDS 信号流程示意图

**2.扫频**

扫频是一种通过在一定频率范围内变化信号频率的过程。在扫频过程中，信号的频率会从一个起始频率连续地变化到一个结束频率，可以是单向的（从低到高或从高到低），也可以是双向的（来回扫描）。扫频可以以不同的速率进行，从较慢的扫频到快速的扫频，取决于应用的需要。

扫频可以分为线性扫频和指数扫频，如下图所示：

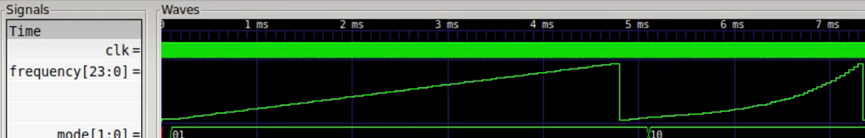


图 2.3.1-3 线性扫频图

图中第一段频率增长位线性增长；第二段频率增长为指数增长

所以，为了实现DDS扫频信号发生器，可以使用DDS IP核，设置频率控制字（相位增量），将频率控制字设置为可编程模式，之后编写Verilog代码不停的变换频率控制字的大小，即可完成不同频率波形的生成。

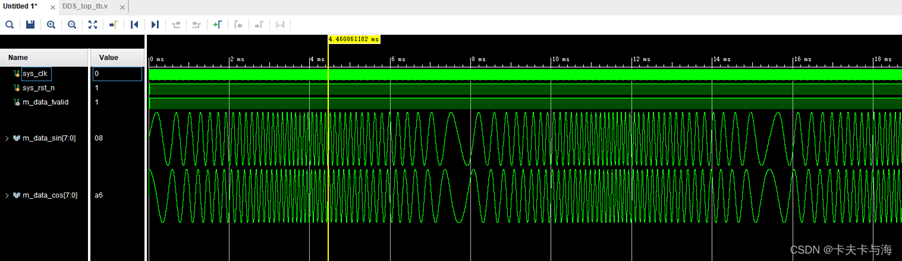


图 2.3.1-4 指数扫频图

### 2.3.2市场的可行性

随着电子产品的不断发展和普及，对频率特性测试仪的需求也在增加。各个行业对电路频率特性和相位特性的测试需求日益增长。但我们不难发现，我国现在的频率特性测试仪市场上存在着这样的现象:需要用频率特性测试仪的场合和用户很多但真正能够拥有和使用频率特性测试仪的用户却很少。形成这种现象的主要原因是市场上的频率特性测试仪的价格较高而实际用户的购买力不足。我国的频率特性测试仪市场上既有国外知名仪器公司的产品，也不乏国内一些生产厂家生产的产品。国外著名仪器公司出品的频率特性测试仪大多种类齐全性能良好技术含量高;而国内产品相对来说技术水平和性能方面不及国外产品。但无论是国内产品还是国外产品其价格都是很高的，因此本课题所研究的简易频率特性测试仪便有了重要意义。

## 2.4成本预估

表1 成本

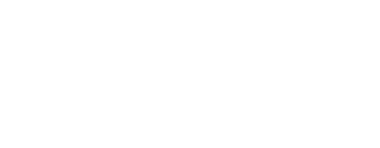
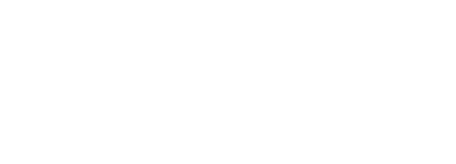
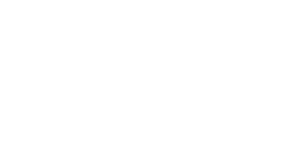
|  |  |
| --- | --- |
| **产品型号** | **价格** |
| LDO AMS1117 | 0.5元/个（10个需要5元） |
| DCDC  MC34063A | 0.75元/个（买5个3.75元） |
| AD9280（ADC） | 45元 |
| AD9708 （DAC） | 82元 |
| PCB | 50元 |
| 3D打印 | 100元 |
| 总计 | 285.75元 |

销售对象：大学学生（对频率特性测试仪精度要求不太高，但购买力不足的人）

# 三、 课题实施方案

## 3.1叙述课题设计的基本技术路线

该项目的基本技术路线可以描述如下：

1.DDS实现扫频信号源发生器：利用Verilog调用DDS IP核选择时钟频率fc和频率控制字，利用计算所需要的输出频率，当已知目标频率，求频率控制字M时，。频率分辨率（即频率的变化间隔）：，所以相位累加器位长越大，频率分辨率越高。

2.FPGA实现UDP协议：在FPGA中实现UDP协议栈，包括UDP数据包的封装、解包、数据传输控制等功能。这需要使用FPGA内部资源来实现网络通信模块，并将数据封装成UDP数据包进行传输。

3.与PC端程序通信：利用FPGA的以太网接口，将采集到的各个频率下的波形数据通过UDP协议发送到PC端，同时在PC端编写Python程序通过UDP接收各个频率下的波形数据。Python程序需要实现数据的解析、信号处理和分析功能。

4.信号分析功能实现：在PC端的Python程序中，通过使用快速傅里叶变换（FFT）、相位计算、滤波等算法，对接收到的电路网络的频率和相位特性进行分析。Python中提供了许多科学计算库可以方便处理数据，如Pandas、SciPy、Numpy等，图形显示可以使用比较成熟的Pyqt、matplotlib等。

5.频率特性测试仪设计：将以上功能整合在一起，设计一个用户友好的界面，使用户能够实时监测各个频率下信号的频率与相位特性，包括波形显示、频谱分析、相位分析等。

## 3.2论证课题总体设计方案

设计系统的整体设计方案如图3.1所示，整个系统包括ADDA模块、待测电路模块、FPGA模块和PC端程序组成。首先使用FPGA产生不同频率的信号可以通过实现一个数字信号发生器（DDS）在FPGA中完成，DDS可以精确地控制输出信号的频率，通过DA转换的信号会经过待测网络，再通过AD转换回来的信号和原始发送的信号一起打包。这个打包过程可以通过FPGA实现，将两种信号组合在一起，形成一个数据包。通过PHY物理层芯片将数据转换为双绞线的差分信号传输，通过RJ45连接器和双绞线与电脑的网口连接实现信号传输。使用UDP协议上传数据包到PC，上位机软件可以接收UDP协议传输过来的数据，然后进行频率和相位特性的分析。上位机端程序设计前端采用PyQT／PySide2实现GUI开发，后端编写UDP接受协议读取数据，调用Python相关信号处理包实现信号特性测量和SQL数据库连接。

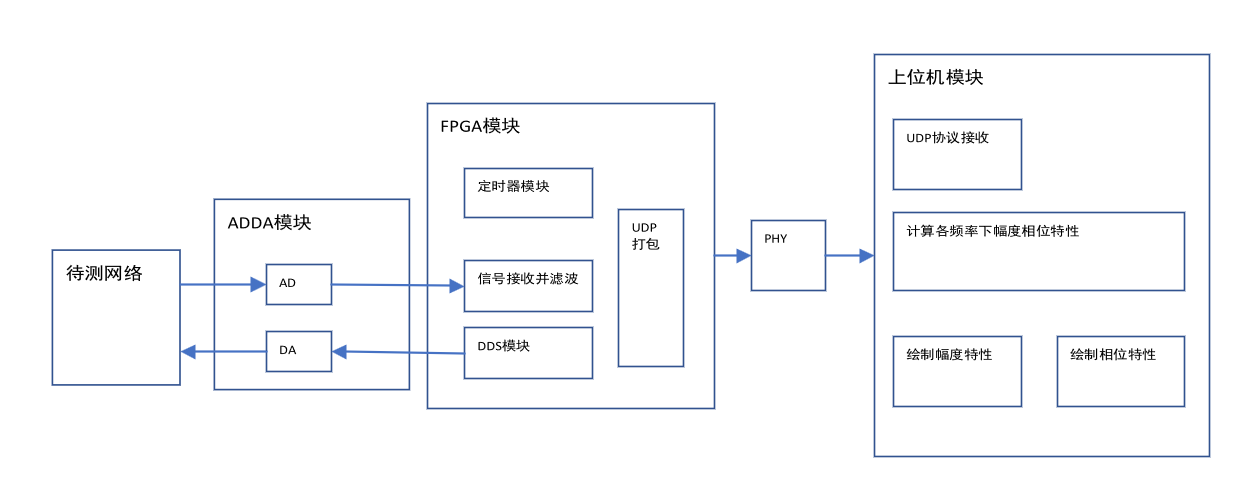


图3.2-1 系统结构图

## 3.3论述课题涉及的核心模块及技术

### 3.3.1电源模块设计

因为本项目目前需要使用5v，3.3v供电，所以我们通过加入5v电源，并且降压至3.3v使用。这里的实现方式有两种，分别是DCDC电路和LDO稳压电路。

DCDC的意思是直流变（到）直流（不同直流电源值的转换），只要符合这个定义都可以叫DCDC转换器。DCDC转换器常见的三种拓扑结构分别为Buck（降压型DCDC转换器）、Boost（升压型DCDC转换器）、Buck-Boost（升降压DCDC转换器），简易拓扑结构图如下所示：

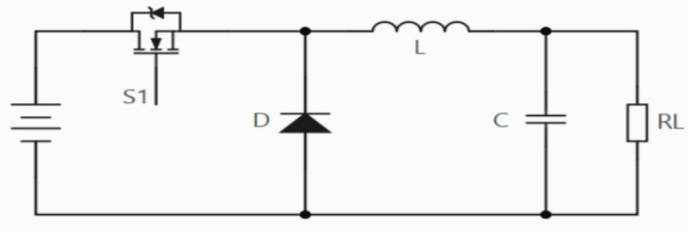


图 3.3.1-1 Buck

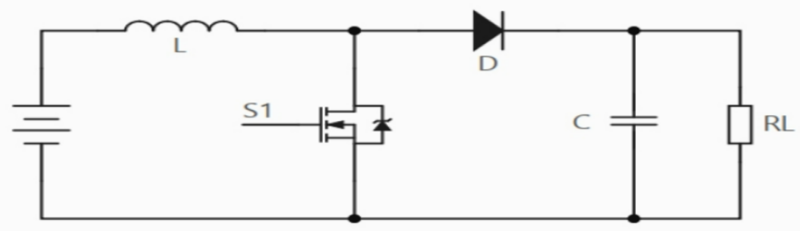


图 3.3.1-2 Boost

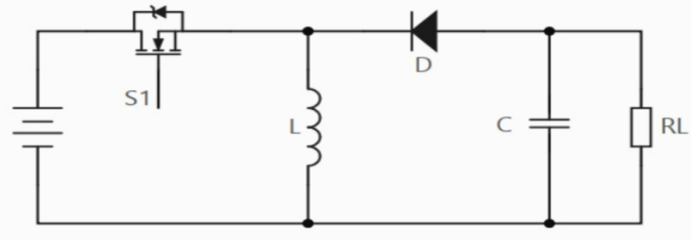


图 3.3.1-3 Buck-Boost

DC-DC转换器包括升压、降压、升/降压和反相等电路。DC-DC转换器的优点是效率高、可以输出大电流、静态电流小。随著集成度的提高，许多新型DC-DC转换器仅需要几只外接电感器和滤波电容器。但是，这类电源控制器的输出脉动和开关噪音较大、成本相对较高。

LDO，低压差线性稳压器（Low Dropout Regulator）。工作原理就一句话：反馈，通过比较运放器来调节MOS饱和状态下的线性阻值，进而调节Vi到Vo两端的压差。内部是线性调整管、比较运放器、采样反馈电路、基准电压。

1、线性调整管，相当于一个压控的可变电阻。

2、比较运放器，放大器，控制MOS的打开程度。

3、反馈与基准电压，作为运放的反向电压，将LDO的输出电压通过分压作为运放的正向输入电压。

LDO和DC-DC俩者性能指标差异主要是：线性稳压电源（LDO）的输出电压纹波小，然而在输入工作电压和输出电压相距比较大时转换成工作效率较低，只有降压不可以升压。开关稳压电源（DC-DC）的纹波大，然而在输入工作电压和输出电压相距比较大时转换成工作效率较高，并能完成升、降压输出。具体细节区别如下所示:

* LDO外围器件少，电路简单，成本低；DC-DC外围器件多，电路复杂，成本高；
* LDO负载响应快，输出纹波小；DC-DC负载响应比LDO慢，输出纹波大；
* LDO效率低，输入输出压差不能太大；DC-DC效率高，输入电压范围宽泛；
* LDO只能降压；DC-DC支持降压和升压；
* LDO和DC-DC的静态电流都小，根据具体的芯片来看；
* LDO输出电流有限，最高可能就几A，且达到最高输出和输入输出电压都有关系； DC-DC输出电流高，功率大；
* LDO噪声小；DC-DC开关噪声大，为了提高开关DC-DC的精度，很多应用会在DC-DC后端接LDO；
* LDO分为可调和固定型；DC-DC一般都是可调型，通过FB反馈电阻调节

通过对比，本项目需要给放大器提供-5v和5v两个电压，其他器件还需要3.3v电压。为了减少信号干扰，降低成本，我们选择LDO电路来负责降压，选择DC-DC模块实现+5v转-5v给后面的运放供电。

综合考虑下，稳压芯片选择AMS1117，它是一个正向低压降稳压器，有多种固定电压，具有1%的精度，内部集成了过热保护和限流电路，是便携式供电的不错选择。



图 3.3.1-4 AMS1117 参数图

DCDC芯片选择MC34063A，MC34063A 为一单片 DC-DC 变换集成电路，内含温度补偿的参考电压源（1.25V）、比较器、能有效限制电流及控制工作周期的振荡器，驱动器及大电流输出开关管等。外配少量元件，就能组成升压、降压及电压反转型 DC-DC 变换器。



图 3.3.1-5 MC34063A 参数图

### 3.3.2 ADC电路设计

#### 选型要求

根据题目要求，我们频率特性测试仪的频率最高可达10Mhz，根据奈奎斯特采样定律可知，我们应该至少选取满足20Mhz采样率的ADC芯片。除此之外，本项目的实现方式对于采样精度要求并不高，仅需选取特定点进行比较，因此我们选取8位的分辨率。再结合成本的考量我们最终选取了AD9280芯片进行模数转换。

内部结构如图所示：

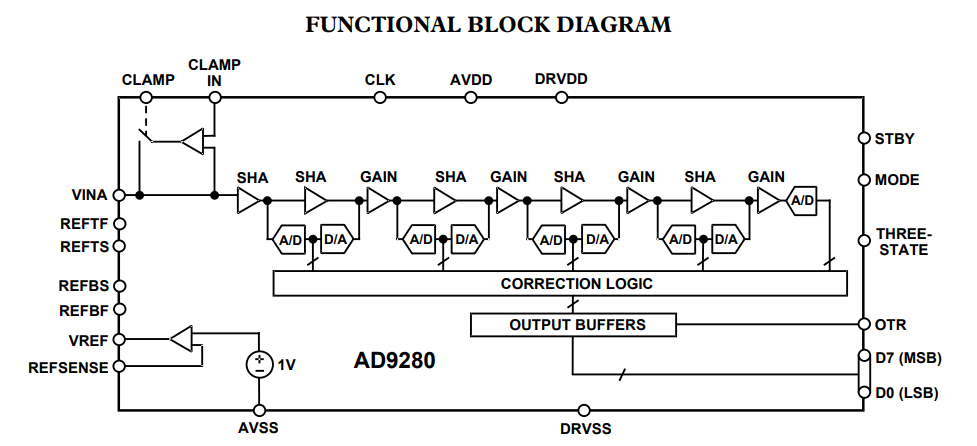


图 3.3.2-1 AD9280芯片内部结构图

参数指标如图所示：

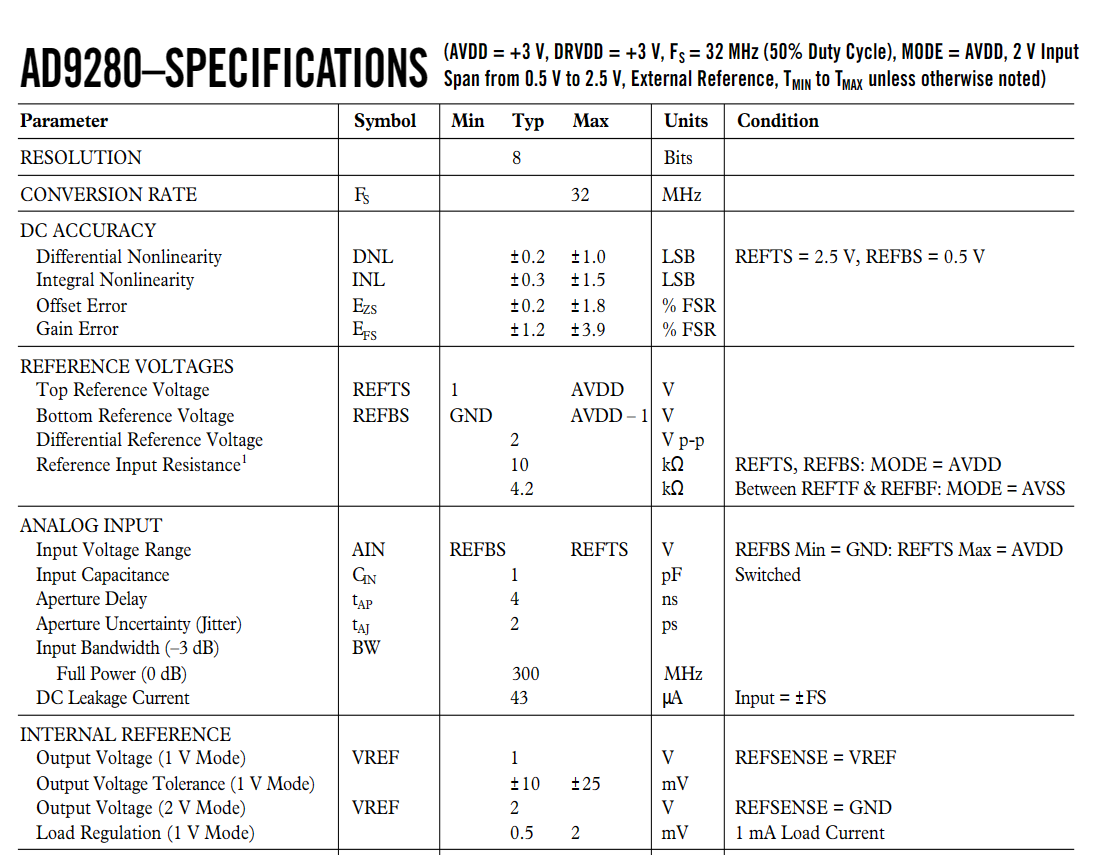


图 3.3.2-2 AD9280芯片参数指标图

通过查阅手册，我们分析了他的一些其他性能指标：

* 功耗：95mW（3V电源）
* 分辨率：8位
* 采样率：32Mhz
* 工作电压范围：2.7V-5.5V
* 微分线性误差：0.2 LSB

它采用单电源供电，供电电压均满足电源电路设计要求，内置基准电压源和一个片内采样保持放大器，在工作温度范围内保证无失码，非常契合我们的设计要求。

#### 工作模式

通过查阅芯片手册，AD9280工作模式通过相关引脚硬件连接进行设置，通过下图引脚连接方式可以看出，AD芯片再TOP/BOTTOM模式，输入信号带宽为2V。

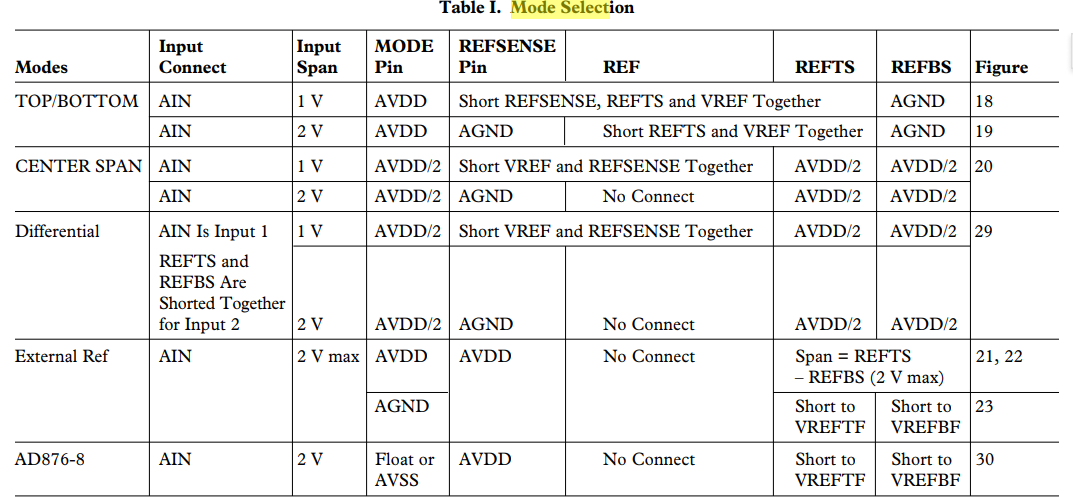


图 3.3.2-3 AD9280芯片手册

此模式下在典型电路设计如下图所示，此时Vref输出为2V：



图 3.3.2-4 相关电路设计图

所以电路设计要求：

* 参考典型电路设计。
* 满足信号输入带宽。

#### 电路设计

结合芯片手册的参考电路与实际所需要求，设计电路如下图所示：

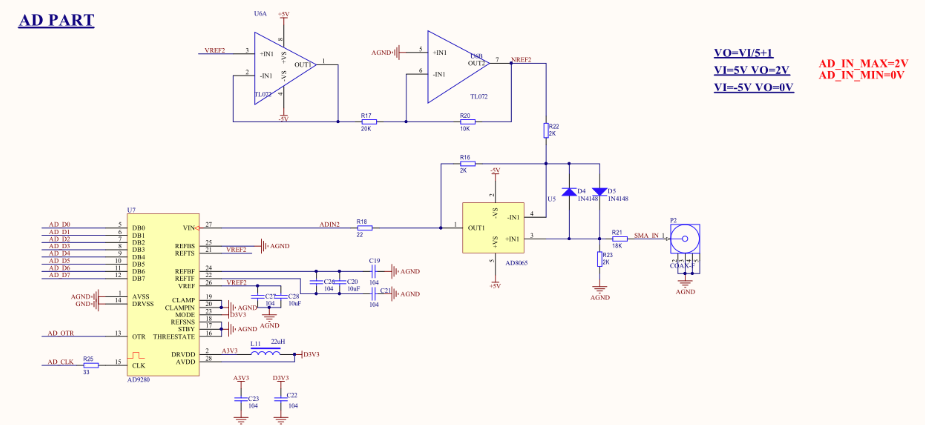


图 3.3.2-5 电路设计图

* 左半部分为典型电路设计。
* 上半部分利用反向比例放大器和电阻分压原理将DA输出的-5V-5V电压转化为输入的0-2V，满足AD芯片输入电压范围。

### 3.3.3 DAC电路设计

#### 选型要求

DAC芯片与DAC芯片有着相同的选型要求，通过查阅资料，综合考虑下我们选择AD9708芯片，该芯片具有8位分辨率，125MSPS采样率，输入参考电压为3-5V，内置1.2V参考电压，8bit数字信号输入，差分电流输出。

内部结构如图：

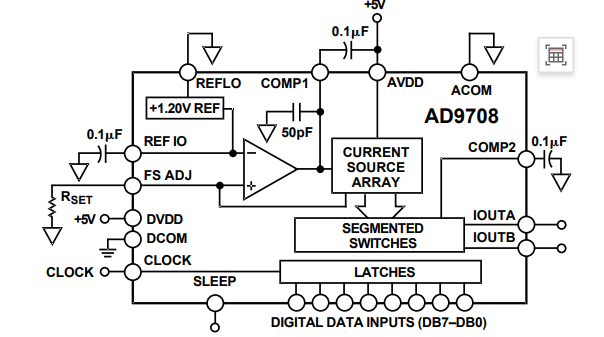


图 3.3.3-1 AD9708芯片内部结构图

参数指标：

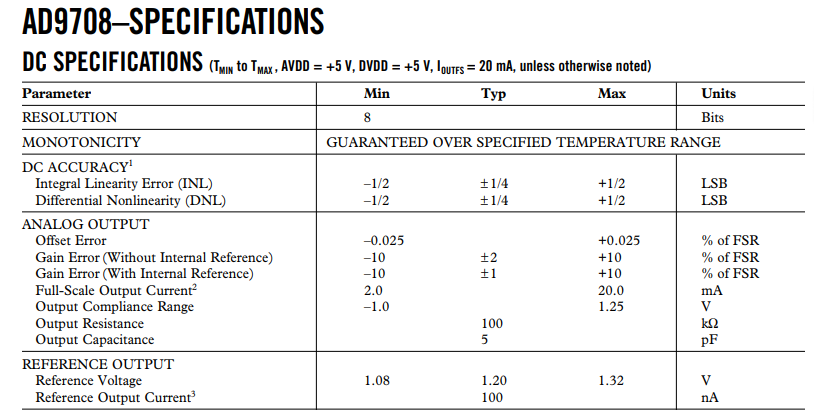


图 3.3.3-2 AD9708芯片参数指标

#### 电路设计

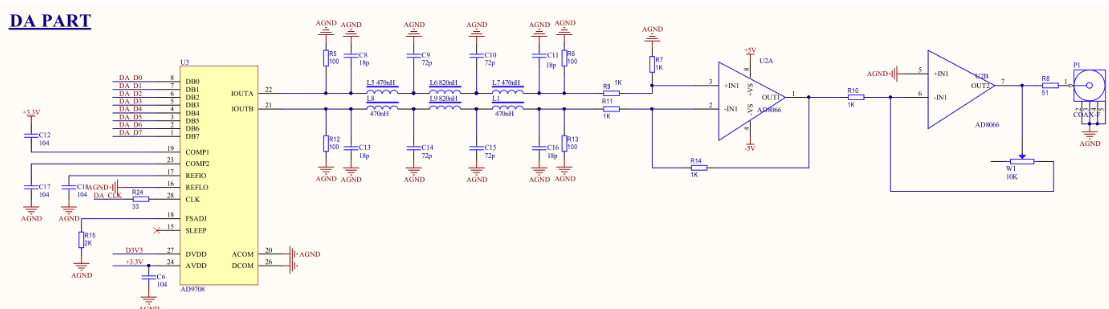


图 3.3.3-3 电路设计图

##### 信号滤波

因为AD9708是差分输出，所以我们需要用放大器实现差分转单端的功能，为了防止信号干扰，保持波形输出完美的线条，我们使用巴特沃斯低通滤波器（7阶），可以实现40Mhz以下的低通，以滤除高频分量，是我们的低频信号通过，下图为电路结构和滤波器频谱图：

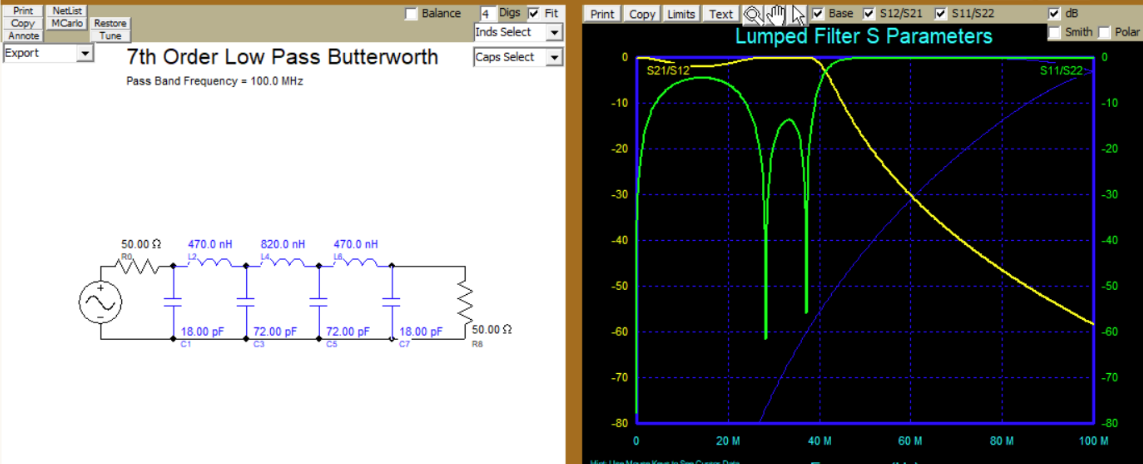


图 3.3.3-4 电路结构和滤波器频谱图

##### 差分转单端与放大

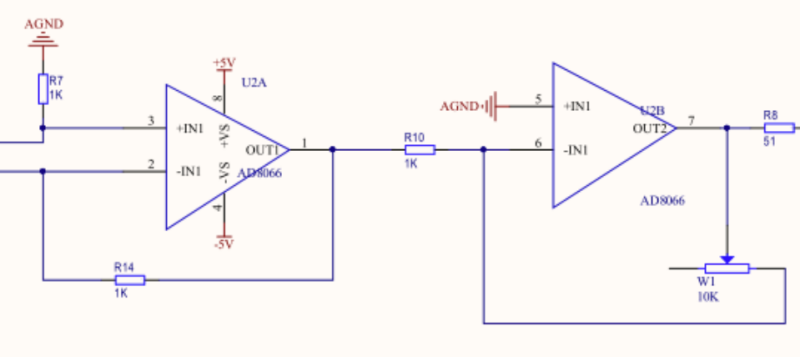


图 3.3.3-5 差分转单端与放大

要是信号通过待测网络当然要将信号转化为单端输出。首先经过一个AD8066进行缓冲——差分信号转化为单端信号；然后再经过一个AD8066进行放大，差分放大器模型为：

VOUT = R2/R1 (V1 – V2 ) = R4/R3 (V1 – V2 )

放大器部分采用反向比例放大器，最终输出V=-R1/R10。可以通过调节变阻器改变输出波形的大小。

### 3.3.4 待测电路设计

待测电路通过搭建一个简易的低通/高通网络即可完成，对于这个模块要求较低。对开发者来说待测电路是一个黑盒子，任何种类的低通/高通的频率特性都必须可以通过本项目测出，所以这里我们使用面包板和简单元器件来搭建待测电路，体现了待测电路的随机性。



图 3.3.4-1 RC低通电路

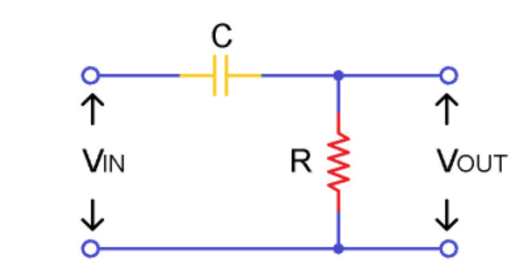
、

图 3.3.4-2 RC高通电路

## 3.4课题相关软件结构和主要模块流程设计

#### 3.4.1 FPGA协议栈的实现

（1）下图为从FPGA出发到物理层模块再到用户网口的结构图：

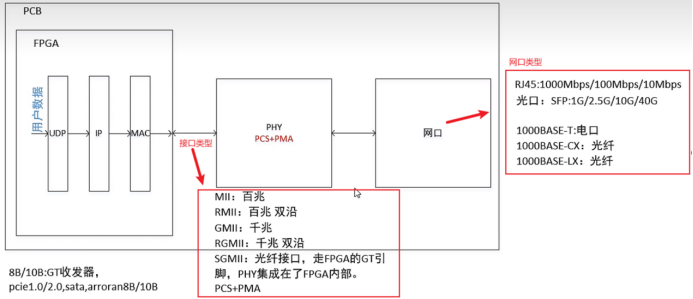


图3.4.1-1 FPGA出发到物理层模块再到用户网口的结构图

FPGA与PHY芯片、网络接口的连接关系（PHY芯片以RTL8211为例）：

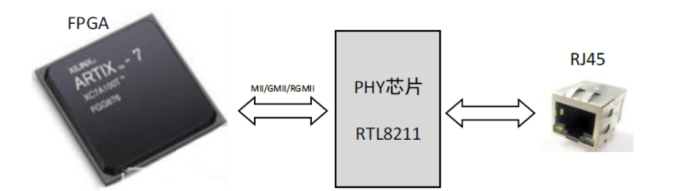


图3.4.1-2 FPGA、PHY和RJ45连接

MAC 侧向 PHY 侧传输数据的引脚连接示意图和时序图如下（选择MII端口）：

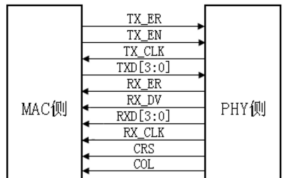


图3.4.1-3 MAC 侧向 PHY 侧传输数据的引脚连接示意图

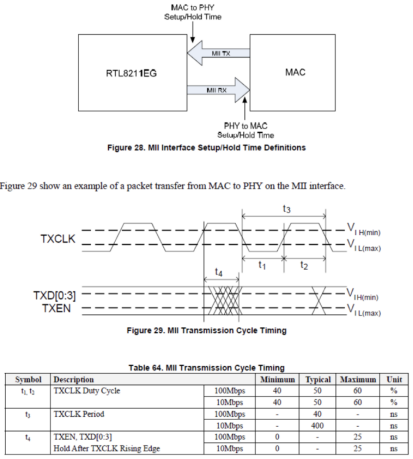


图3.4.1-4 MAC 侧向 PHY 侧传输数据的时序图

（2）关于UDP

首先先看IP的数据格式，如下图：

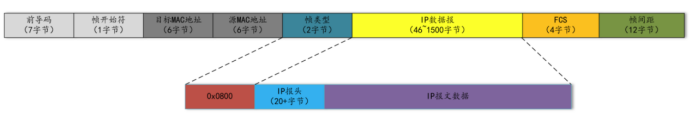


图3.4.1-5 IP的数据格式

IP的首部字段定义如下图：

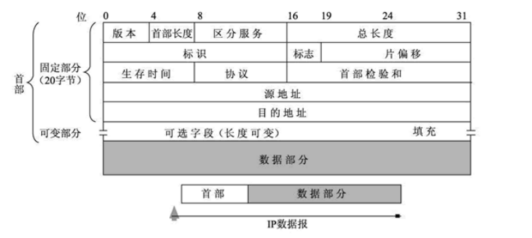


图3.4.1-6 IP的首部字段定义

其中的“协议”表示该数据报文所携带的数据所使用的协议类型，占 8 位。该字段可以方便目的主机的 IP 层知道按照什么协议来处理数据部分。不同的协议有专门不同的协议号。UDP 的协议号为 17。

然后再来看UDP数据格式：UDP协议位于 OSI 七层模型中的传输层，数据结构如下图：

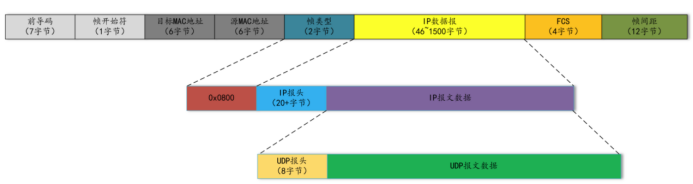


图3.4.1-7 UDP数据格式

UDP 报文结构示意图具体见下图：



图3.4.1-8 UDP 报文结构

各个数据部分的含义不做过多解释，主要先了解结构。

UDP数据发送模块需要按照以太网的帧数据格式将数据发送，采用状态机的方式实现。设计模块主要包含如下几部分：

1、IP首部校验和计算模块；

2、FCS计算模块（CRC32）；

3、UDP数据发送主模块；

#### 3.4.2 FIFO以及时钟电路产生的IP核实现

下图为使用 FIFO 进行异步数据收发的简易系统框图。

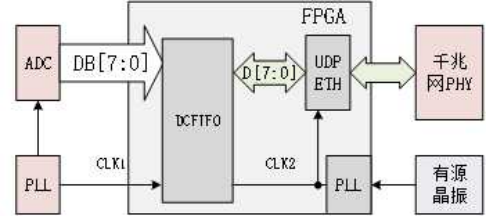


图3.4.2-1 FIFO 进行异步数据收发的简易系统框图

在此系统中，由于 ADC 的数据位宽为 8 位，基于 UDP 协议的以太网发送模块所需的数据也是 8 位，因此使用的是读写数据宽度相同的双时钟 FIFO 结构。假如 CLK1 的频率为20M，ADC 的数据位宽为 16 位，则可以使用读写数据位宽不同的双时钟 FIFO，在实现异步时钟域数据收发的同时，实现数据位宽的转换。通过设置双时钟 FIFO 的写入位宽为 16位，读取位宽为 8 位，则可以实现将 16 位的 ADC 数据转换为以太网支持的 8 位发送数据，然后通过以太网发送到 PC 机。

**3.4.3 主程序设计实现**

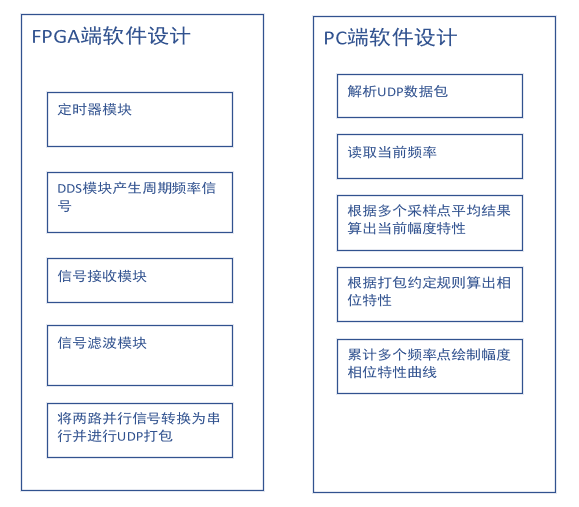


图3.4.3-1 主程序流程图

# 四、工程实施计划

给出课题实施在10周内的安排，10周的总体安排参考工程教育实施细则，包括开题、实施、成果检查等。在实施细则的框架下，给出小组具体实施该课题的进度计划和课题组详细分工（一般用表格的形式）。

## 4.1 工程实施总体进度计划

这部分给出课题实施的10周进度安排。如表2所示。

表2 课题实施进度安排

|  |  |
| --- | --- |
| 时间 | 进度安排 |
| 第一周 | 选定课题，做相关的市场调研 |
| 第二周 | 基于市场调研初步制定出系统的整体框架，细化预期功能，做出十周的详细计划，购买对应的FPGA和模块 |
| 第三周 | DDS信号输出设计  FPGA总体模块设计  硬件原理图绘制与PCB layout  上位机信号测量部分 |
| 第四周 | FPGA 信号接收部分实现  PCB layout基本完成 送往印刷  上位机软件信号测量与GUI设计  DDS信号输出调试 |
| 第五周 | FPGA UDP传输模块设计  PCB 焊接 初步调试  上位机软件GUI设计功能实现  完整输出DDS扫频信号 |
| 第六周 | FPGA UDP传输模块设计，仿真实现FPGA基本功能  PCB焊接调试完成，在FPGA端调用signal tap能够显示信号波形  上位机编写UDP接收模块 |
| 第七周 | 各模块功能基本实现，联合测试  PCB部分测试无误进行装配和3D外壳设计  UDP协议收发模块联合调试，进一步调试修改 |
| 第八周 | 完成PCB和外壳的装配与演示  UDP实现协议收发协议测试修改完成  联合调试UDP收发与上位机信号测试显示 |
| 第九周 | 完善所有模块功能  美化GUI设计，优化PC端代码  完成项目报告 |
| 第十周 | 联合调试，展示验收 |

## 4.2 工程实施小组成员分工

以某种形式给出小组成员的分工安排。如表3所示。

表3 小组成员分工

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| **时间\姓名** | **何其原** | **闫文杰** | **陈鲲鹏** | **白洁松** | **陈淑慧** |
| **第一周** | 根据任务分配调研 | 根据任务分配调研 | 根据任务分配调研 | 根据任务分配调研 | 根据任务分配调研 |
| **第二周** | 撰写可行性报告 | 主要撰写可行性报告 | 撰写可行性报告 | 主要撰写可行性报告 | 撰写可行性报告 |
| **第三周** | 熟悉UDP传输协议，编写python代码接收UDP发送的内容 | 确认方案，绘制PCB板的原理图，验证后进行初步打样。  同时进行元器件采购 | 熟悉DDS的原理，具体的操作，学习FPGA的基础知识 | 熟悉UDP传输协议基本知识；  学习qurtus使用 | 学习FPGA相关资料 |
| **第四周** | 解析接收到的信息，并使用图形显示 | PCB焊接与调试，验证功能并且进行测试 | 尝试利用Quartus软件进行DDS IP核的调用，进行基础的配置 | 尝试接受adc采集的数据、测试FIFO的IP核的使用 | 辅助编写FPGA模块 |
| **第五周** | 解析接收到的信息，并使用图形显示 | 验证功能，PCB优化、改版、重制 | 编写Verilog运行代码 | 参与编写UDP传输模块设计 | 辅助编写FPGA模块机动、调试 |
| **第六周** | 设计UI界面，美化界面 | 安装测试，调整软硬件接口，优化信号结构确保完整性 | 运行Verilog代码，比进行仿真 | 参与编写UDP传输模块设计 | 与FPGA负责人共同调试 |
| **第七周** | 优化代码，美化界面 | 联合调试，总结问题 | 联合调试，实际输出波形 | 联合调试，修改FPGA代码 | 调试、机动，3D外壳设计 |
| **第八周** | 优化代码，美化界面 | 联合调试，解决问题 | 联合调试，根据实际需求，修改DDS的IP核设置 | 联合调试，修改FPGA代码 | 调试、机动，3D外壳设计 |
| **第九周** | 调试代码 | 联合调试 | 联合调试 | 联合调试 | 完成整机的装配、调试 |
| **第十周** | 联合调试，答辩 | 联合调试，答辩 | 联合调试，答辩 | 联合调试，答辩 | 联合调试 |

# 参考文献

[1]张强,崔永俊.基于FPGA与DDS的频率特性测试仪的设计[J].电子设计工程,2021,29(07):129-133.DOI:10.14022/j.issn1674-6236.2021.07.028.

[2]肖素华.基于零中频正交解调的频率特性测试仪设计[J].电子技术,2023,52(07):31-33.

[3]杨艳花.低成本频率特性测试仪的设计与实现[D].太原理工大学,2006.

[4]濮霞,李楠,陶炳坤.简易频率特性测试仪的设计与制作[J].电子设计工程,2019,27(08):44-48+53.DOI:10.14022/j.cnki.dzsjgc.2019.08.010.

[5]张雅希,任超.简易频率特性测试仪的设计与实现[J].无线互联科技,2019,16(21):61-62.