

# SDRAM 的工作原理

原创 2016 年 05 月 10 日 11:01:15

- 1446

SDRAM 的工作原理、控制时序、及相关控制器的配置方法一直是嵌入式系统学习、开发过程中的一个难点。掌握 SDRAM 的知识对硬件设计、编写系统启动代码、提高系统存取效率、电源管理都有一定的意义。本文想通过：

- 1.SDRAM 的工作原理。
- 2.HY57V561620 SDRAM 介绍。
- 3.S3C2410 和 HY57V561620 的接线方法。
- 4.S3C2410 SDRAM 控制器的配置方法。
- 5.SDRAM 控制时序分析

这 5 个方面来帮助初学者了解 SDRAM。文章分为 2 篇，第 1 篇讲解前 3 个知识点，第 2 篇讲解后 2 个。

## 一、SDRAM 的工作原理

SDRAM 之所以成为 DRARM 就是因为它要不断进行刷新（Refresh）才能保留住数据，因此它是 DRAM 最重要的操作。

那么要隔多长时间重复一次刷新呢？目前公认的标准是，存储体中电容的数据有效保存期上限是 64ms（毫秒，1/1000 秒），也就是说每一行刷新的循环周期是 64ms。这样刷新速度就是：行数量/64ms。我们在看内存规格时，经常

会看到 4096 Refresh Cycles/64ms 或 8192 Refresh Cycles/64ms 的标识, 这里的 4096 与 8192 就代表这个芯片中每个 Bank 的行数。刷新命令一次对一行有效, 发送间隔也是随总行数而变化, 4096 行时为  $15.625\mu\text{s}$  ( 微秒,  $1/1000$  毫秒 ), 8192 行时就为  $7.8125\mu\text{s}$ 。HY57V561620 为 8192 refresh cycles / 64ms。

SDRAM 是多 Bank 结构, 例如在一个具有两个 Bank 的 SDRAM 的模组中, 其中一个 Bank 在进行预充电期间, 另一个 Bank 却马上可以被读取, 这样当进行一次读取后, 又马上去读取已经预充电 Bank 的数据时, 就无需等待而是可以直接读取了, 这也就大大提高了存储器的访问速度。

为了实现这个功能, SDRAM 需要增加对多个 Bank 的管理, 实现控制其中的 Bank 进行预充电。在一个具有 2 个以上 Bank 的 SDRAM 中, 一般会多一根叫做 BAn 的引脚, 用来实现在多个 Bank 之间的选择。

SDRAM 具有多种工作模式, 内部操作是一个复杂的状态机。SDRAM 器件的引脚分为以下几类。

( 1 ) 控制信号: 包括片选、时钟、时钟使能、行列地址选择、读写有效及数据有效。

( 2 ) 地址信号: 时分复用引脚, 根据行列地址选择引脚, 控制输入的地址为行地址或列地址。。

( 3 ) 数据信号: 双向引脚, 受数据有效控制。

SDRAM 的所有操作都同步于时钟。根据时钟上升沿控制管脚和地址输入的状态, 可以产生多种输入命令。

模式寄存器设置命令。

激活命令。

预充命令。

读命令。

写命令。

带预充的读命令。

带预充的写命令。

自动刷新命令。

自我刷新命令。

突发停命令。

空操作命令。

根据输入命令，SDRAM 状态在内部状态间转移。内部状态包括模式寄存器设置状态、激活状态、预充状态、写状态、读状态、预充读状态、预充写状态、自动刷新状态及自我刷新状态。

SDRAM 支持的操作命令有初始化配置、预充电、行激活、读操作、写操作、自动刷新、自刷新等。所有的操作命令通过控制线 CS#、RAS#、CAS#、WE#和地址线、体选地址 BA 输入。

## 1、行激活

行激活命令选择处于空闲状态存储体的任意一个行，使之进入准备读/写状态。从体激活到允许输入读/写命令的间隔时钟节拍数取决于内部特征延时和时钟频率。HY57V561620 内部有 4 个体，为了减少器件门数，4 个体之间的部分

电路是公用的，因此它们不能同时被激活，而且从一个体的激活过渡到另一个体的激活也必须保证有一定的时间间隔。

## **2、预充电**

预充电命令用于对已激活的行进行预充电即结束活动状态。预充电命令可以作用于单个体，也可以同时作用于所有体（通过所有体预充电命令）。对于猝发写操作必须保证在写入预充电命令前写操作已经完成，并使用 DQM 禁止继续写入数据。预充电结束后回到空闲状态，也可以再次被激活，此时也可以输入进入低功耗、自动刷新、自刷新和模式设置等操作命令。

预充电中重写的操作与刷新操作一样，只不过预充电不是定期的，而只是在读操作以后执行的。因为读取操作会破坏内存中的电荷。因此，内存不但要每 64ms 刷新一次，而且每次读操作之后还要刷新一次。

## **3、自动预充电**

如果在猝发读或猝发写命令中，A10/AP 位置为“1”，在读写操作完成后自动附加一个预充电动作。操作行结束活动状态，但在内部状态机回到空闲态之前不能给器件发送新的操作命令。

## **4、猝发读**

猝发读命令允许某个体中的一行被激活后，连续读出若干个数据。第一个数据在经过指定的 CAS 延时节拍后呈现在数据线上，以后每个时钟节拍都会读出一个新的数据。猝发读操作可以被同体或不同体的新的猝发读/写命令或同一体的预充电命令及猝发停止命令中止。

## 5、猝发写

猝发写命令与猝发读命令类似，允许某个体中的一行被激活后，连续写入若干个数据。第一个写数据与猝发写命令同时在数据线上给出，以后每个时钟节拍给出一个新的数据，输入缓冲在猝发数据量满足要求后停止接受数据。猝发写操作可以被猝发读/写命令或 DQM 数据输入屏蔽命令和预充电命令或猝发停止命令中止。

## 6、自动刷新

由于动态存储器存储单元存在漏电现象，为了保持每个存储单元数据的正确性，HY57V561620 必须保证在 64ms 内对所有的存储单元刷新一遍。一个自动刷新周期只能刷新存储单元的一个行，每次刷新操作后内部刷新地址计数器自动加“1”。只有在所有体都空闲（因为 4 个体的对应行同时刷新）并且未处于低功耗模式时才能启动自动刷新操作，刷新操作执行期间只能输入空操作，刷新操作执行完毕后所有体都进入空闲状态。该器件可以每间隔 7.8 $\mu$ s 执行一次自动刷新命令，也可以在 64ms 内的某个时间段对所有单元集中刷新一遍。

## 7、自刷新

自刷新是动态存储器的另一种刷新方式，通常用于在低功耗模式下保持 SDRAM 的数据。在自刷新方式下，SDRAM 禁止所有的内部时钟和输入缓冲（CKE 除外）。为了降低功耗，刷新地址和刷新时间全部由器件内部产生。一旦进入自刷新方式只有通过 CKE 变低才能激活，其他的任何输入都将不起作用。给出退出自刷新方式命令后必须保持一定节拍的空操作输入，以保证器件完成从自刷新方式的退出。如果在正常工作期间采用集中式自动刷新方式，则在退出自

刷新模式后必须进行一遍（对于 HY57V561620 来说，8192 个）集中的自动刷新操作。

## **8、时钟和时钟屏蔽**

时钟信号是所有操作的同步信号，上升沿有效。时钟屏蔽信号 CKE 决定是否把时钟输入施加到内部电路。在读写操作期间，CKE 变低后的下一个节拍冻结输出状态和猝发地址，直到 CKE 变高为止。在所有的体都处于空闲状态时，CKE 变低后的下一个节拍 SDRAM 进入低功耗模式并一直保持到 CKE 变高为止。

## **9、DQM 操作**

DQM 用于屏蔽输入输出操作，对于输出相当于开门信号，对于输入禁止把总线上的数据写入存储单元。对读操作 DQM 延迟 2 个时钟周期开始起作用，对写操作则是当拍有效。

HY57V561620 命令表如下图所示：

## COMMAND TRUTH TABLE

Command		CKEn-1	CKEn	$\overline{CS}$	$\overline{RAS}$	$\overline{CAS}$	$\overline{WE}$	DQM	ADDR	A10/ AP	BA	Note	
Mode Register Set		H	X	L	L	L	L	X	OP code			1	
No Operation		H	X	H	X	X	X	X	X				
				L	H	H	H						
Bank Active		H	X	L	L	H	H	X	RA		V		
Read		H	X	L	H	L	H	X	CA	L	V		
Read with Autoprecharge										H			
Write		H	X	L	H	L	L	X	CA	L	V		
Write with Autoprecharge										H			
Precharge All Banks		H	X	L	L	H	L	X	X	H	X		
Precharge selected Bank										L	V		
Burst Stop		H	X	L	H	H	L	X	X				
UDQM, LDQM		H	X						V	X			
Auto Refresh		H	H	L	L	L	H	X	X				
Self Refresh	Entry	H	L	L	L	L	H	X	X				
	Exit	L	H	H	H	H	X						
Precharge power down	Entry	H	L	H	X	X	X	X	X				
				L	H	H	H						
	Exit	L	H	H	X	X	X	X					
				L	H	H	H						
Clock Suspend	Entry	H	L	H	X	X	X	X	X				
				L	V	V	V						
	Exit	L	H	X				X					

### Note :

1. OP Code : Operand Code

2. V = Valid, X = Dont care, H = Logic High, L= Logic Low, RA = Row Address, CA = Column Address.

## 二、HY57V561620 SDRAM 介绍

### 1、HY57V561620 的结构

HY57V561620 存储容量为 4M×4bank×16 位 ( 32M 字节 ) , 工作电压为 3.3V ,常见封装为 54 脚 TSOP 兼容 LVTTL 接口 ,支持自动刷新 ( Auto-Refresh ) 和自刷新 ( Self-Refresh ) , 16 位数据宽度。

HY57V561620 引脚分布如图 2-1 所示。

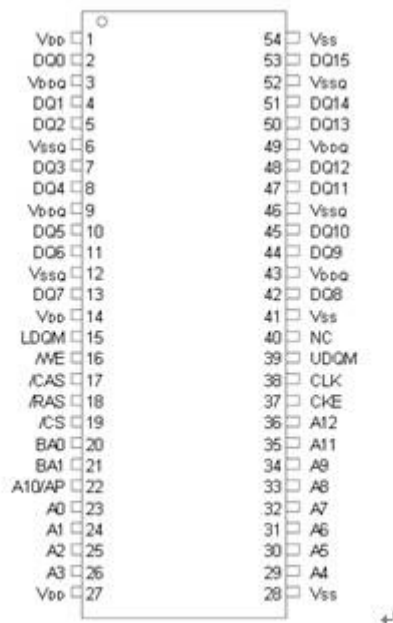


图 2-1 HY57V561620 引脚分布图

## HY57V561620 引脚信号描述

引脚	名称	描述
CLK	时钟	芯片时钟输入
CKE	时钟使能	片内时钟信号控制
/CS	片选	禁止或使能 CLK、CKE 和 DQM 外的所有输入信号
BA0, BA1	组地址选择	用于片内 4 个组的选择
A12~A0	地址总线	行地址：A12~A0，列地址：A8~A0，自动预充电标志：A10
/RAS /CAS /WE	行地址锁存 列地址锁存 写使能	行、列地址锁存和写使能信号引脚
LDQM, UDQM	数据 I/O 屏蔽	在读模式下控制输出缓冲；在写模式下屏蔽输入数据
DQ15~DQ0	数据总线	数据输入输出引脚
VDD/VSS	电源/地	内部电路及输入缓冲电源/地
VDDQ/VSSQ	电源/地	输出缓冲电源/地
NC	未连接	未连接

更具体的内容可参考 HY57V561620 的用户手册。

## 三、S3C2410 和 HY57V561620 的接线方法

华清远见教学用的 S3C2410 开发板上使用的 SDRAM 的型号是 HY57561620。



规格是：

4Banks\*4M\*16Bit。采用两片 SDRAM 组成 32 位 64M 的内存空间。

1、确定 BA0、BA1 的接线

在 S3C2410 的 Table 5-2. SDRAM Bank Address Configuration 给出了 SDRAM 接线的参考方法。

Table 5-2. SDRAM Bank Address Configuration				
Bank Size	Bus Width	Base Component	Memory Configuration	Bank Address
32MB	x16	64Mb	( 8M x 4 x 2banks) x 4 ea	A24
	x16		( 4M x 4 x 4banks) x 4 ea	A[24:23]
	x32		( 4M x 8 x 2banks) x 4 ea	A24
	x32		( 2M x 8 x 4banks) x 4 ea	A[24:23]
	x16	128Mb	( 4M x 8 x 4banks) x 2 ea	
	x32		( 2M x 16 x 4banks) x 2 ea	
	x8	256Mb	( 8M x 8 x 4banks) x 1 ea	
	x16		( 4M x 16 x 4banks) x 1 ea	
64MB	x32	128Mb	( 4M x 8 x 4banks) x 4 ea	A[25:24]
	x16	256Mb	( 8M x 8 x 4banks) x 2 ea	
	x32		( 4M x 16 x 4banks) x 2 ea	
	x8	512Mb	( 16M x 8 x 4banks) x 1 ea	

上表中各段含义及和我们平台的对应：

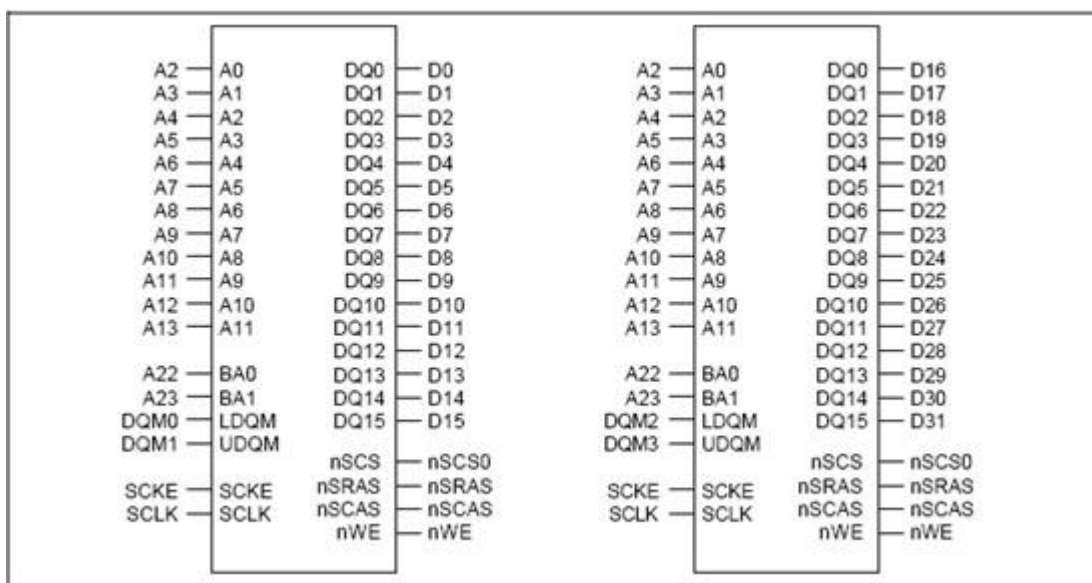
Bank Size: 每个 Bank 的大小 （ HY57561620 是 4M\*16=64MB ）  
Bus Width: 总线宽度 （ 两颗 HY57561620 ， 32 位 ）

Base Component ： 个体容量 （ 256Mb ）

Memory Configuration ： 内存配置 （ ( 4M\*16\*4banks ) \*2ea ）

所以 Bank Address 对应 A[25:24]，此处确定了 HY57561620 的 BA0 和 BA1 和 S3C2410 之间的接线。

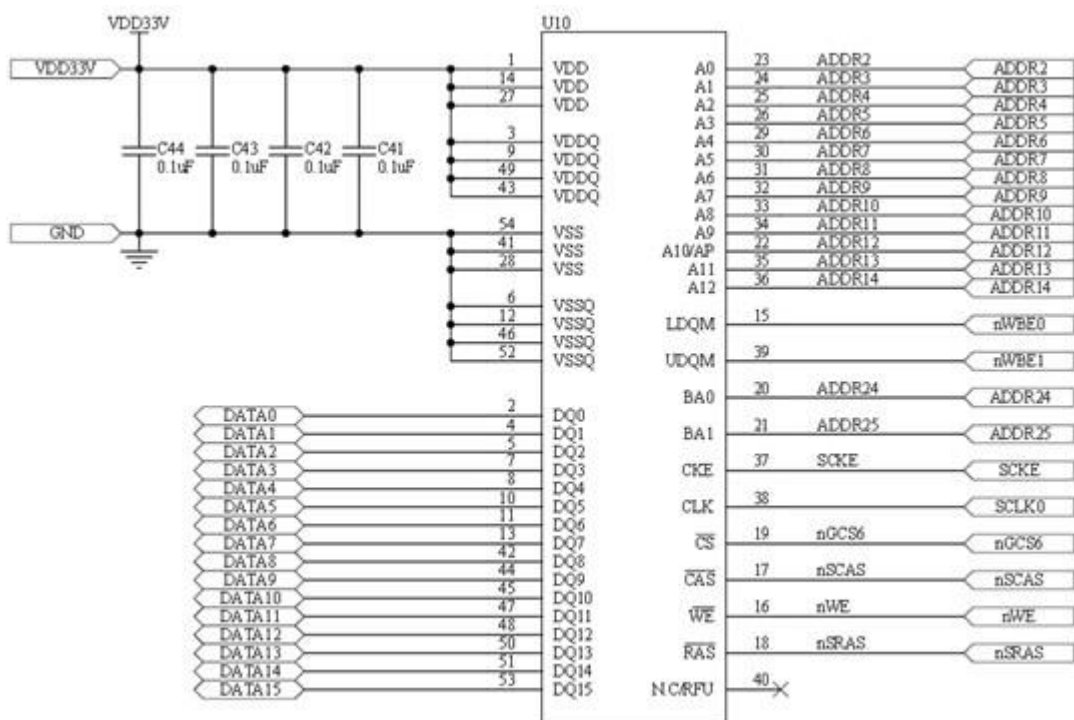
2、确定其它接线

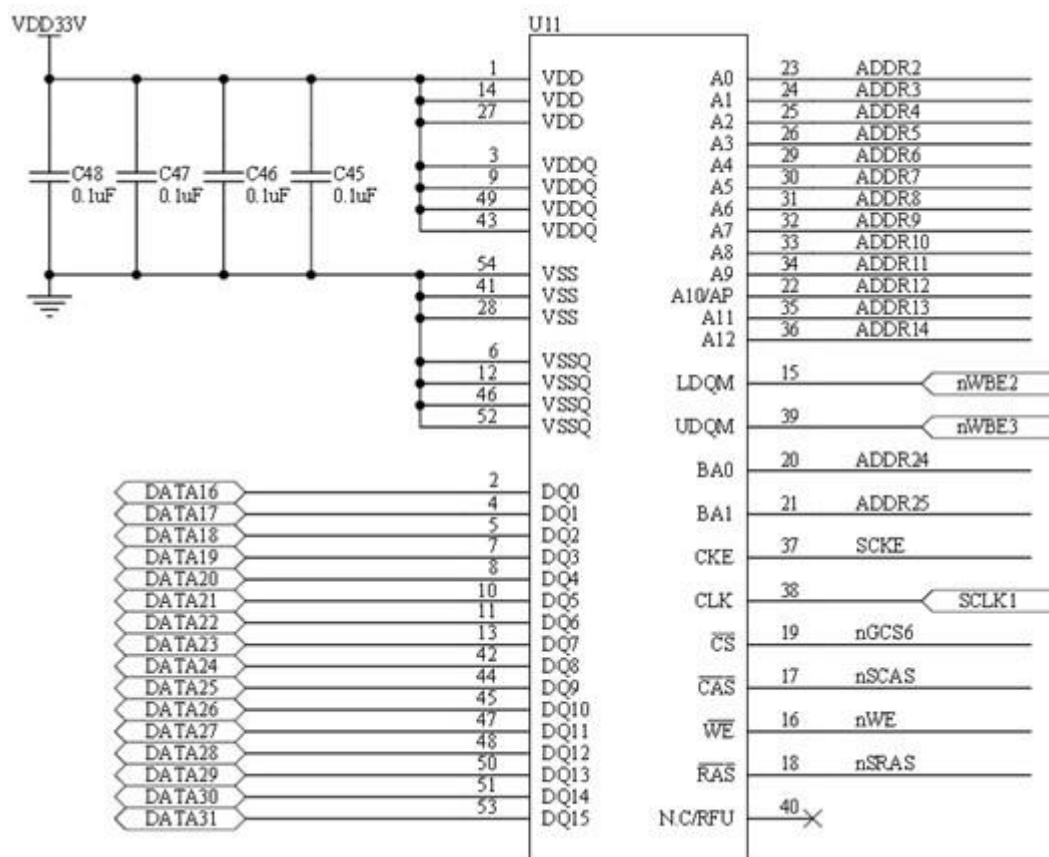


上图是 S3C2410 手册中给出的参考接线，通过这个图可以确定

HY57561620 和 S3C2410 之间除 BA0、BA1 的所有其它接线。本例中，详细的接线方法如“接线原理图”小节。

### 3、接线原理图





引脚描述如下：

nSRAS：SDRAM 行地址选通信号

nSCAS：SDRAM 列地址选通信号

nGCS6：SDRAM 芯片选择信号（选用 Bank6 作为 sdram 空间，也可以选择 Bank7）

nWBE[3:0]：SDRAM 数据屏蔽信号

SCLK0[1]：SDRAM 时钟信号

SCKE：SDRAM 时钟允许信号

DATA[0:31]:32 位数据信号

ADDR[2:14]:行列地址信号

ADDR[25:24]:bank 选择线

四、S3C2410 SDRAM 控制器的配置方法

在系统使用 SDRAM 之前 ,需要对 S3C2410X 的存储器控制器进行初始化。其中对与 SDRAM ( Bank6 ) 相关的寄存器进行了特殊的设置 ,以使 SDRAM 能够正常工作。由于 C 语言程序使用的数据空间和堆栈空间都定位在 SDRAM 上 ,因此 ,如果没有对 SDRAM ( Bank6 ) 的正确初始化 ,系统就无法正确启动。下面介绍与 SDRAM 相关的寄存器设置。

1、BWSCON 寄存器

BWSCON 寄存器主要用来设置外接存储器的总线宽度和等待状态。在 BWSCON 中 ,除了 Bank0 ,其他 7 个 bank 都各对应 4 个相关位的设置 ,分别为 STn ,WSn 和 DWn。这里只需要对 DWn 进行设置 ,例如 SDRAM( Bank6 ) 采用 32 位总线宽度 ,因此 ,DW6=10 ,其他 2 位采用缺省值。BWSCON 寄存器在 Bank6 上的位定义如表 4-1 所示。

表 4-1 BWSCON 寄存器在 Bank6 上的位定义

BWSCON	位	描述	初始化状态
ST6	27	这个位决定 SRAM 在 Bank6 上是否采用 UB/LB 0 : 不采用 UB/LB(引脚对应 nWBE[3:0] ) 1 : 采用 UB/LB(引脚对应 nBE[3:0])	0
WS6	26	这个位决定 Bank6 的 WAIT 状态 0 : WAIT 禁止 1 : WAIT 使能	0
DW6	25 ~ 24	这 2 位决定 Bank6 的数据总线宽度 00 : 8 位 01 : 16 位 10 : 32 位	0

2、BANKCONn 寄存器的设置

S3C2410X 有 8 个 BANKCONn 寄存器，分别对应着 Bank0 ~ Bank7。由于 Bank6 ~ Bank7 可以作为 FP/EDO/SDRAM 等类型存储器的映射空间，因此与其他 bank 的相应寄存器有所不同，其中 MT 位定义了存储器的类型。

BANKCONn 寄存器在 Bank6 和 Bank7 上的位定义如表 4-2 所示。

表 4-2 BANKCONn 寄存器在 Bank6 和 Bank7 上的位定义

BANKCONn	位	描述	起始状态
MT	16 ~ 15	这 2 位决定了 Bank6 和 Bank7 的存储器类型 00 : ROM 或 SRAM 01 : FP DRAM 10 : EDO DRAM 11 : SDRAM	11

MT 的取值又定义该寄存器余下几位的作用。当 MT=11 ( 即 SDRAM 型存储器 ) 时，BANKCONn 寄存器余下的几位定义如表 4-3 所示。

表 4-3 BANKCONn 寄存器在 MT=11 时的相关位定义

BANKCONn	位	描述	起始状态
Trcd	3 ~ 2	$\overline{\text{RAS}}$ 到CAS的延时 00 : 2 时钟 01 : 3 时钟 10 : 4 时钟	10
SCAN	1 ~ 0	列地址位数 00 : 8 位 01 : 9 位 10 : 10 位	00

Trcd 是从行使能到列使能的延迟，根据 S3C2410X 的 HCLK 频率( 100M ) 及 HY57V561620T-H 的特性 ( 见下图 )，此项取 01，即 3CLKS。SCAN 为列地址线数量，此项根据 HY57V561620 特性取 01，即 9 位 ( A0~A8 )。

3、REFRESH 寄存器

REFRESH 寄存器是 DRAM/SDRAM 的刷新控制器。位定义如表 4-4 所示。

表 4-4 REFRESH 寄存器位定义

REFRESH	位	描述	初始状态
REFEN	23	DRAM/SDRAM 刷新使能 0：禁止 1：使能（自刷新或 CBR/自动刷新）	1
TREFMD	22	DRAM/SDRAM 刷新模式 0：CBR/自动刷新 1：自刷新 在自刷新时，DRAM/SDRAM 控制线需要适当的电平驱动	0
T <sub>rp</sub>	21~20	DRAM/SDRAM $\overline{RAS}$ 预充电时间 DRAM 00：1.5 时钟 01：2.5 时钟 10：3.5 时钟 11：4.5 时钟 SDRAM 00：2 时钟 01：3 时钟 10：4 时钟 11 不支持	10
T <sub>src</sub>	19~18	SDRAM 半行周期时间 00 = 4 clocks 01 = 5 clocks 10 = 6 clocks 11 = 7 clocks SDRAM's 行周期时间(T <sub>rc</sub> ) = T <sub>src</sub> + T <sub>rp</sub> 如果 T <sub>rp</sub> =3 clocks 和 T <sub>src</sub> =7 clocks, T <sub>rc</sub> = 3 + 7 = 10 clocks	11
保留	17~16	不使用	00
保留	15~11	不使用	0000
刷新计数器 Refresh Counter	10~0	SDRAM 刷新计数器值 刷新时间 = (211-刷新计数器值+1)/HCLK Ex)如果刷新时间是 15.6 us，HCLK 是 60MHz, 刷新 时间计算如下：刷新时间 = 2048 + 1 - 60x15.6 = 1113	0

#### 4 . BANKSIZE 寄存器

表 4-5 BANKSIZE 寄存器定义

BANKSIZE	位	描述	初始状态
BURST_EN	[7]	ARM 内核猝发操作使能 0 = 禁止猝发操作 1 = 使能猝发操作	0
保留	[6]	不使用	0
SCKE_EN	[5]	SCKE 使能控制 0 = SDRAM SCKE 禁止 1 = SDRAM SCKE 使能	0
SCLK_EN	[4]	只有在 SDRAM 访问周期期间，SCLK 才使能，这样做是可以减少功耗。当 SDRAM 不被访问时，SCLK 变成低电平	0

		0 = SCLK 总是激活 1 = SCLK 只有在访问期间（推荐的）激活	
保留	[3]	未用	0
BK76MAP	[2:0]	BANK6/7 的存储空间分布 010 = 128MB/128MB 001 = 64MB/64MB 000 = 32M/32M 111 = 16M/16M 110 = 8M/8M 101 = 4M/4M 100 = 2M/2M	010

初始化时 ,BURST\_EN 可以取 0 或 1 ,为了提高效率 ,最好设置为 1。SCKE\_EN 设置为 1。SCLK\_EN 设置为 1。BK76MAP 设置为 2。

### 5、MRSR 寄存器

MRSR 寄存器有 2 个，分别对应 MRSRB6 和 MRSRB7，对应着 Bank6 和 Bank7。见表 4-6。

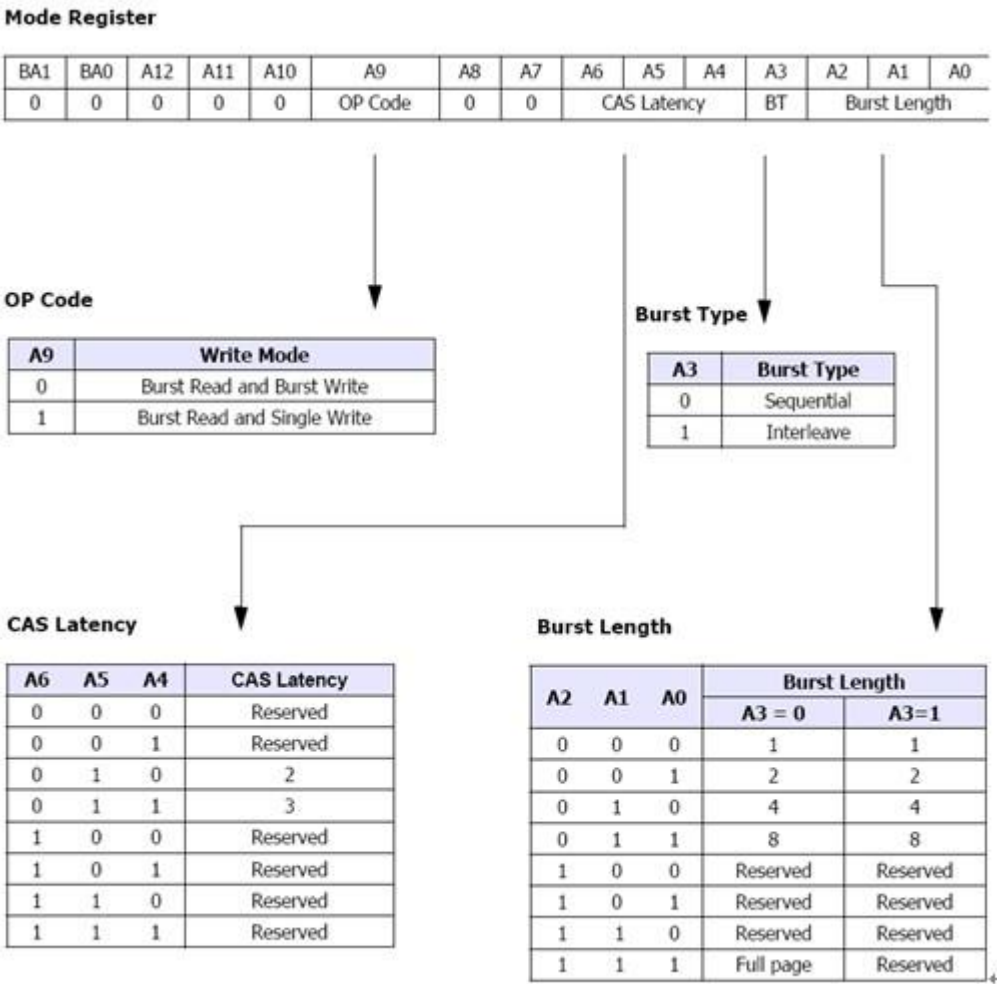
表 4-6 MRSRn 寄存器定义

MSR	位	描述	初始状态
保留	[11:10]	未用	—
WBL	[9]	猝发写的长度 0：猝发(固定的) 1：保留	X
TM	[8:7]	测试模式 00：模式寄存器集（固定的） 01, 10 和 11：保留	XX
CL	[6:4]	CAS 延迟 000：1 时钟，010：2 时钟，011：3 时钟 其他=保留	XXX
BT	[3]	猝发类型 0: 连续的（固定的） 1:保留的	X
BL	[2:0]	猝发长度 000: 1 (固定的) 其他：保留	XXX

此寄存器 S3C2410 只允许 CL 可以设置，参照 HY57V561620T-H 手册，取 011，即 3CLKs。

猝发长度的具体值在程序中没有给出，根据后面触发时序猜测应该是 8，HY57V561620T 支持 1、2、4、8、page 猝发长度。

参照前面的 HY57V561620 命令表 写 Mode 寄存器用的是 Mode register 命令。其中的 OP CODE 参照下图：



注意：当代码在 SDRAM 中运行时，绝不能够重新配置 MRSR 寄存器。

五、SDRAM 的控制时序分析



下面列出 SDRAM 的状态机及几种 SDARM 控制命令的时序。大家掌握了以后可以试着分析其它的命令时序。

## 1、SDRAM 的状态机

SDRAM 的完整状态机由多个状态构成，且状态转移是非随机的（如图 5-1 所示）。

正是如此众多的状态及其复杂的转换关系，导致 S D R A M 的控制较为复杂。通常 FPGA 开发人员在设计 SDRAM 控制器 IP 时需要详细了解这些状态机的过程。而一般开发人员以了解为主。

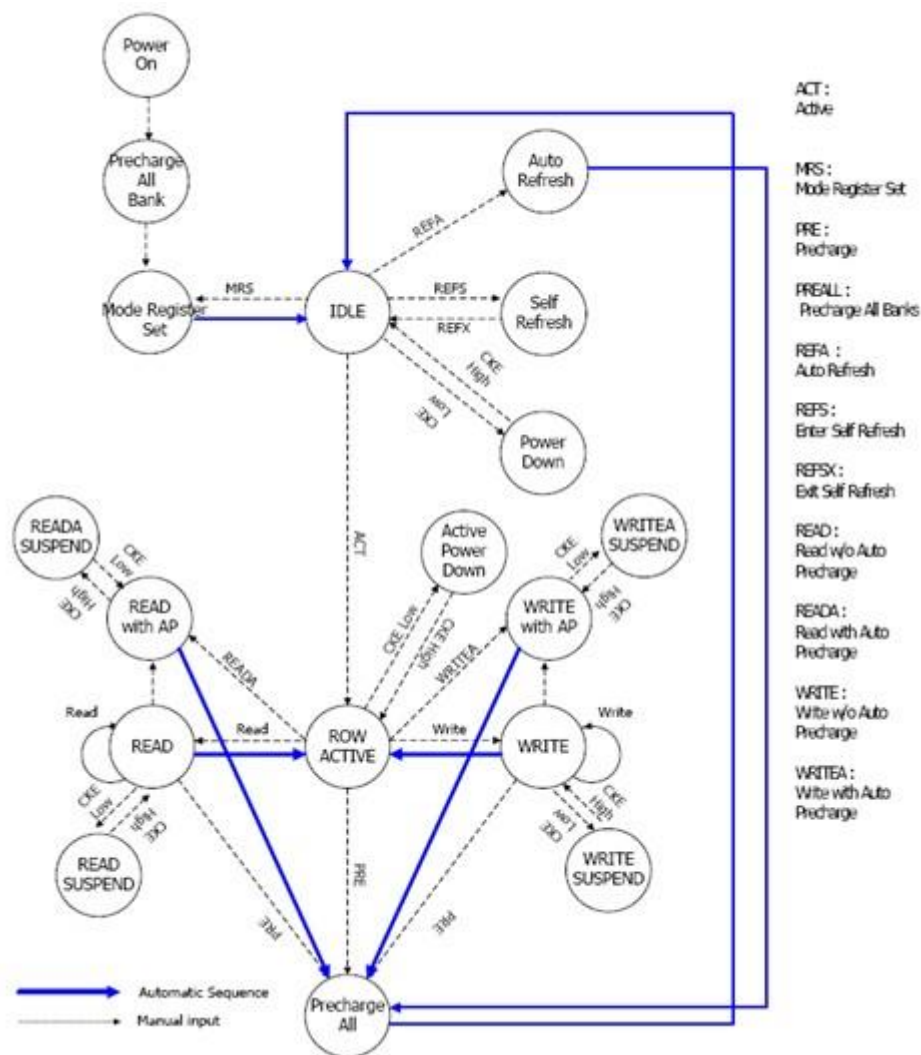


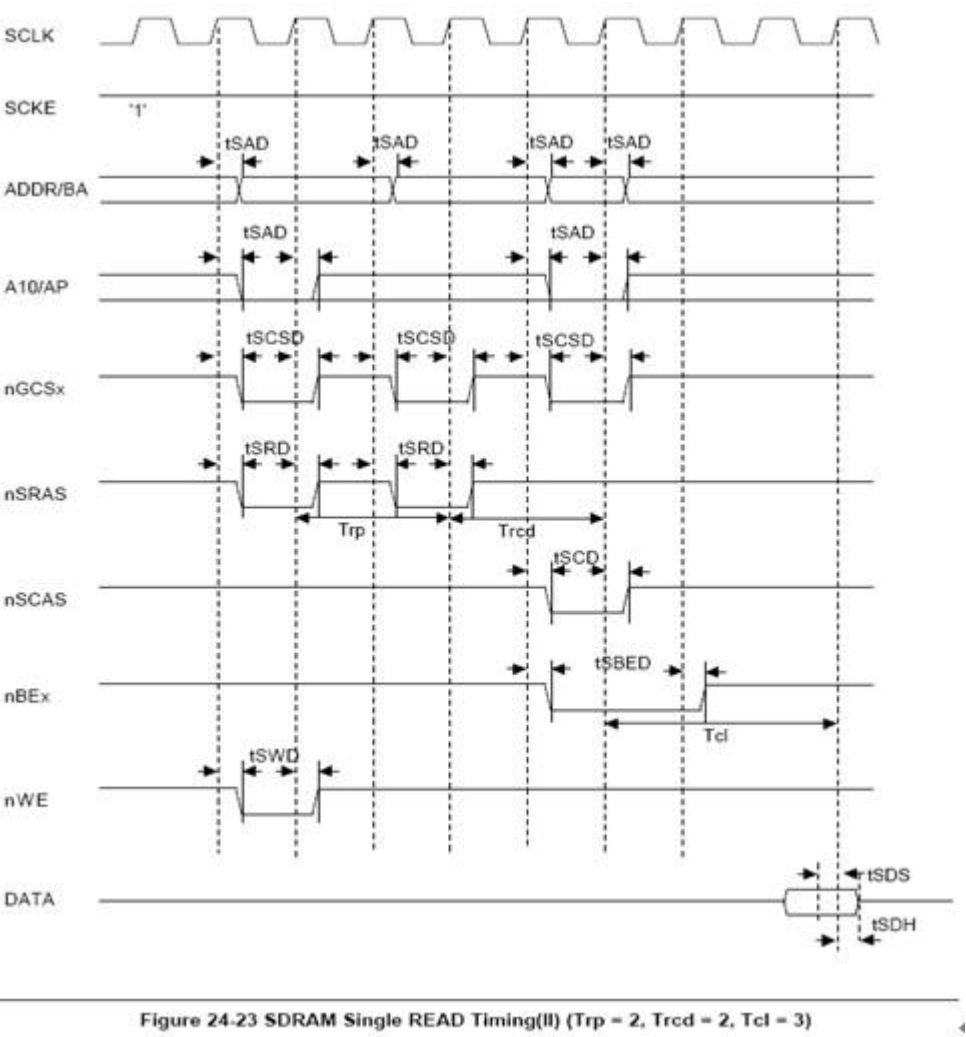
图 5-1 SDRAM 状态机

下面将结合上图及 SDRAM 的指令来分析 SDRAM 的控制时序

2、SDRAM single 模式读时序

SDRAM 初始化主要是由设置 S3C2410 SDRAM 控制器的模式寄存器 ( MRSR ) 完成的。主要设定了 SDRAM 的 burst 长度、CAS 延时时间、突发类型等。然后就可以进行读写操作了。

下图是 S3C2410 以 single 方式读 SDRAM 时的时序。



对照 HY57V5620 的命令表 , 列出 single read 命令实现过程。

CLK	SCK	A10/ AP	nGC Sx	nSR AS	nSC AS	n WE	命令	备注
1	1	X	1	1	1	1	空操作 ( NOP )	
2	1	0	0	0	1	0	预充电选定 bank ( PRE )	Trp= 2
3	1	X	1	1	1	1	空操作	
4	1	X	0	0	1	1	Bank 激活命令 ( ACT )	Trcd= 2
5	1	X	1	1	1	1	空操作	
6	1	0	0	1	0	1	读操作 ( READ )	Tcl=3
7	1	X	1	1	1	1	空操作	
8	1	X	1	1	1	1	空操作	
9	1	X	1	1	1	1	空操作	数据 有效

### 3、SDRAM burst 模式读时序

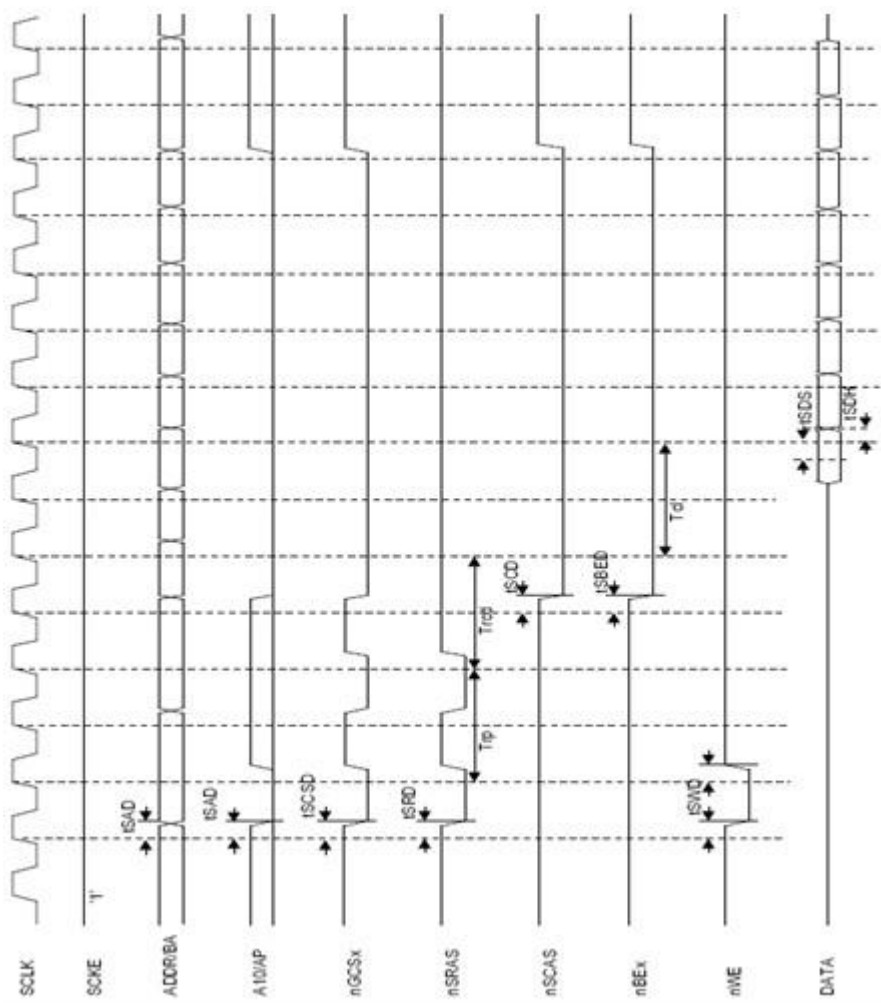


Figure 24-19. SDRAM Single Burst READ Timing (Trp = 2, Trcd = 2, Tcl = 2, DW = 16-bit)

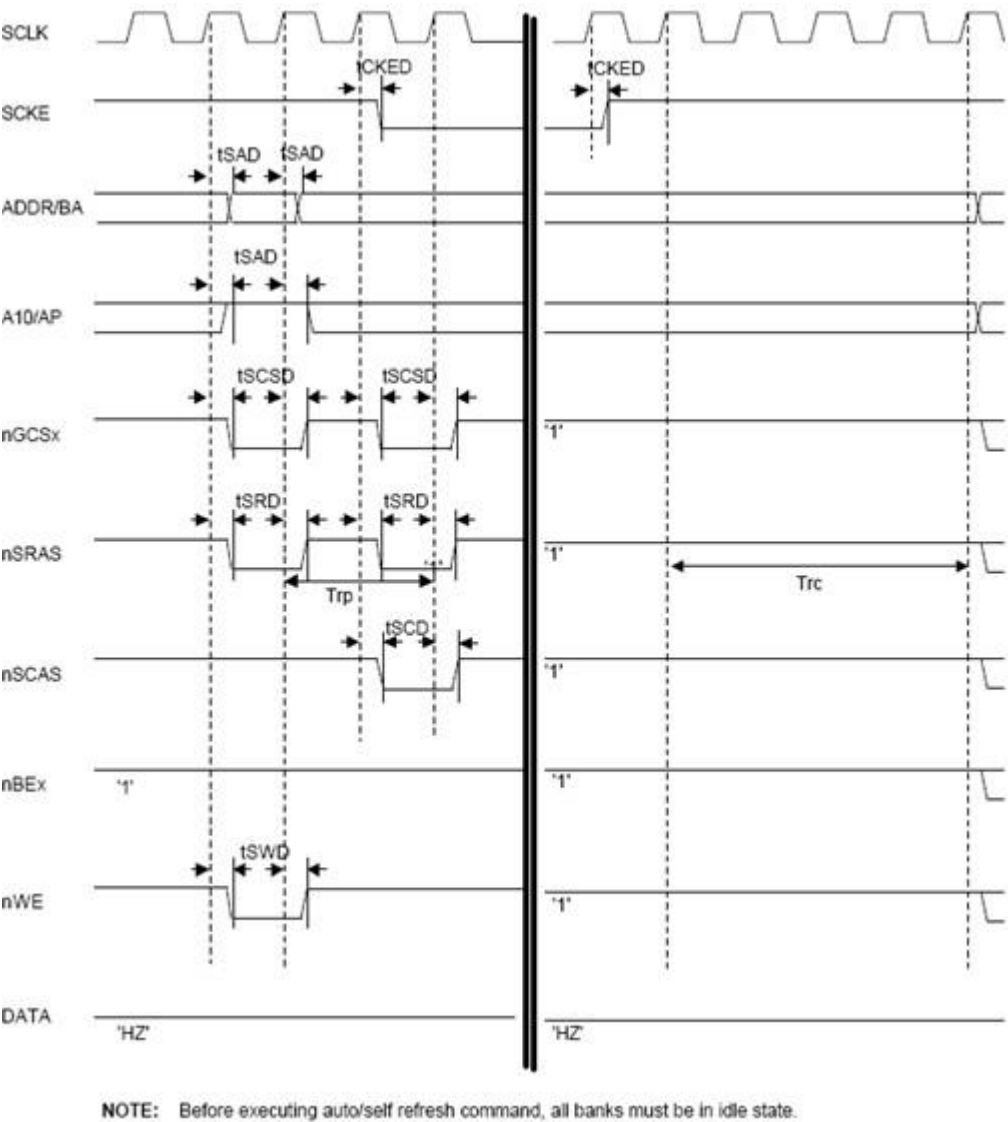
对照 HY57V5620 的命令表，列出 burst read 命令实现过程。

CLK	SCKE	A10/AP	nGC/Sx	nSR/AS	nSC/AS	n	命令	备注
1	1	X	1	1	1	1	空操作 ( NOP )	
2	1	0	0	0	1	0	预充电选定 bank ( PRE )	Trp=2
3	1	X	1	1	1	1	空操作	
4	1	X	0	0	1	1	Bank 激活命令 ( ACT )	Trcd=2
5	1	X	1	1	1	1	空操作	
6	1	0	0	1	0	1	读操作 ( READ )	Tcl=2
7	1	0	0	1	0	1	读操作 ( READ )	
8~13	1	0	0	1	0	1	读操作 ( READ )	数据有效

14~15	1	X	1	1	1	1	空操作	数据有效
-------	---	---	---	---	---	---	-----	------

4、SDRAM Self Refresh 时序

SDRAM 的 Self Refresh 功能在电源电源管理时经常使用，如：在主控器进入 sleep 状态时，会先让 SDRAM 工作在 Self Refresh 状态。下图为 S3C2410 发出 Self Refresh 命令时的时序图。



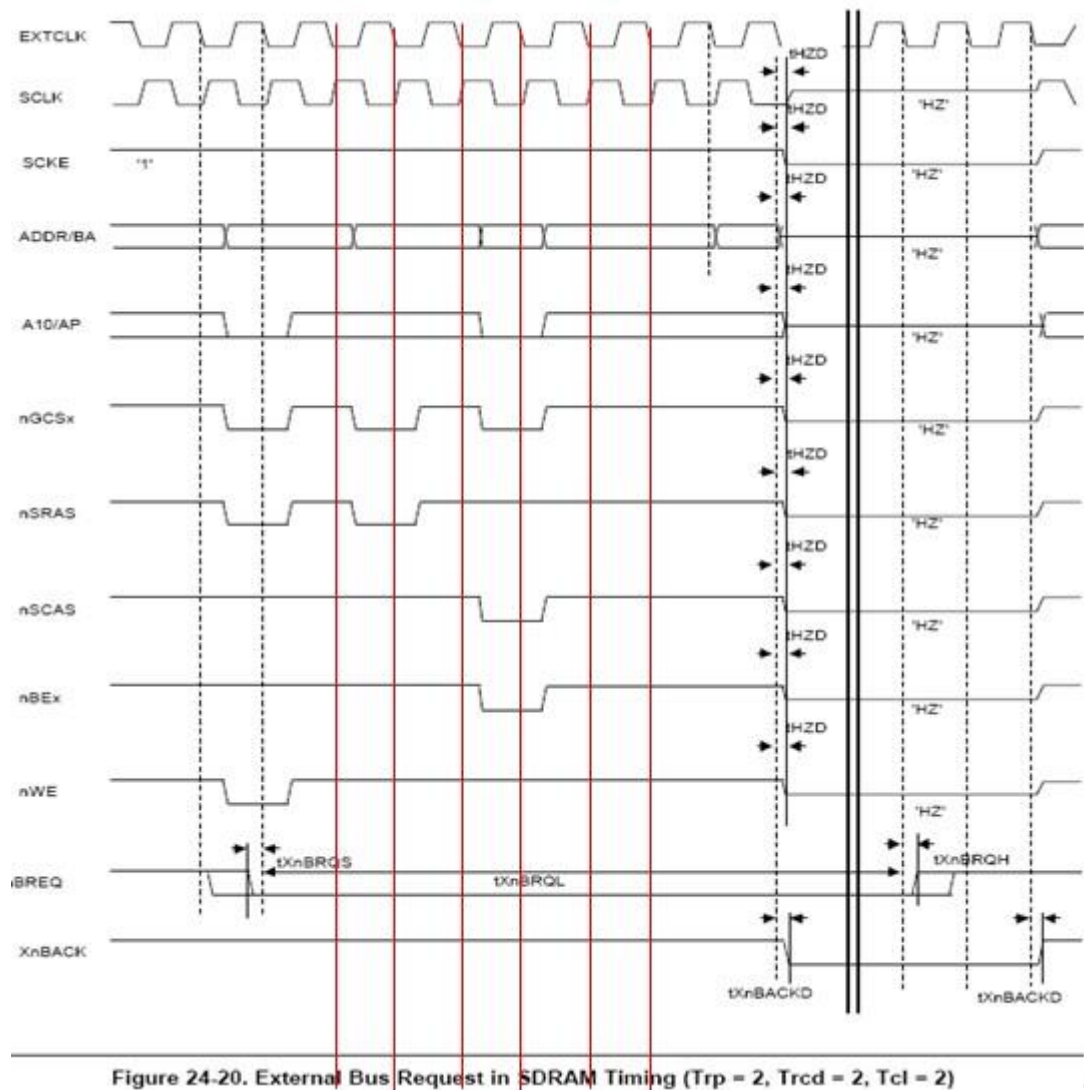
对照 HY57V5620 的命令表，列出进入 Self Refresh 的过程。

CLK	SCKE	A10/	nGC	nSRA	nSCA	nWE	命令	备注
-----	------	------	-----	------	------	-----	----	----

		AP	Sx	S	S			
1	1	X	1	1	1	1	空操作 ( NOP )	
2	1	1	0	0	1	0	预充电所有 bank ( PRE )	Trp=2
3	1	X	1	1	1	1	空操作	
4	0	X	0	0	0	1	Self Refresh 命令( REFS )	结合 CKE 的真值表
5	1	X	1	1	1	1	空操作	

## 5、S3C2410 BUS Request 时 SDRAM 控制时序

我以前在做一个项目时涉及到两个主控器共享一个 SDRAM 的情况。现象是另一个主控器可以通过 BUS Request 功能获取到总线的控制权。当 S3C2410 的总线控制权被获取后，SDRAM 控制不会再发出控制时钟信号。但 SDRAM 并没有因为失去时钟而丢失数据。猜想一定是 S3C2410 在 BUS Request 时让 SDRAM 进入自刷新状态（就和 S3C2410 睡眠前要让 SDRAM 进入自刷新状态一样）、POWER DOWN 状态、或者 SUSPEND 状态。下面就根据 S3C2410 BUS Request 时 SDRAM 控制时序图去确认一下到底是哪种。



对照 HY57V5620 的命令表 ,列出 S3C2410 BUS Request 时 SDRAM 时序过程。

CLK	SC KE	A10/A P	nGC Sx	nSR AS	nSC AS	n WE	命令	备注
1	1	X	1	1	1	1	空操作 ( NOP )	
2	1	0	0	0	1	0	预充电 ( PRE )	$T_{rp}=2$
3	1	X	1	1	1	1	空操作	
4	1	X	0	0	1	1	Bank 激活命令 ( ACT )	$T_{rcd}=2$
5	1	X	1	1	1	1	空操作	
6	1	0	0	1	0	1	读操作 ( READ )	$T_{cl}=2$

7	1	X	1	1	1	1	空操作	
8	1	X	1	1	1	1	空操作	
9	1	X	1	1	1	1	空操作	
10	HZ	HZ	HZ	HZ	HZ	H Z	进入 Clock suspend	Note 1

Note1：在第 10 个时钟周期时，SKE 从 1 变为‘HZ’（高阻）。我想此时 SCKE 从 1 变为高阻对于 SDRAM 来说相当于从 1->0 吧，看了一遍 HY57V5620 手册，这个想法没有得到确认。但也只能这么理解了，不然后面都说不通了。我想之所以变为高阻而不是低电平，是因为 S3C2410 要放弃自己对总线控制。结合 HY57V5620 手册分析一下此时 SDRAM 会进入什么状态。

下图是 CKE Enable(CKE) 真值表。



Current State	CKE		Command						Action	Notes
	Previous Cycle	Current Cycle	$\overline{CS}$	$\overline{RAS}$	$\overline{CAS}$	$\overline{WE}$	BA0, BA1	ADDR		
Self Refresh	H	X	X	X	X	X	X	X	INVALID	1
	L	H	H	X	X	X	X	X	Exit Self Refresh with Device Deselect	2
	L	H	L	H	H	H	X	X	Exit Self Refresh with No Operation	2
	L	H	L	H	H	L	X	X	ILLEGAL	2
	L	H	L	H	L	X	X	X	ILLEGAL	2
	L	H	L	L	X	X	X	X	ILLEGAL	2
	L	L	X	X	X	X	X	X	Maintain Self Refresh	
Power Down	H	X	X	X	X	X	X	X	INVALID	1
	L	H	H	X	X	X	X	X	Power Down mode exit, all banks idle	2
	L	H	L	L	X	X	X	X	ILLEGAL	2
				X	L	X	X	X		
				X	X	L	X	X		
	L	L	X	X	X	X	X	X	Maintain Power Down Mode	
All Banks Idle	H	H	H	X	X	X			Refer to the idle State section of the Current State Truth Table	3
	H	H	L	H	X	X				3
	H	H	L	L	H	X				3
	H	H	L	L	L	H	X	X	Auto Refresh	
	H	H	L	L	L	L	OP CODE		Mode Register Set	4
	H	L	H	X	X	X			Refer to the idle State section of the Current State Truth Table	3
	H	L	L	H	X	X				3
	H	L	L	L	H	X				3
	H	L	L	L	L	H	X	X	Entry Self Refresh	4
	H	L	L	L	L	L	OP CODE		Mode Register Set	
Any State other than listed above	L	X	X	X	X	X	X	X	Power Down	4
	H	H	X	X	X	X	X	X	Refer to operations of the Current State Truth Table	
	H	L	X	X	X	X	X	X	Begin Clock Suspend next cycle	
	L	H	X	X	X	X	X	X	Exit Clock Suspend next cycle	
	L	L	X	X	X	X	X	X	Maintain Clock Suspend	

在第 10 个时钟周期时，SDRAM 处于行激活状态。此时 SCKE 由 1->0, 根据真值表可以得出系统会进入 Clock suspend 状态

## 六、总结

本文分析了 SDRAM 的工作原理、介绍了 HY57V561620 及其与 S3C2410 的接线原理、S3C2410 SDRAM 控制器的配置方法、及部分 SDRAM 的控制时序分析。有些地方理解的不够深刻，欢迎大家指正。