

由于基于 FPGA 的 VGA 显示需要用 Verilog 写，希望各位朋友借用时注意修改名字等信息，否则会出现编译错误

```
`timescale 1ns / 1ps
/////////////////////////////////////////////////////////////////
// Company:
// Engineer:
//
// Create Date: 2014/09/22 22:18:12
// Design Name:
// Module Name: a1
// Project Name:
// Target Devices:
// Tool Versions:
// Description:
//
// Dependencies:
//
// Revision:
// Revision 0.01 - File Created
// Additional Comments:
//
/////////////////////////////////////////////////////////////////

//640*480@60HZ,时钟像素: 25MHZ
module a1(
nclk,rst_n,
hsync,vsync,
vga_r,r0,r1,r2,vga_g,g0,g1,g2,vga_b,b0,b1,b2);
input nclk;          //内部 100M 时钟输入
input rst_n;         //复位键
output reg   hsync,vsync;    //场同步，行同步信号
output vga_r,vga_g,vga_b,r0,r1,r2,g0,g1,g2,b0,b1,b2;    //颜色信号输出

reg[10:0] x_cnt;      //行坐标计数，为后面行的 0 或者 1 及具体像素点的位置做准备
reg[9:0] y_cnt;       //列坐标计数，为后面列的 0 或者 1 及具体像素点的位置做准备
reg clk;              //实现 4 分频后的像素点频率
//100M 到 25M 分频器设计
reg[2:0]clk_cnt;
```

```

initial          //寄存器变量赋初值
begin
clk=1'b0;
clk_cnt=3'd0;
end
//红绿蓝的其他三个端口
assign r0=1'b0;
assign r1=1'b0;
assign r2=1'b0;
assign g0=1'b0;
assign g1=1'b0;
assign g2=1'b0;
assign b0=1'b0;
assign b1=1'b0;
assign b2=1'b0;

always @(negedge nclk)
begin
clk_cnt = clk_cnt + 1;
if(clk_cnt==3'd2) clk =1'b1;
else if(clk_cnt==3'd4)
begin
clk = 1'b0;
clk_cnt=3'd0;
end
end

//VGA 显示的设计
//像素点的计数
always@(posedge clk or negedge rst_n)
begin
if(!rst_n) x_cnt=11'd0;
else if(x_cnt==11'd800) x_cnt=11'd0;
else x_cnt = x_cnt + 1'b1;
end
//行的计数
always@(posedge clk or negedge rst_n)
if(!rst_n) y_cnt = 10'd0;
else if(y_cnt==10'd525) y_cnt=11'd0;
else if(x_cnt==11'd800)y_cnt = y_cnt + 1'b1;
//定义屏幕显示区域
wire valid = (x_cnt>=11'd144)&&(x_cnt<=11'd784)&&(y_cnt>=10'd35)&&(y_cnt<=10'd515);
wire [9:0] xpos = x_cnt-11'd144;
wire [9:0] ypos = y_cnt-10'd35;

```

```

//行时序的确定
always@(posedge clk or negedge rst_n)
if(!rst_n) hsync =1'b0;//复位从 0 开始
else if(x_cnt==11'd0) hsync=1'b0;
else if(x_cnt==11'd96) hsync=1'b1;
//帧时序的确定
always@(posedge clk or negedge rst_n)
if(!rst_n) vsync =1'b0; //复位从 0 开始
else if(y_cnt==10'd0) vsync=1'b0;
else if(y_cnt==10'd2) vsync=1'b1;
//划分不同显示界面
wire a_dis=((xpos>=200)&&(xpos<=220))&&((ypos>=140)&&(ypos<=460));
wire b_dis=((xpos>=580)&&(xpos<=600))&&((ypos>=140)&&(ypos<=460));
wire c_dis=((xpos>=220)&&(xpos<=580))&&((ypos>=140)&&(ypos<=160));
wire d_dis=((xpos>=220)&&(xpos<=580))&&((ypos>=440)&&(ypos<=460));
wire e_rdy=((xpos>=385)&&(xpos<=415))&&((ypos>=285)&&(ypos<=315));

//RGB 像素点的赋值
assign vga_r= valid?e_rdy:1'b0;
assign vga_g= valid? (a_dis|b_dis|c_dis|d_dis):1'b0;
assign vga_b= valid? ~(a_dis|b_dis|c_dis|d_dis):1'b0;
endmodule

```