

Verilog HDL典型电路设计作业





▶设计规格要求

- ✓ 设计一个APB Slave总线接口的32位定时器;
- ✓总线数据宽度为32,总线地址宽度为5;
- ✓系统时钟SYSCLK为25M
- ✓RST_B为系统非同步复位,低电平有效
- ✓INT_B为定时器中断,低电平有效
- ✓除RST_B外,所有输入信号同步于时钟SYSCLK的上升沿

▶功能要求

- ✓ 当定时器控制寄存器EX_CON的CNT_START信号为1时,32位定时器开始计数
- ✓ 当计数值等于定时时间配置寄存器EX_TO,定时器变为0,此时定时器控制寄存器EX_CON的INT_EN为 1,OVFL_CLS信号为0时,定时器中断信号INT_B变为低电平
- ✓ 当定时器控制寄存器EX_CON的OVFL_CLS信号为1时,INT_B变为高电平



APB 总线接口实例讲解_功能描述

≻Registers File

Address	Name	Access	Description
5'h00	EX_CON	RW	定时器控制寄存器
5'h01	EX_TO	RW	定时时间配置寄存器



Registers File

- ▶ 定时器控制寄存器(EX_CON, Addr = 5'h0)
 - ❖ Default value: 0x0000_0000

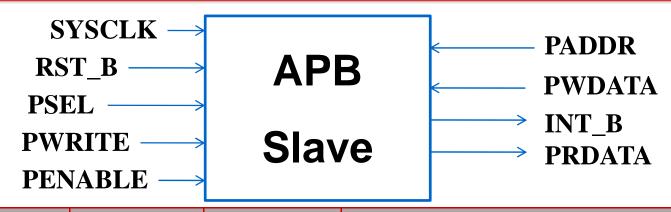
Register Bits	Name	Function Description	
0	RSV	Reserved	
1	CNT_START	定时器控制 0:停止计数(Default) 1:开始计数	
2	INT_EN	定时器溢出中断控制 0:中断关闭(Default) 1:中断开启	
3	OVFL_CLS	定时器溢出中断清除控制 0:INT_B保持原有状态(Default) 1:使能定时器中断信号清除; INT_B为1	
31:4	RSV	Reserved	



- ▶ 定时时间配置寄存器(EX_TO, Addr = 5'h01)
 - Default value: 0xffff_ffff

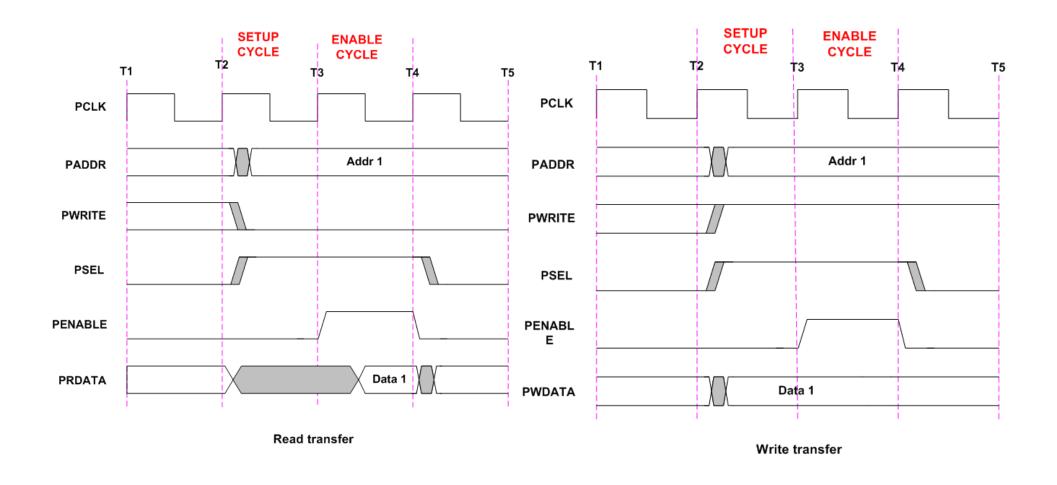
Register Bits	Name	Function Description
31:0	TIMER_CNT	设置定时时间(以秒为单位) 1:system clk 为25M,周期为40ns 2:最大定时器的时间FFFF_FFF*40/10^6=172秒 3: 定时值TIMER_CNT =(计数时间*100000000)/40





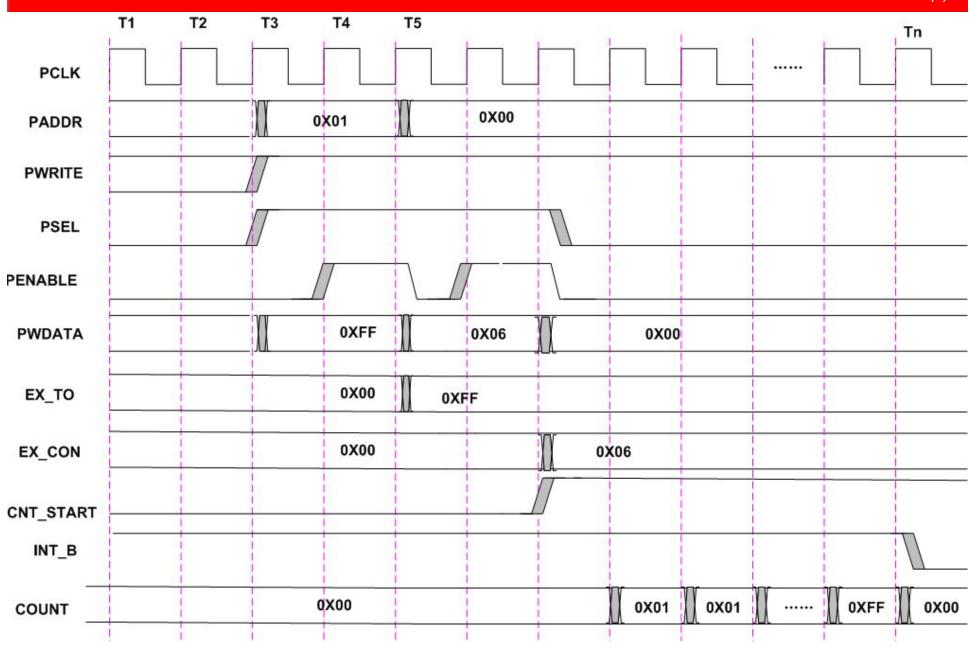
Port	Width	Direction	Description
SYSCLK	1	INPUT	System clock
RST_B	1	INPUT	System reset (low active)
PSEL	1	INPUT	APB select
PWRITE	1	INPUT	APB transfer direction: 1写;0读
PENABLE	1	INPUT	APB strobe
PADDR	5	INPUT	APB address bus
PWDATA	32	INPUT	APB write data bus
PRDATA	32	OUTPUT	APB read data bus
INT_B	1	OUTPUT	Interrupt signal







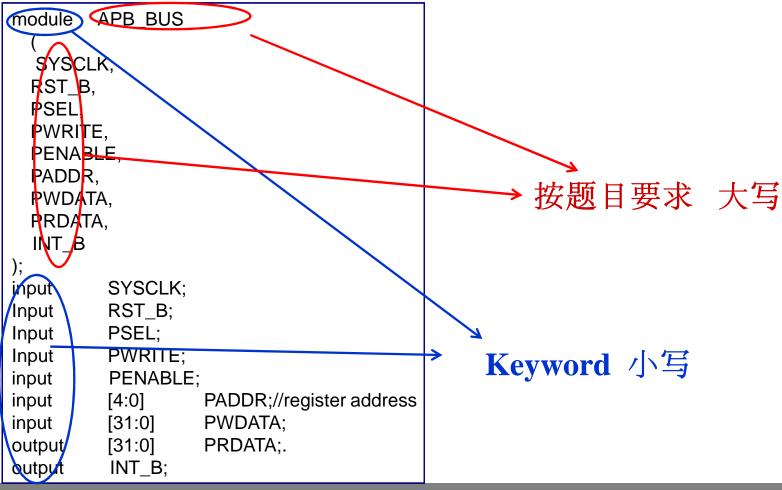
APB BUS 讲解_时序图



作业提交格式如下:

设计文件名: APB_BUS_xx.v 例如: APB_BUS_wangyong.v

验证文件名: APB_BUS_tb_xx.v 例如:APB_BUS_tb_wangyong.v





Thank you

Q&A

