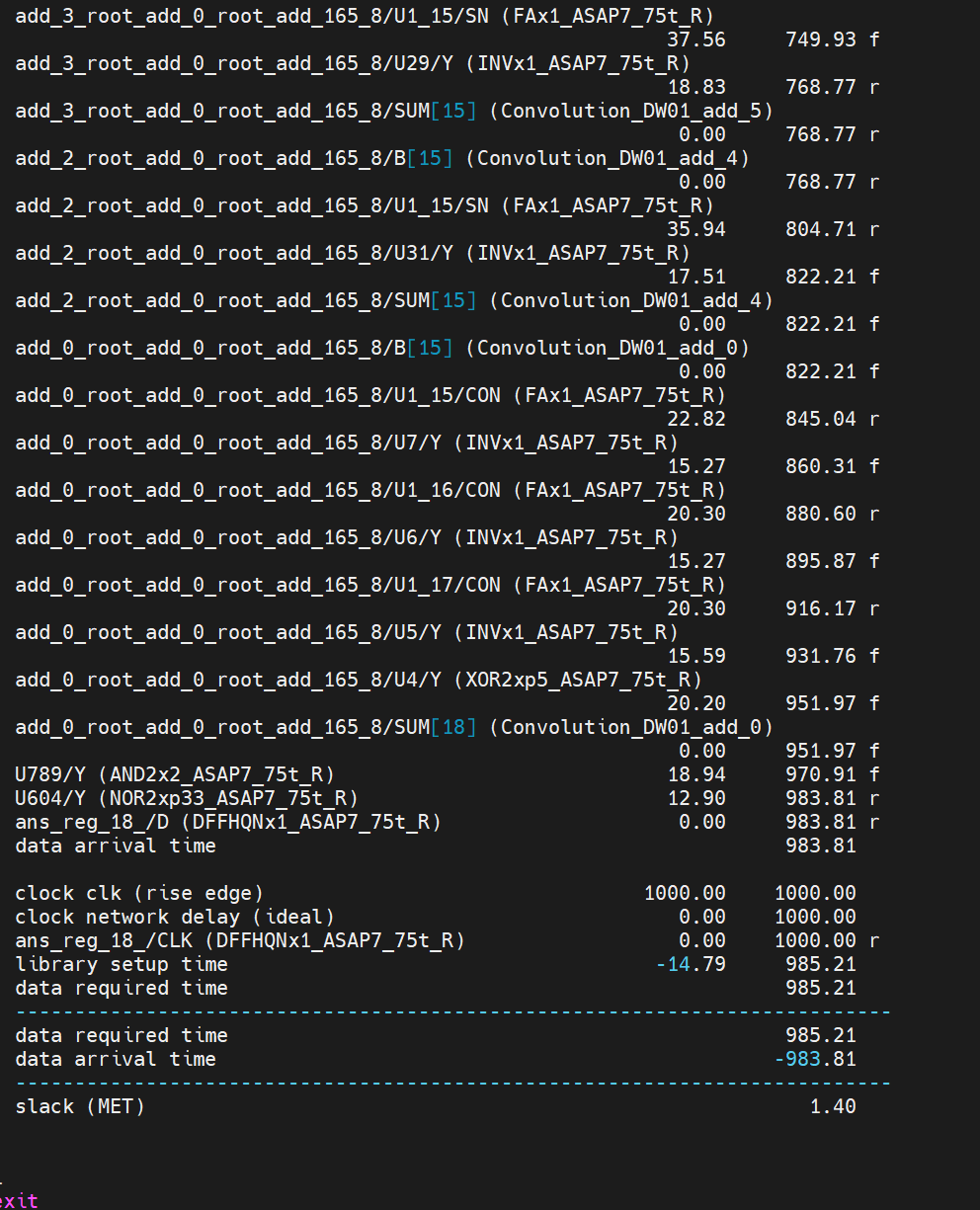
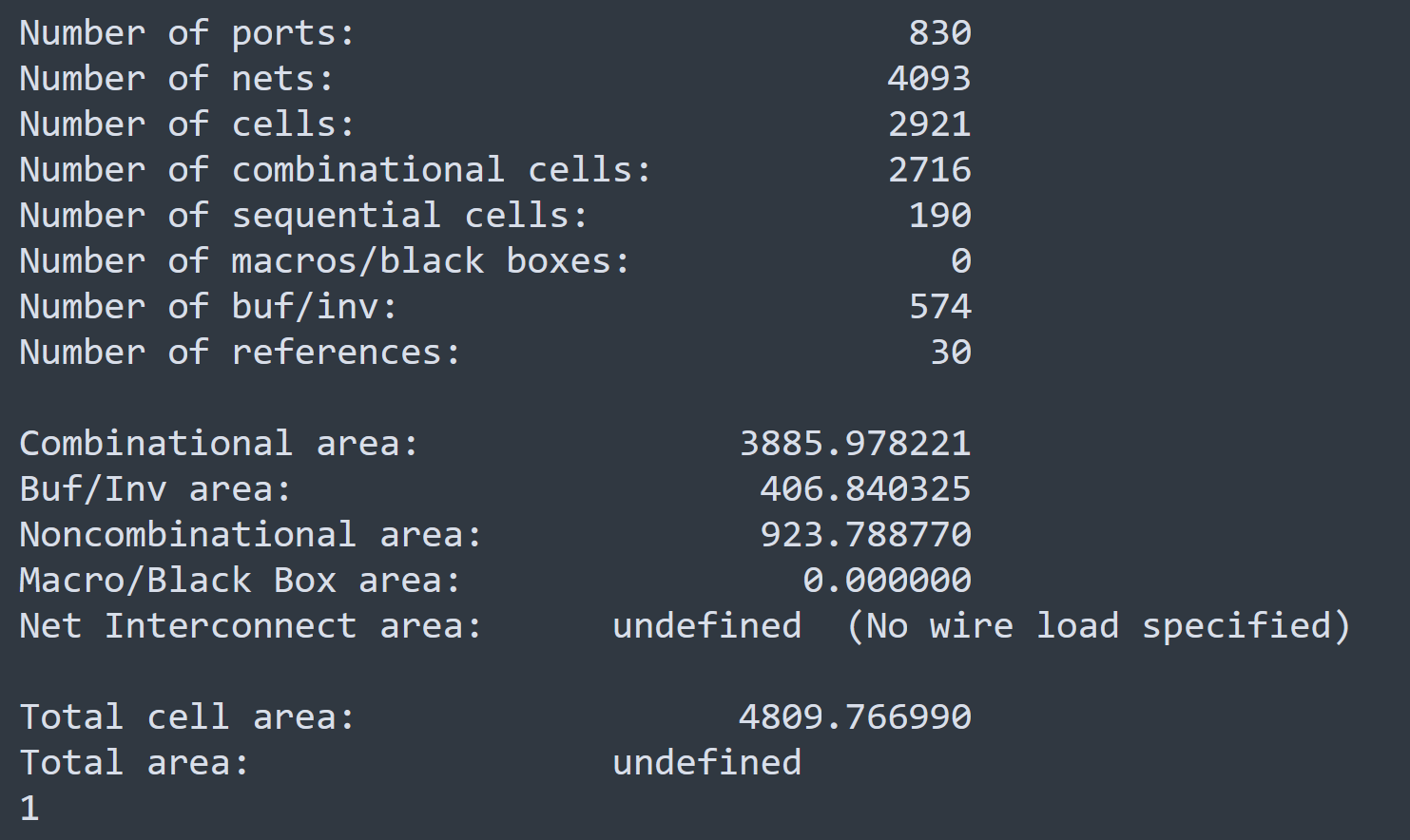
**DIC HW5**

312510190 張家瑋

**PART1:** Implement a 3x3 convolution kernel without clock gating.

****

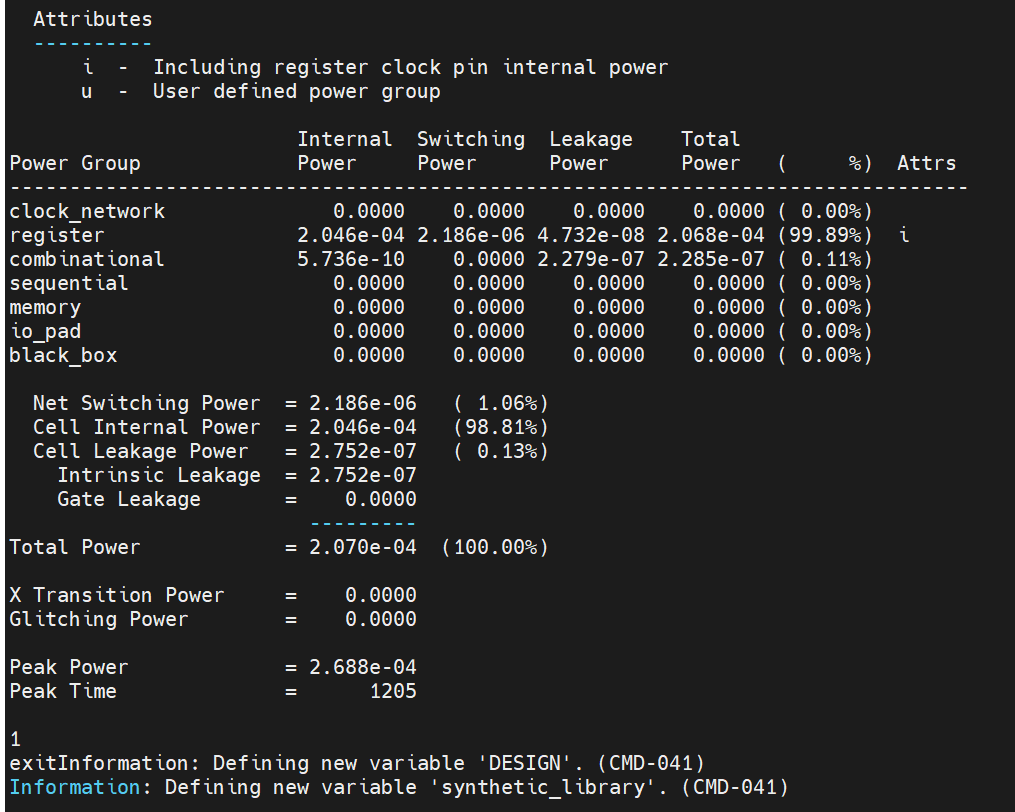
實現convolution without clock gating, clock period 滿足設定之1000ps

****

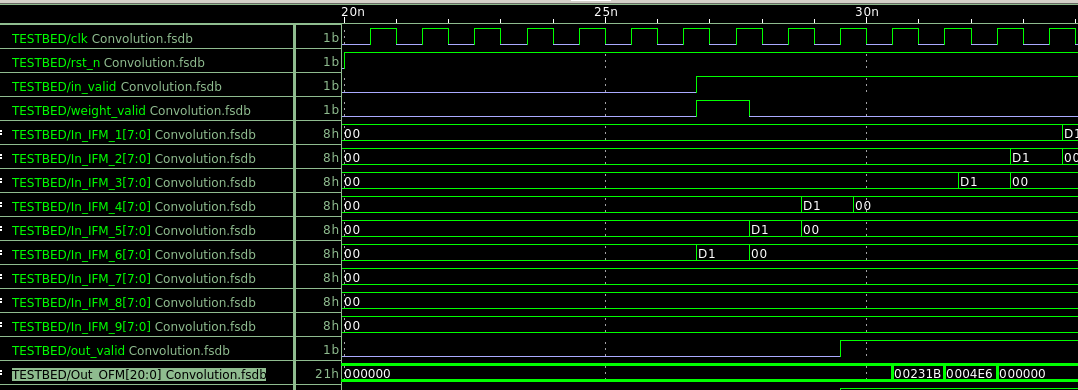
面積小於5100um2。

**PART2:** Use the pattern provided by TA to generate the waveform under gate-level simulation, and measure the power consumption of 3x3 convolution kernel using PrimePower

**(1). Without using clock gating**

****

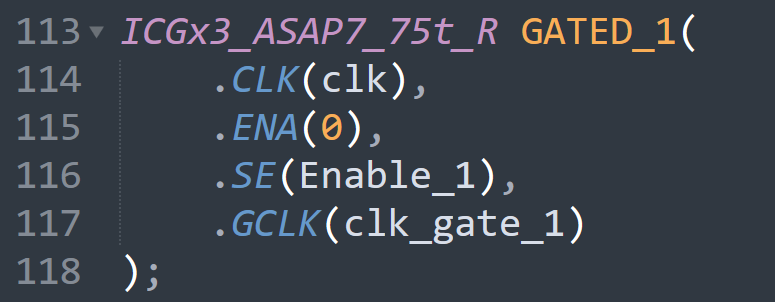
**waveform:**

****

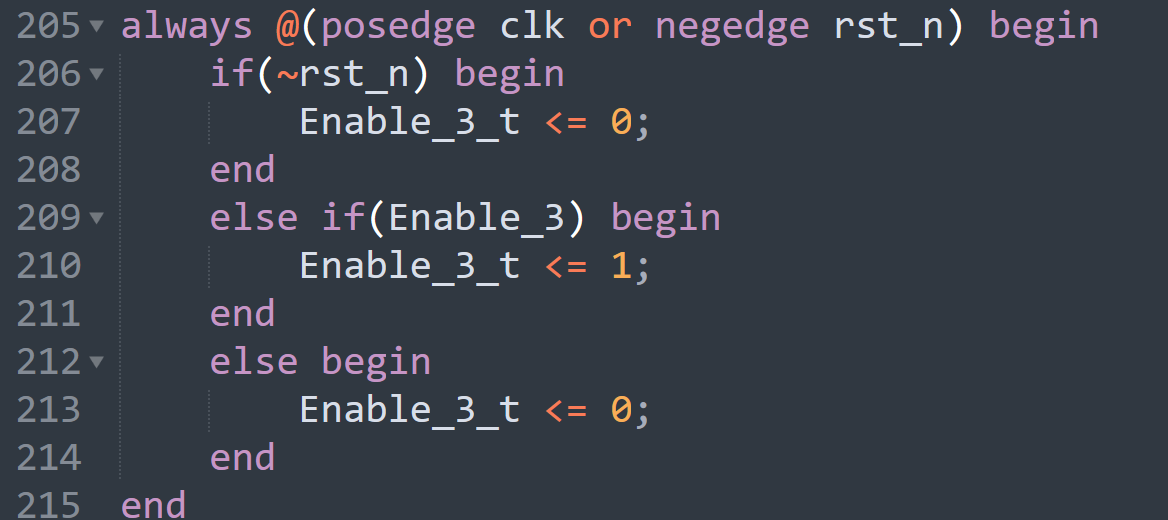
根據power report，dynamic power佔了整體99.8%左右，其中Internal power又佔了dynamic power的90%以上，這代表整個電路主要的功耗來自於電晶體切換時NMOS、PMOS同時導通所造成的Short circuit power。

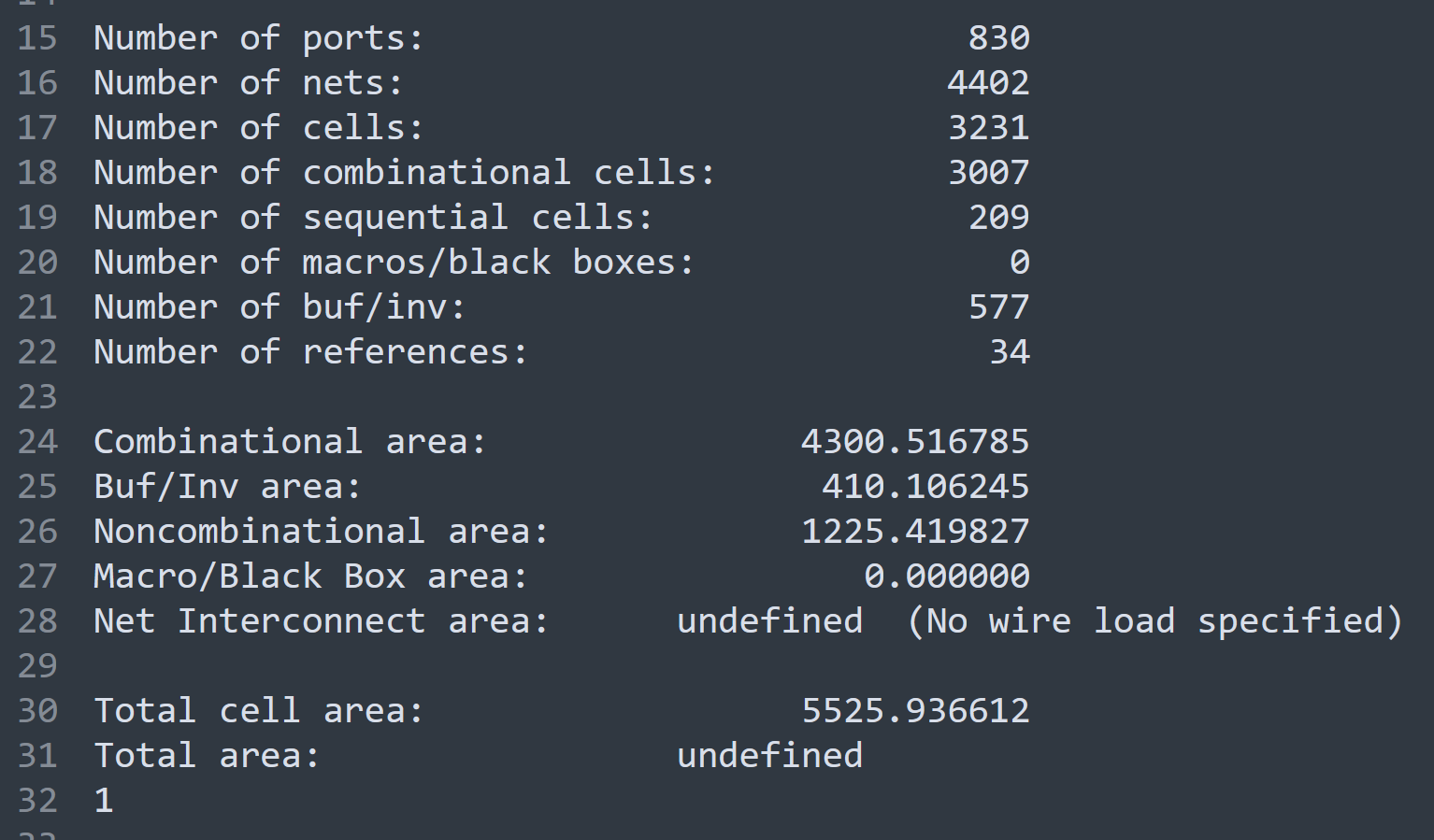
Power consumption的來源，又以register為大宗，combinational則為其次。

**PART3:** Power reduction using a data-driven clock gating technique

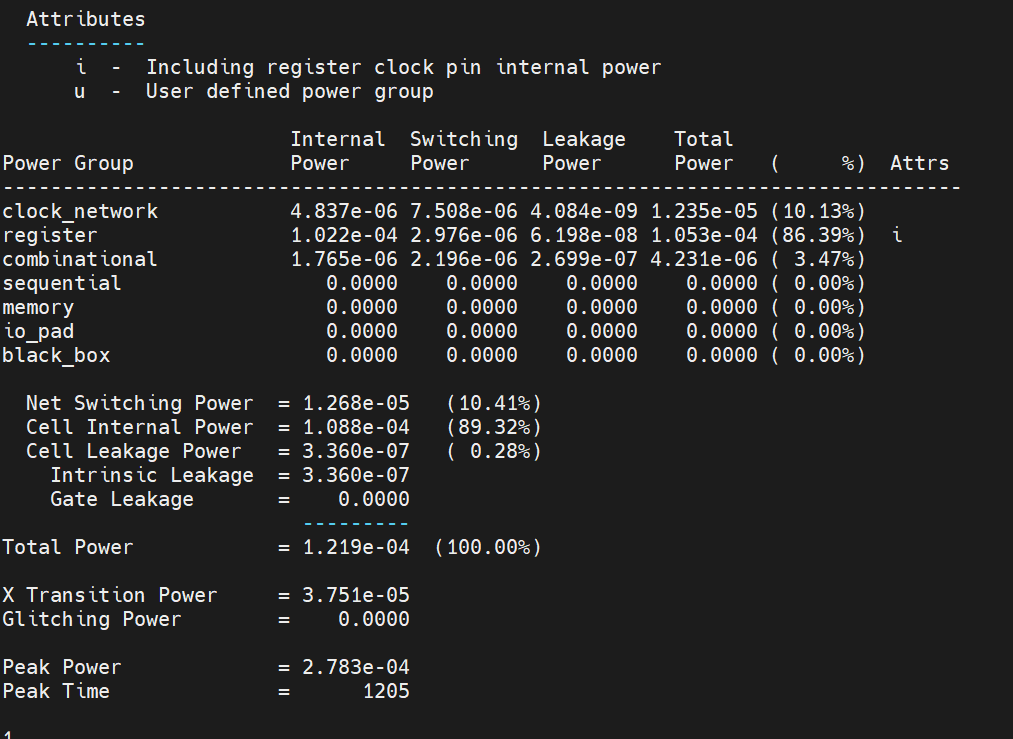
****

****

****設置CG元件，由於0乘上任何數字都是0，因此當In\_IFM從一個不為零的數字變成0的時候，我們可以把In\_IFM\_reg的clk給關掉，相加的時候直接輸入0，這樣可以有效減少register切換的次數進而節省power。



**(2). Using clock gating**

****

使用CG後的power降到120uW。

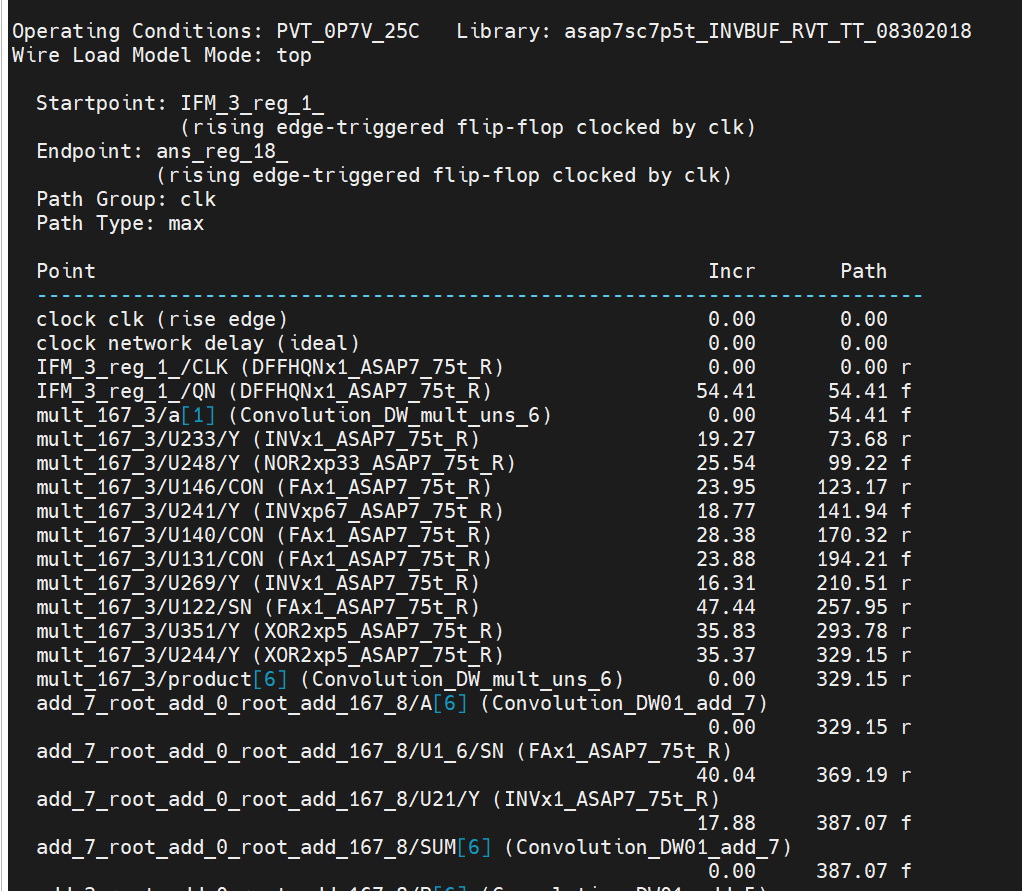
**PART4:** Compare and analyze the area and critical path

|  |  |  |
| --- | --- | --- |
|  | area | power |
| Without CG | 4809um2 | 207uW |
| With CG | 5525um2 | 122uW |

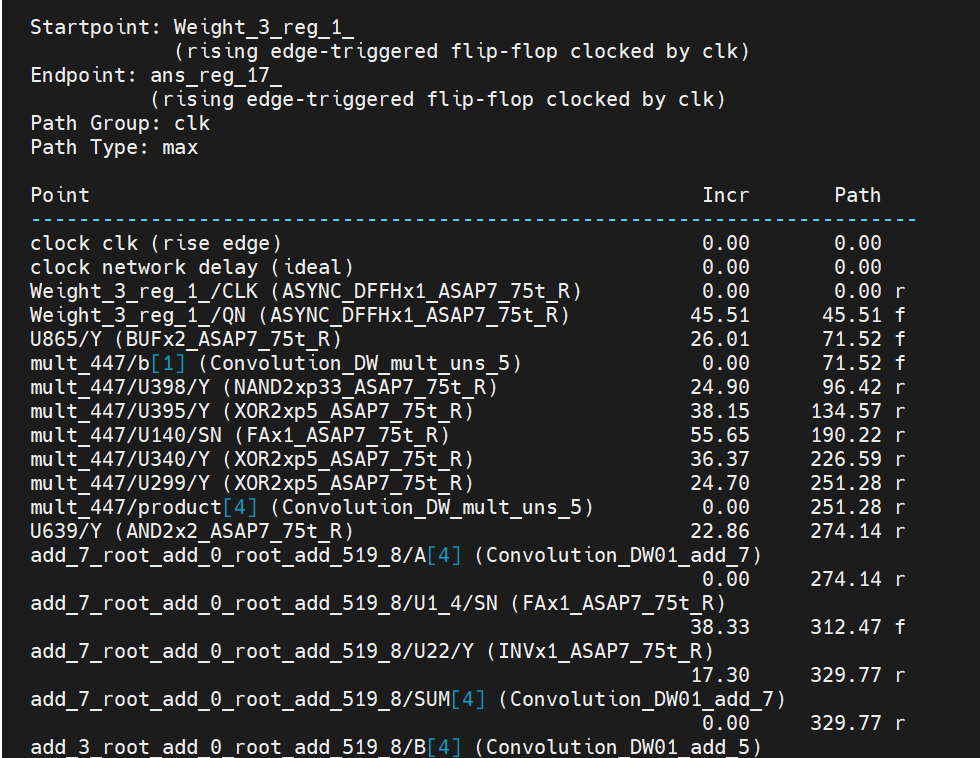
使用CG後，雖然area增加約14.8%，但power卻節省41.1%，可發現CG確實大大增加功率效益。

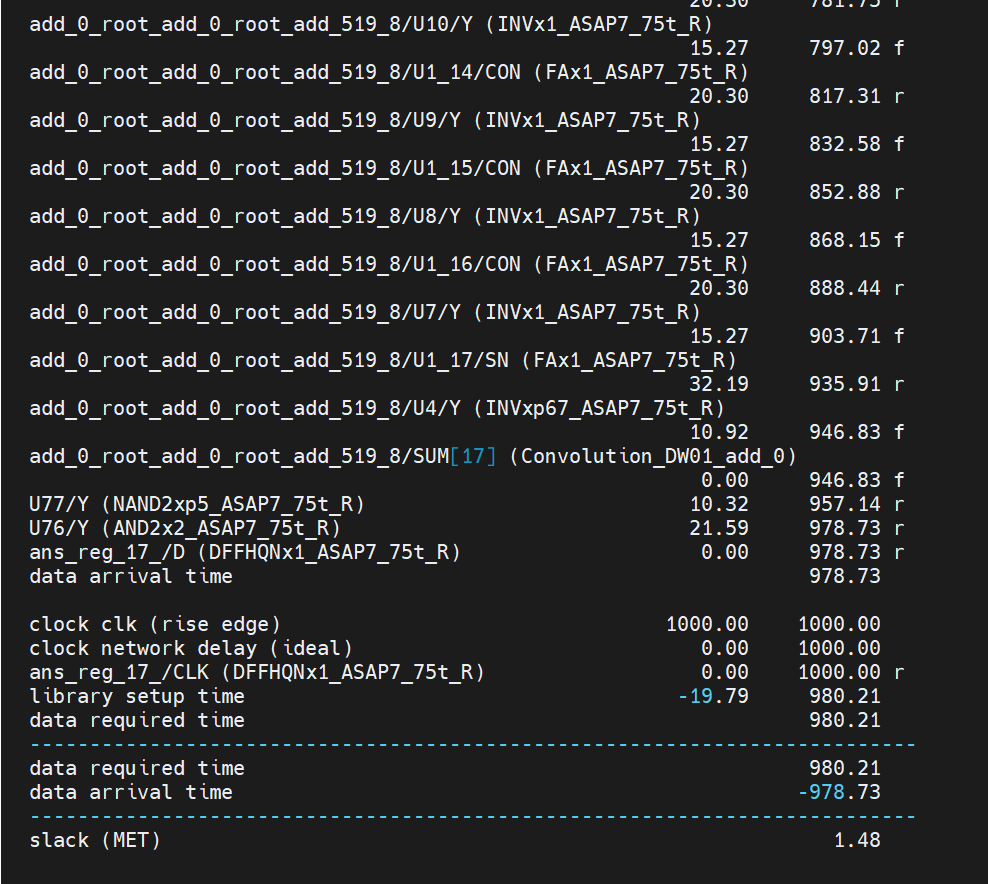
根據公式，internal power能降這麼多的原因主要是tsc(NMOS PMOS同時導通的時間)下降很多，也就是暗示register切換(0→1 or 1→0)的次數明顯減少。

**Critical Path Without CG:**

****

根據timing report，critical path來自於IFM\_3\_reg\_1到ans\_reg\_18的路徑，

**Critical Path With CG:**

****

根據timing report，critical path的起點在Weight\_3\_reg\_1，終點在ans\_reg\_17，如圖所示

還沒gate的時候，critical path會從IFM出發，但當使用CG後，critical path起點是從weight\_reg開始。