

# Taller de Caché

Organización del Computador 1

Primer Cuatrimestre 2018 - Turno Tarde

## Ejercicio 1 - Seguimiento de Caché

**NOTA:** completar la tabla manualmente, sin utilizar el simulador. Una vez completa, verificar los resultados con el mismo.

### Caché de correspondencia directa

Dirección	Tag	Línea ( <i>bits</i> /decimal)	Índice	Direcciones de la línea	Hit/Miss
0x0009					
0x001D					
0x000A					
0x0101					
0x0113					
0x000A					
0x001E					
0x0102					
0x0114					

### Caché completamente asociativa

Dirección	Tag	Indice	# Línea	Direcciones de la línea	Hit/Miss
0x0009					
0x001D					
0x000A					
0x0101					
0x0113					
0x000A					
0x001E					
0x0102					
0x0114					

a) ¿En qué casos funciona mejor una memoria completamente asociativa frente a una de correspondencia directa? Dé un ejemplo.

b) ¿Qué pasa si sólo uso caché para los datos? ¿Y si sólo la uso para el código?

### Ejercicio 2 - Políticas de desalojo

a) Medir el *hit rate* que se produce para ambos códigos, con las políticas FIFO, RANDOM y LRU.

- Iguales:
  - FIFO:
  - RANDOM:
  - LRU:
- Mix:
  - FIFO:
  - RANDOM:
  - LRU:

- b) Explique la diferencia de performance de la cache encontrada entre ambos códigos, independientemente de la política utilizada.
- c) Explique cuál es el beneficio que obtiene entre utilizar FIFO y LRU, tras analizar el hit rate en ambos casos.

### Ejercicio 3 - Análisis de Caché

- a) A partir del resultado que se observa, ¿se puede decir que a mayor cantidad de líneas, mejor funcionamiento de la cache? ¿Para verificar su hipótesis, que pasa si tenemos más de líneas (**nota:** al menos debe quedar un bit para índice)? Explique qué sucede.

### Corrección

Para uso de los docentes

1	2	3