

中国科学技术大学计算机学院
《数字电路实验报告》



实验题目：简单组合逻辑电路

学生姓名：叶子昂

学生学号：PB20020586

完成时间：2021年10月28日

实验题目

简单组合逻辑电路

实验目的

- 课本
 - 熟悉Logism的基本用法
 - 进一步熟悉Logism更多功能
 - 用Logism设计组合逻辑电路并进行仿真
 - 初步学习Verilog语法

实验环境

- 有Windows系统的电脑，能连接校园网
- Logism仿真工具
- Vivado软件
- vlab.ustc.edu.cn平台

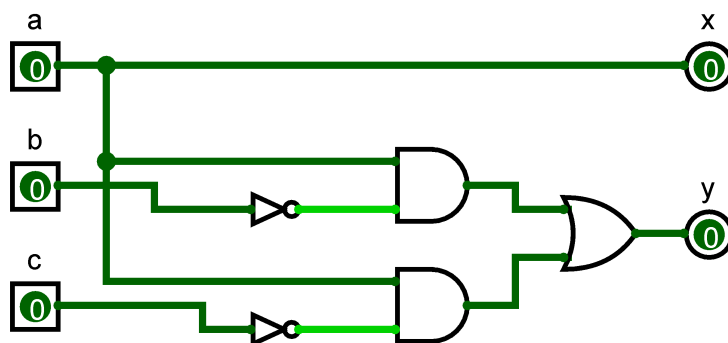
实验步骤

1. 使用真值表用Logism自动生成电路

- 真值表

a	b	c	x	y
0	0	0	0	0
0	0	1	0	0
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	1
1	1	0	1	1
1	1	1	1	0

- 使用Logism自动建立电路



2. 用表达式生成电路图

- 输入表达式

输出:

$a + \bar{a}b + \bar{a}\bar{b}c + \bar{a}\bar{b}\bar{c}d$

$$a + \bar{a}b + \bar{a}\bar{b}c + \bar{a}\bar{b}\bar{c}d$$

清空 恢复 输入

输出:

$a + \bar{a}b + \bar{a}\bar{b}\bar{c}de + \bar{a}\bar{b}\bar{c}\bar{d}ef$

$$a + \bar{a}b + \bar{a}\bar{b}\bar{c}de + \bar{a}\bar{b}\bar{c}\bar{d}ef$$

清空 恢复 输入

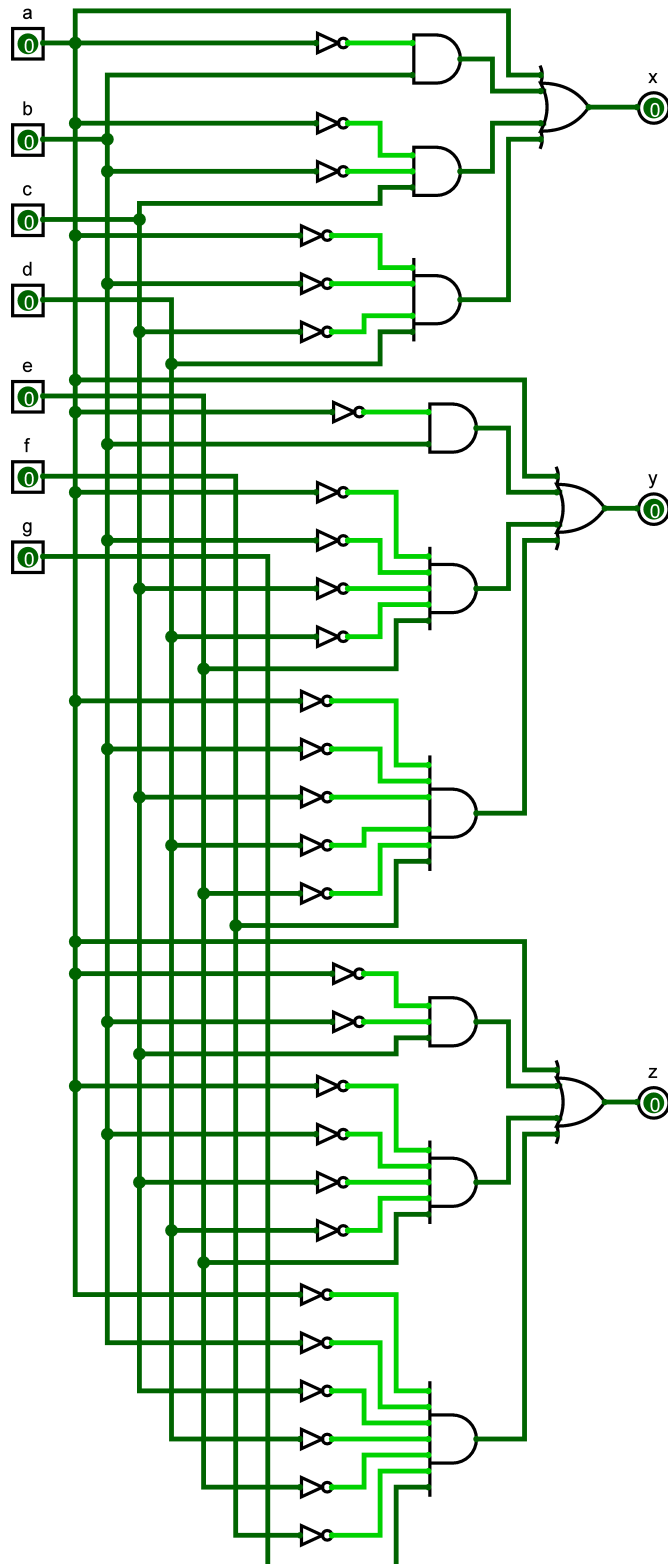
输出:

$a + \bar{a}\bar{b}c + \bar{a}\bar{b}\bar{c}de + \bar{a}\bar{b}\bar{c}\bar{d}efg$

$$a + \bar{a}\bar{b}c + \bar{a}\bar{b}\bar{c}de + \bar{a}\bar{b}\bar{c}\bar{d}efg$$

清空 恢复 输入

- Logisim自动建立



3. Verilog HDL入门

- 例一：（简单模块）

```
module test (  
    input in,  
    output out,  
    output out_n  
);  
    assign out=in;  
    assign out_n=~in;  
endmodule
```

- 例二：（位拼接）

```
module add(  
    input a,b,  
    output sum,cout  
);  
    assign{cout,sum}=a+b;  
endmodule
```

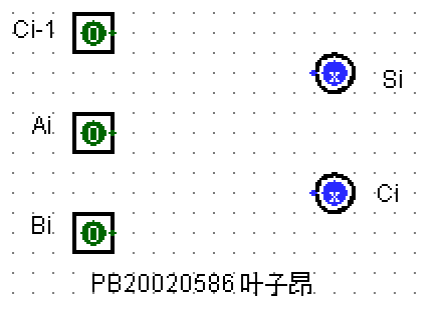
- 例三（模块例化）

```
module full_add (  
    input a,b,cin,  
    output sum,cout  
);  
    wire s,carry1,carry2;  
    add add_inst1(.a(a),.b(b),.sum(s),.cout(carr1));  
    add add_inst2(.a(s),.b(cin),.sum(sum),.cout(carr2));  
    assign cout=carry1|carry2;  
endmodule
```

实验练习

题目一

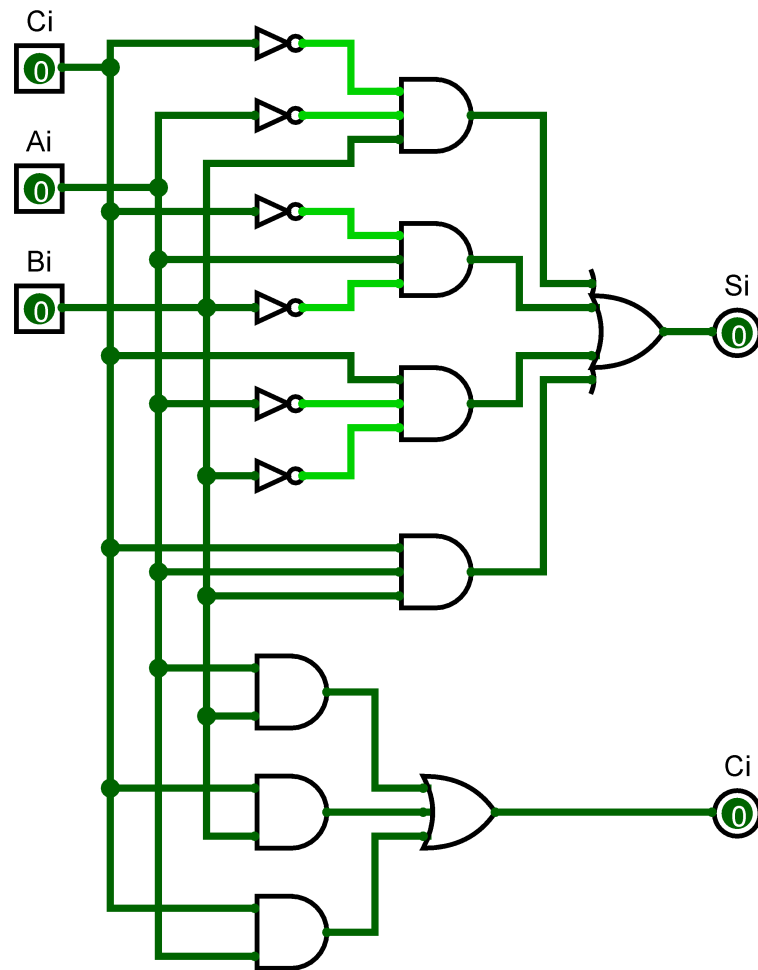
- 首先设置端口



- 输入真值表

Ci	Ai	Bi	Si	Ci2
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

- 建立电路



PB20020586 叶子昂

题目二

- 首先列出表达式

a,b,c分别为A2到A0

d,e,f分别为G1到G3

x到t即为Y7到Y0

$$x = \sim a + \sim b + \sim c + \sim d + e + f$$

$$y = \sim a + \sim b + \sim c + \sim d + e + f$$

$$z = \sim a + \sim c + b + \sim d + e + f$$

$$u = \sim a + c + b + \sim d + e + f$$

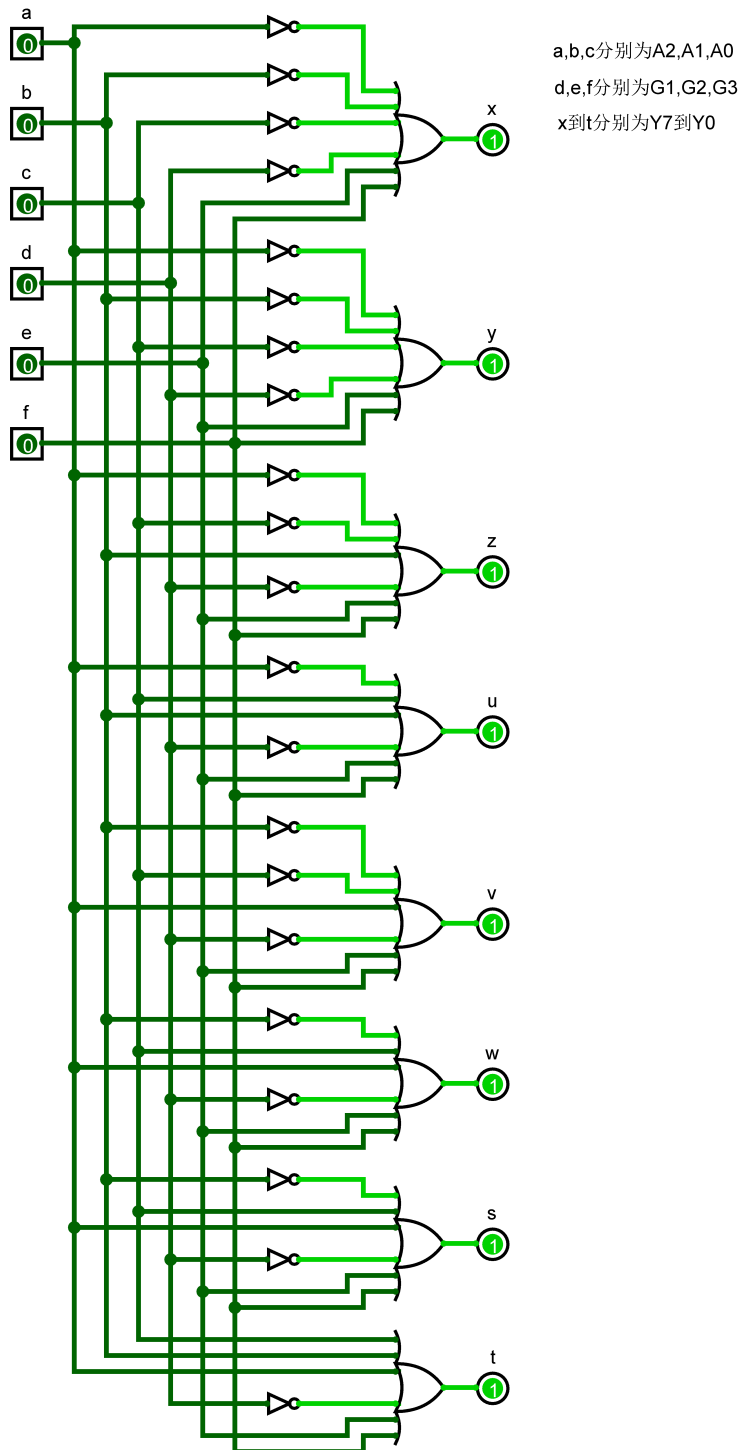
$$v = \sim b + \sim c + a + \sim d + e + f$$

$$w = \sim b + c + a + \sim d + e + f$$

$$s = \sim b + c + a + \sim d + e + f$$

$$t = c + b + a + \sim d + e + f$$

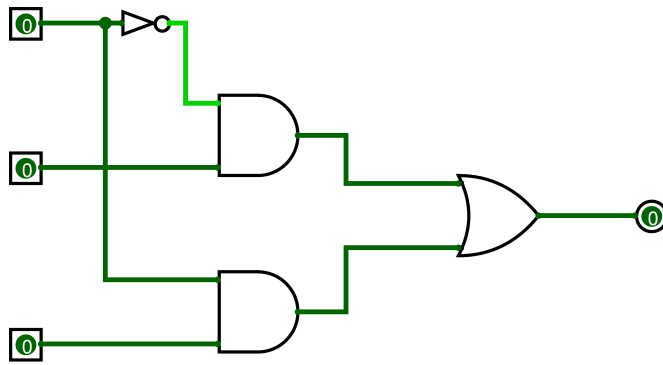
- 输入Logisim中自动生成电路如下：



PB20020586 叶子昂

题目三

- 使用Logisim画出1bit位宽的二选一数据选择器

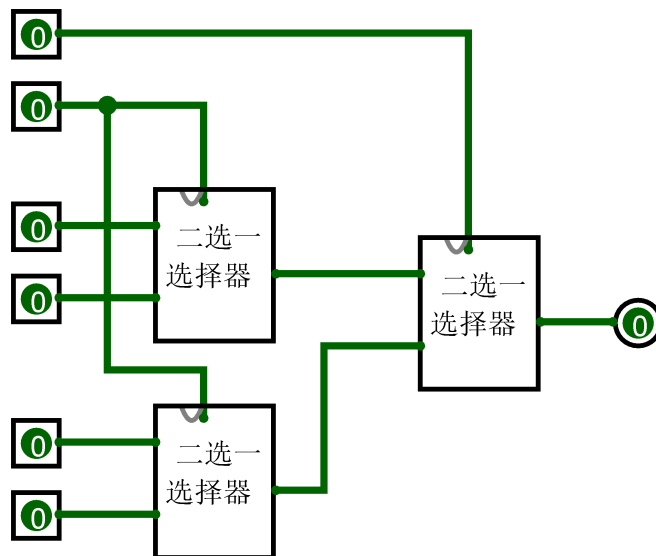


- 根据电路图按要求用verilog实现

```
module selct (
    input a,b,sel,
    output cout
);
    wire s,carry1,carry2;
    not(s,sel);
    and(carry1,s,a);
    and(carry2,sel,b);
    or(cout,carry1,carry2);
endmodule
```

题目四

- 画出由二选一选择器构成四选一选择器的电路图



- 例化题目三中的二选一选择器

```
module top_module(
    input a,b,c,d,sel1,sel2,
    output out
);
    wire temp1,temp2;
    selct instance1(a,b,sel1,temp1);
    selct instance2(c,d,sel1,temp2);
    selct instance3(temp1,temp2,sel2,out);
endmodule
```

题目五

- 根据真值表列出逻辑表达式

$$y_2 = i[7] \mid i[6] \mid i[5] \mid i[4]$$

$$y_1 = i[7] \mid i[6] \mid \sim i[5] \& \sim i[4] \& i[3] \mid \sim i[5] \& \sim i[4] \& i[2]$$

$$y_0 = i[7] \mid \sim i[6] \& i[5] \mid \sim i[6] \& \sim i[4] \& i[3] \mid \sim i[6] \& \sim i[4] \& \sim i[2] \& i[1]$$

- 用verilog代码实现

```
module preinfor (
    input [7:0] i,
    output [2:0] y
);
    assign y2=i[7] | i[6] | i[5] | i[4];
    assign y1=i[7] | i[6] | ~i[5]&~i[4]&i[3] | ~i[5]&~i[4]&i[2];
    assign y0=i[7] | ~i[6]&i[5] | ~i[6]&~i[4]&i[3] | ~i[6]&~i[4]&~i[2]&i[1];
endmodule
```

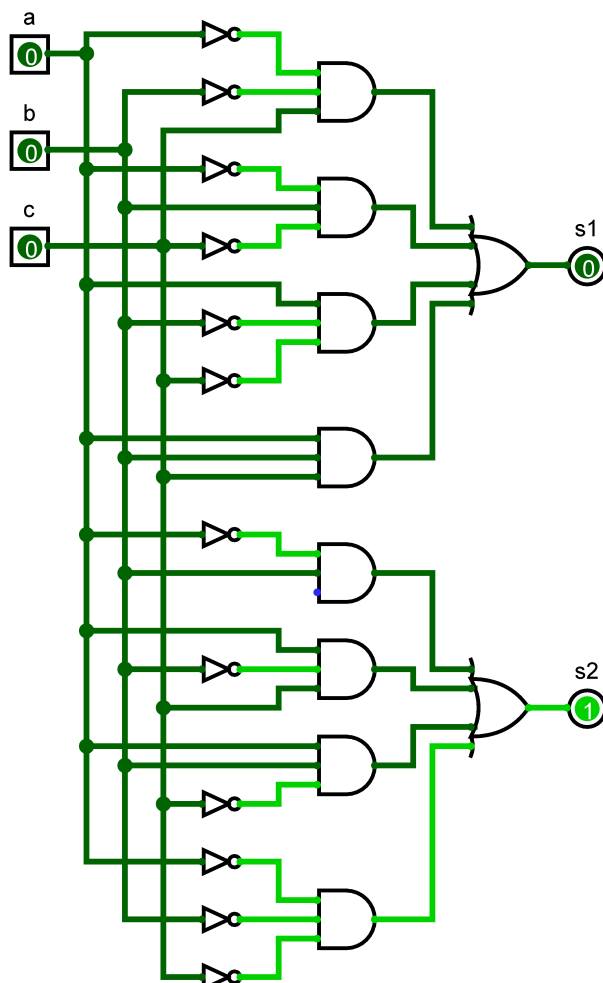
题目六

- 根据verilog代码得到逻辑表达式

$$s_1 = \sim a \& \sim b \& c \mid \sim a \& b \& \sim c \mid a \& \sim b \& \sim c \mid a \& b \& c;$$

$$s_2 = \sim a \& b \& c \mid a \& \sim b \& c \mid a \& b \& \sim c \mid \sim a \& \sim b \& \sim c;$$

- 输入Logisim得到电路图以及真值表



a	b	c	s1	s2
0	0	0	0	1
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	0

- 从真值表可以看出当输入有0个或2个为1时 **s1为0 s2为1** 而当输入有1个或3个为1时 **s1为1 s2为0** 从而得知该电路功能为判断输入为高电平信号的个数（或奇偶性）。

总结与思考

1.
 - 通过本次实验我进一步了解和熟悉了Logisim的功能，学会了通过Logisim自动生成和分析电路，能够利用Logisim设计实现组合逻辑电路并进行仿真。
 - 初步了解了verilog并通过实验和oj平台掌握了verilog的基本语法，能够用其描述一些简单的电路，能够将实现的模块实例化并简单的应用
2. 本次实验进一步应用Logisim和简单讲解使用verilog，较为简单
3. 本次实验分块明确，讲解清楚，任务量适中
4. 希望能加入如运算优先级，关键词含义之类的讲解