

# 模拟数字电路

## 数制与基本的逻辑

### 数制

常见进制：二进制，八进制，十进制，十六进制。（二进制在电路中用高低电平代表）

### 进制转化

十转二短除法，二转十反复乘2.二转八或十六分别三个四个一组进行转换。

误差不大于 $2^{-n}$ ，小数位计算到n位即可，同时遵循四舍五入。

### 二进制的运算

**无符号**：加减乘法同十进制，除法 $0/1=0$ ， $1/1=1$ ，0不能被除。

**有符号**：0为负数1为正数通常1是用补码进行计算。补码为与正数的原码相同为负数的原码数值位取反加一。

转换为十进制进行计算。

补码为负数时取反加一得到原码

### 溢出

只有符号位相同的数相加才有可能溢出。当进位与符号位相反时说明产生了溢出。

### 二进制代码

常见的二进制代码有十位BCD码，格雷码与ASCII码

### 基本逻辑运算

与或非，与非或非，异或同或。

## 逻辑代数

### 基本定律与恒等式

重点为吸收律和摩根律

### 代数运算基本规则

代入规则与反演规则

### 逻辑表达式的形式

1. 与或式

$$L = AB + CD$$

2. 或与式

$$L = (A + B)(C + D)D$$

3. 最小项，最大项
4. 最小项表达式：最小项相或  $\sum m$
5. 最大项表达式：最大项相与  $\prod M$
6. 无关项：不影响目标电路结果可利用用以化简  $d$

相同变量构成的最大项最小项互反。

## 逻辑图的代数化简法

- 最简式：通常希望化简为与或式。
- 并项法：  $A + A = A$
- 吸收法：运用吸收律
- 消去法：运用吸收律
- 配项法：  $A = A(B + B)$

## 逻辑图的卡诺图化简法

- 通常化为最简与或式利用相邻项
- 要化为最简或与式 先求L反的最简与或式，再用摩根律化为最简或与式/亦可利用互补关系。
- 有无关项的化简，可以利用无关项进一步化简

# 组合逻辑电路

## 组合逻辑电路的分析

1. 对照电路图写出逻辑表达式
2. 化为最简
3. 列出真值表
4. 据2, 3分析电路实际功能

## 组合逻辑电路的设计

1. 抽象问题确定输入输出，列出真值表。
2. 依真值表根据选用器材列出表达式。
3. 化为最简式
4. 连好电路完成设计

## 典型组合逻辑电路

**编码器：**将输入信号转化为二进制代码

普通编码器

优先编码器

**译码器：**将输入的二进制编码转化为目标输出信号

- 2-4线译码器，3-8线译码器，4-16线译码器
- 十进制译码器：将十进制BCD码转为10个状态输出。
- 七段显示译码器：将4位BCD码译为七段码显示于屏幕。

**数据分配器：将公共数据线上的数据根据需要送到不同的通道。**

使用译码器实现数据分配功能（原二进制输入对应输出地址）

**数据选择器：选择多个信号源中的一路接入公共数据通道。**

使用基本的二选一数据选择器可以实现大多数选择器。

数据选择器和数据分配器可以复用以构成数据传输系统。

**数值比较器：比较数值大小。**

主要思想先比较高位在比较低位。

**加法器：进行基本的加法运算。**

- 半加器：不接受前项进位，与输入相加产生和产生进位。
  - 全加器：接受前项进位，与输入相加产生和以及进位。
1. 串行加法器：一位一位加，得到进位后计算下一位。
  2. 超前进位加法器：将输入所有位全纳入迭代计算。

**PLD可编程逻辑器件**

圆点固定连通，叉可编程连通，没有标记的相交不连通。

---

## 锁存器与触发器

### 基本双稳态电路

：具有0，1两种状态，并且进入一种状态后便能长期保持的电路。

时钟信号：也叫时钟脉冲，用于控制记忆单元更新时间。

### 锁存器

：双稳态电路，电平敏感，在有效电平时更新电路状态。

**SR锁存器：S端为置位输入端，R端为复位输入端。**

约束条件：SR=0；常用于开关去抖动以及门控电路。

**D锁存器：控制信号为高电平时，电路状态与D输入端保持同步。**

### 触发器

：双稳态电路，时钟边沿敏感，在时钟上升沿或下降沿更新电路状态。

**主从D触发器：在时钟有效边沿更新电路状态为D信号**

**维持阻塞D触发器：时钟信号为恒定电平时锁存当前电路状态。**

### 触发器的逻辑功能

以下描述功能均指时钟有效时

边沿D触发器:  $Q^{n+1} = D$

JK触发器: K为复位输入端, J为置位输入端|JK均为1时电路状态翻转 $Q^{n+1} = J\overline{Q_n} + \overline{K}Q_n$

T触发器: T输入端为0时电路保持, 为1时电路状态翻转。 $Q_{n+1} = T\overline{Q_n} + \overline{T}Q_n$

T'触发器: 相当于T触发器的T输入端恒为1, 电路状态始终翻转。 $Q^{n+1} = \overline{Q^n}$

SR触发器: 与SR锁存器功能相似仅为电路更新条件变为触发器。 $Q^{n+1} = S + \overline{R}Q^{n+1} \quad SR = 0$

使用D触发器构成其它类型的触发器。

状态图: 标注当前状态, 控制信号, 以及更改后状态。

无论是锁存器还是触发器由于电路传输存在延时, 控制信号或时钟信号产生或更改需要一定时间才能完成对电路状态的更改, 因此控制信号通常应维持一段时间以保证电路状态完成改变, 否则电路状态会没有完成预期的更改或产生高阻态。

---

## 时序逻辑电路

### 时序逻辑的基本概念

- 时序逻辑电路的特点: 含有记忆电路和反馈电路, 电路状态与当前状态和以前的输入均相关。
- 时序逻辑电路的基本结构
  - I为输入信号
  - O为输出信号
  - E为激励信号
  - S为状态信号也称作现态
- 时序逻辑电路的分类
  - 同步: 所有触发器时钟信号统一
  - 异步: 触发器时钟信号不统一
    - 1. 米利型: 输出信号不仅取决于触发器的状态, 还与输入变量有着直接的关系。
    - 2. 穆尔型: 输出信号仅与触发器的状态相关而与输入信号没有直接关联。

### 时序逻辑电路的描述

1. 方程描述: 激励方程, 状态方程, 输出方程
2. 图标描述: 状态转换表, 状态转换图, 时序图

### 时序逻辑电路的分析

1. 根据逻辑图写出逻辑表达式
  - 1. 对每个触发器导出激励方程组
  - 2. 激励方程代入触发器特性方程得到状态转换方程组
  - 3. 将所有输出变量代入输出方程得到输出方程组
- 1, 3通常可分析出电路的组合逻辑特性, 2则可得到电路的状态转换特性
2. 可进一步画出图表分析电路

## 时序逻辑电路的设计

1. 根据问题得到原始状态表和原始状态图
2. 进行状态化简（合并完全相同的状态）
3. 对状态进行编码（通常为二进制编码）以及状态分类
4. 求状态方程以及输出方程
5. 检查自启动
6. 选择触发器求激励方程
7. 画逻辑图

## 异步时序逻辑电路的分析

与同步时序逻辑电路基本相同，但再写转换方程组时由于各个触发器时钟信号一般不同，需要写进表达式，画图时也要画进图表

# 常用芯片资料



## 芯片数据手册网站

[www.alldatasheet.com](http://www.alldatasheet.com)

[www.datasheetcatalog.com](http://www.datasheetcatalog.com)



## 编码器

已附加文件:

[74x148 — 8-3 Line Priority Encoder.pdf](#) (80.908 KB)

[CD4532B — 8-3 Line Priority Encoder.pdf](#) (91.932 KB)

[74x147 — 10-4 Line Priority Encoder.pdf](#) (45.946 KB)



## 译码器

已附加文件:

[74x139 — Dual 2-to-4 line decoder\\_demultiplexer.pdf](#) (47.825 KB)

[74x138 — 3-to-8 line decoder\\_demultiplexer.pdf](#) (153.492 KB)

[74x42 — BCD to decimal decoder.pdf](#) (43.458 KB)

[74x47 — BCD to 7-Segment Decoder.pdf](#) (137.669 KB)

[CD4511 — BCD-to-7 Segment Decoder.pdf](#) (149.04 KB)



## 数据选择器

已附加文件:

[74x153 — Dual 4-input multiplexer.pdf](#) (48.764 KB)

[74x151 — 8-input multiplexer.pdf](#) (50.105 KB)



## 比较器与加法器

已附加文件:

[74x283 — 4-bit binary full adder with fast carry.pdf](#) (62.914 KB)

[74x182 — Look-ahead carry generator.pdf](#) (72.225 KB)

[74x85 — 4-bit magnitude comparator.pdf](#) (73.616 KB)