

```
1  library ieee;
2  use ieee.std_logic_1164.all;
3
4  entity detseq is
5  port(clk, rst: in std_logic;
6  x: in std_logic_vector(2 downto 0);
7  y: out std_logic);
8  end detseq;
9
10 architecture arq of detseq is
11 type estado is (estado_A, estado_B, estado_C, estado_D);
12 signal pr_st, nx_st: estado;
13 begin
14 --circuito secuencial
15 process(clk, rst)
16 begin
17 if(rst = '1') then pr_st <= estado_A;
18 elsif(clk'event and clk = '1') then
19 pr_st <= nx_st;
20 end if;
21 end process;
22 -----
23 --circuito combinacional
24 process(pr_st, x)
25 begin
26 case pr_st is
27
28 when estado_A =>
29 y <= '0';
30 if(x = "001") then nx_st <= estado_B;
31 else nx_st <= estado_A;
32 end if;
33
34 when estado_B =>
35 y <= '0';
36 if(x = "011") then nx_st <= estado_C;
37 elsif(x = "001") then nx_st <= estado_B;
38 else nx_st <= estado_A;
39 end if;
40
41 when estado_C =>
42 y <= '0';
43 if(x = "111") then nx_st <= estado_D;
44 elsif(x = "011") then nx_st <= estado_C;
45 elsif(x = "001") then nx_st <= estado_B;
46 else nx_st <= estado_A;
47 end if;
48
49 when estado_D =>
50 y <= '1';
51 if(x = "001") then nx_st <= estado_B;
52 elsif(x = "111") then nx_st <= estado_D;
53 else nx_st <= estado_A;
54 end if;
55
56 end case;
57 end process;
```

58 `end` `arq;`