

```
1  #    SAIDA DE 4 BITS
2  net reset loc = G12;
3  net mclk loc = B8;      #FPGA na BASYS2 que recebe o sinal do oscilador
4
5
6  #arquivo ucf do circuito seleciona-display
7  net anodos(3) loc= k14;
8  net anodos(2) loc= m13;
9  net anodos(1) loc= j12;
10 net anodos(0) loc= f12;
11
12 #    SAIDA LEDS DISPLAY
13 net catodos(7) loc= n13;
14 net catodos(6) loc= m12;
15 net catodos(5) loc= l13;
16 net catodos(4) loc= p12;
17 net catodos(3) loc= n11;
18 net catodos(2) loc= n14;
19 net catodos(1) loc= h12;
20 net catodos(0) loc= l14;
```