# ARM+FPGA专用开发平台

# ——YJ 4-3-0设计文档

##### 李锐戈

[通用平台设计文档V-0.1 1](#_Toc500579195)

[1设计需求 3](#_Toc500579196)

[2图纸分布 4](#_Toc500579197)

[3详细设计说明 5](#_Toc500579198)

[3.1电源设计说明 5](#_Toc500579199)

[3.1.1电源输入 5](#_Toc500579200)

[3.1.2负载需求 5](#_Toc500579201)

[3.1.3电源保护 6](#_Toc500579202)

[3.2 MCU设计说明 8](#_Toc500579203)

[3.2.1最小系统 8](#_Toc500579204)

[3.2.2外设扩展 8](#_Toc500579205)

[3.3 USB调试设计说明 9](#_Toc500579206)

[3.3.1USB接口 9](#_Toc500579207)

[3.3.2转换芯片 9](#_Toc500579208)

[3.3.3EEPROM 9](#_Toc500579209)

[3.4外扩RAM设计说明 9](#_Toc500579210)

[3.4.1接线 9](#_Toc500579211)

[3.4.2时序 10](#_Toc500579212)

[3.4.3 Memory Map 12](#_Toc500579213)

[3.5外扩接口设计说明 13](#_Toc500579214)

[3.6 thread接口设计说明 16](#_Toc500579215)

[4布线标准 17](#_Toc500579216)

[4.1线宽 17](#_Toc500579217)

[4.2等长线 17](#_Toc500579218)

[5测试方案（使用鉴湖规范） 18](#_Toc500579219)

[5.1 MK64最小系统独立测试 18](#_Toc500579220)

[5.2 FT2232D测试 18](#_Toc500579221)

[5.3 SRAM测试 19](#_Toc500579222)

[5.4电源测试 19](#_Toc500579223)

[5.5整块电路板测试顺序（参照鉴湖实验室测试规范） 19](#_Toc500579224)

## 1设计需求

设计一款专用开发平台，使其满足以下要求：

* ARM+FPGA架构
* FPGA作为存储器，通过Flexbus挂载在ARM上
* 使用最高规格连接
* ARM可以配置FPGA
* 选型满足最新趋势及发展要求

尽量满足要求：

* ROM、RAM足够大
* 迷你板
* 引出IO数量及合理性满足开发需求
* 功耗

系统板命名方式：

* 此版本为推进型号：使用鹰击标志（YJ）。
* 此版本为整个项目第四大类：使用版本4。
* 这是第三块带YJ标志的PCB板：使用3作为子版本号。
* 此版本尚未进行修正：末尾标0。

## 2图纸分布

根据需求，设计原理图有8张。分别为：汇总图纸，系统电源，FPGA电源，FPGA配置，FPGA输入输出，处理器，SRAM配置，系统IO。

## 3电源设计说明

#### 3.1.1电源输入

系统电源有三个输入：USB0输入，raspberry-HAT输入，Arduino-Shiel输入。输入电压范围4.8V-5.5V。常规使用三者选其一输入，违规使用情况下可能发生多个输入同时接入情况。

#### 3.1.2负载需求

#### 3.1.3电源保护

负载电源：5V，3.3V。

3.1.5选型

* LDO：TLV71210
  + 600mA峰值输出，SOT-23-5小封装。
  + 0.5V压降
* LDO:TPS70151
  + 上电时序管理
  + 使能端负逻辑
* 肖特基选型：S4[In5817]（1206）
  + 1A
  + 20V

## 4 MCU设计说明

#### 3.2.1最小系统

K64最小系统设计参考WUT1-3-5。

* 采用50MHz有源晶振作为系统主时钟。
* 不使用USB稳压器

#### 3.2.2外设扩展

MCU扩展外设包括：FlexBus，SDIO，SPI，I2C，I2S, FTM，USB，ADC，DAC，UART。

## 5 FPGA设计说明

FPGA设计参考FP3A 0-3-1设计。

### 5.1基本信息

参考CMod-A7的设计图纸，考虑采购成本等，选用XC7A34T-1FTG256作为核心器件。

第一批采购成本：102元/片

* XC7A35T
  + Xilinx Artix-7系列
  + Vivado 支持
  + 33,280 Logic Cells
  + 5,200 Slices
  + 400 Kb Distributed RAM
  + 90 DSP48E1 Slices
  + 100 \* 18Kb + 50 \* 36 Kb MAX 1800Kb BRAM
  + 5 CMTs
  + 1 PCle
  + 4 GTPS
  + 1 XADC
  + 5 I/O Banks
  + 250 user I/O
* 1FTG256封装
  + 无GTP
  + 5 BANK：BANK0，BANK14，BANK15，BANK34，BANK35
  + 170 I/O
  + 17mm \* 17mm
  + Ball Pitch 1.0mm

### 5.2系统设计

#### 5.2.1 配置方式

使用1K电阻进行设定配置

前期Boot接法：

Mode0 = 1；

Mode1 = 0；

Mode1 = 0；

使用外部Qspi-flash进行配置，同时可以使用JTAG进行配置。

技术成熟后Boot接法：

Mode0 = 1；

Mode1 = 1；

Mode1 = 1；

使用MCU SPI2进行配置：

PTD7 = I/O 读取FPGA INIT

PTD10 = I/O 读取 FPGA DONE

PTD11 = SPI2 PCS0 未作使用

PTD12 = SPI2 SCK 作为时钟

PTD13 = SPI2 SOUT 作为数据输入

PTD14 = SPI2 SIN 未作使用

PTD15 = SPI2\_PCS1 作为I/O触发FPGA PROG

同时可以使用JTAG进行配置。

5.2.2 BANK配置

为满足I/O使用需求，所有BANK使用3.3V的电源。

为降低功耗，可以定制低BANK电压的型号。

5.2.3 时钟源

FPGA具有4个BANK,设计了三个外部时钟源：

* BANK14 MRCC(N11)：GCLK，来源于外部有源晶振设计速度100MHz
* BANK15 MRCC(D13) ：MCU\_CLK\_OUT，来源于MCU的CLK\_OUT口，主要作为flexbus辅助时钟，设计速度60MHz
* BANK35 MRCC(F5)：XCLK，来源于外部有源晶振，设计速度50MHz。

## 6外扩RAM设计说明

外扩RAM参考MAPS-K64设计，采用FlexBus驱动SN74LVC16373A锁存器和EM7164SU16，1M\*16bit外部SRAM。

#### 3.4.1接线

##### 3.4.1.1地址线

该SRAM有1M寻址范围，有20根地址线。

其中A0-A14，15根地址线通过锁存器接到FlexBus的FB\_AD1-AD15。（FlexBus的FB\_AD0接入锁存器后作为输出测试点输出，即悬空）

A15-A19,直接接到FlexBus的FB\_AD16-AD20。

##### 3.4.1.2数据线

16bit SRAM有16条数据线，DQ0-DQ15直接接到FLexBus的FB\_AD0-AD15。

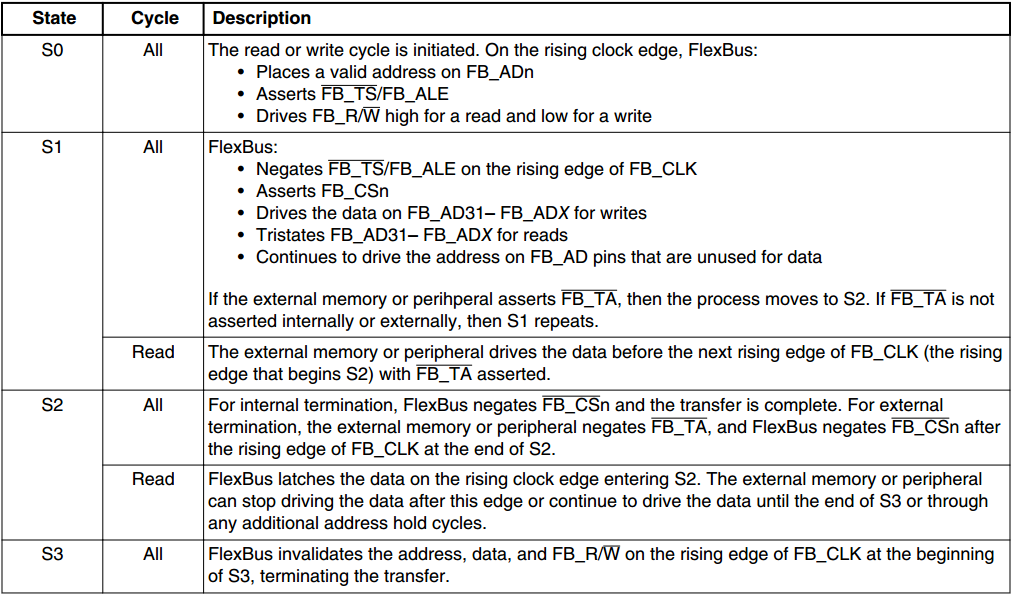
##### 3.4.1.3控制线

|  |  |  |
| --- | --- | --- |
| SRAM端 | 描述 | 接线 |
| /ZZ | 低功耗 | H（3.3V） |
| DNU | NC | NC |
| /UB | 高8位 | BE31\_24 |
| /LB | 低8位 | BE23\_16 |
| /OE | 输出使能 | FB\_OE |
| /WE | 写使能 | FB\_WE |
| /CS | 片选 | FB\_CS2 |
| 1LE 2LE | 锁存 | FB\_ALE |
| 1/OE 2/OE | 输出使能 | L（GND） |

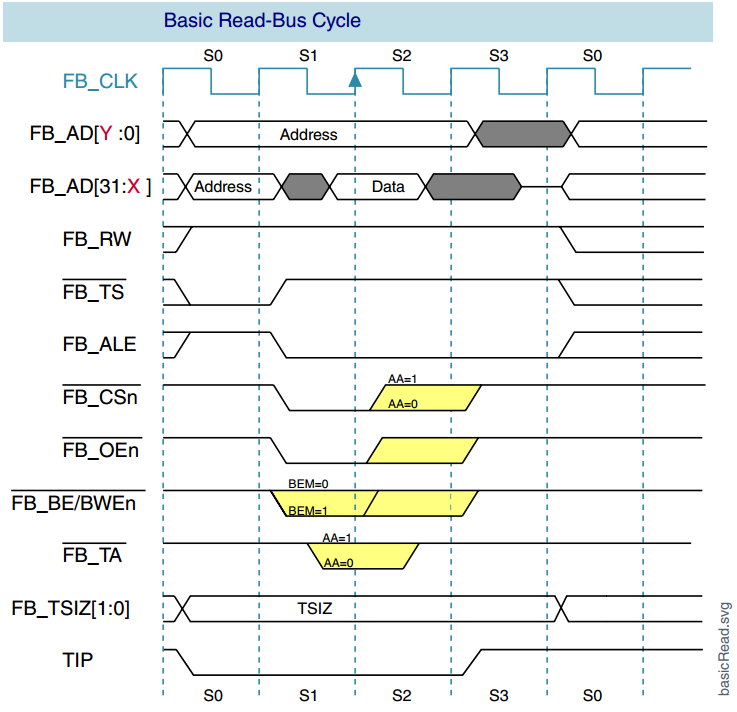
注：需要注意的是MK64FlexBus必须使能CS0才可以使用，测试版本遵照MAPS-K64原理图，使用的是CS2但操作FlexBus时仍然需要使能CS0。

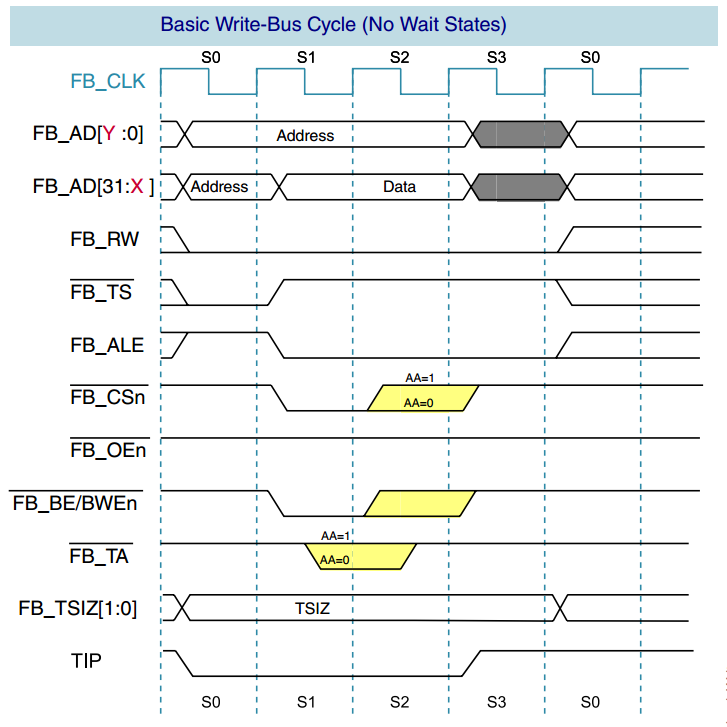
#### 3.4.2时序

状态机：



读时序：



写时序：

#### 3.4.3 Memory Map



### 3.5外扩接口设计说明

外扩接口建议采用Arduino接口，除电源类引脚外，其余引脚分配以方便布线为标准分配。

Arduino接口1 ：

I2C：PTB0,PTB1,PTB2,PTB3

PWM：PTB0,PTB1

QEI：PTB0,PTB1

三线制SPI：PTB20,PTB21,PTB22

|  |  |  |  |
| --- | --- | --- | --- |
| PTB20 | SPI2\_PCS0 | PTB7 | ADC LED |
| PTB21 | SPI2\_SCK | PTB6 | ADC |
| PTB22 | SPI2\_SOUT | PTB3 | ADC I2C0\_SDA UART0\_CTS\_B/COL\_B FTM0\_FLT0 |
| NC |  | PTB2 | ADC I2C0\_SCL UART0\_RTS\_B FTM0\_FLT3 |
| RTC\_INT | RTC唤醒输出 | PTB1 | ADC I2C0\_SDA FTM1\_CH1 FTM1\_QD\_PHB |
| PTA29 | IO | PTB0 | ADC I2C0\_SCL FTM1\_CH0 FTM1\_QD\_PHA |

Arduino电源接口：

|  |  |  |  |
| --- | --- | --- | --- |
| NC |  | NC |  |
| 3.3V |  | 3.3V |  |
| RESET |  | RESET |  |
| 3.3V |  | 3.3V |  |
| VCC |  | VCC |  |
| GND |  | GND |  |
| GND |  | GND |  |
| VCC |  | VCC |  |

Arduino接口3：

四线制SPI：PTD11,PTD12,PTD13,PTD14,PTD15

PWM：PTE6,PTD7

|  |  |  |  |
| --- | --- | --- | --- |
| PTD7 | UART0\_TX FTM0\_CH7 FTM0\_FLT1 SPI1\_SIN | NC |  |
| PTD10 | UART5\_RTS\_B | NC |  |
| PTD11 | SPI2\_PCS0 UART5\_CTS\_B | NC |  |
| PTD12 | SPI2\_SCK FTM3\_FLT0 | NC |  |
| PTD13 | SPI2\_SOUT | NC |  |
| PTD14 | SPI2\_SIN | NC |  |
| PTD15 | SPI2\_PCS1 | NC |  |
| PTE6 | SPI1\_PCS3UART3\_CTS\_B I2S0\_MCLK FTM3\_CH1 | NC |  |

Arduino接口4：

ADC,DAC

|  |  |
| --- | --- |
| ADC0\_DP1 | NC |
| ADC0\_DM1 | NC |
| ADC1\_DP1 | NC |
| ADC1\_DM1 | NC |
| ADC0\_DP0/ADC1\_DP3 | NC |
| ADC0\_DM0/ADC1\_DM3 | NC |
| ADC1\_DP0/ADC0\_DP3 | ADC0\_SE16 ADC0\_SE21 |
| ADC1\_DM0/ADC0\_DM3 | ADC1\_SE16 ADC0\_SE22 |
| GND | DAC0 ADC0\_SE23 |
| VREF\_OUT ADC1\_SE18 | DAC1 ADC1\_SE23 |

### 3.6 PMOD接口设计说明

PMOD接口主要为802.15.4接口MRF24J40表贴模块设计以热转印法覆铜板蚀刻方便为标准进行接口排序，同时兼顾I2S需求引脚。

作为四线制SPI可直接使用

作为I2S接口

UART0:PTA14,PTA15

PMOD：

|  |  |  |  |
| --- | --- | --- | --- |
| PTA17 | SPI0\_SIN ADC UART0\_RTS\_B I2S\_MCLK | PTA5 | IO/INT FTM0\_CH2 I2S\_TX\_BCLK |
| PTA15 | SPI0\_SCK UART0\_RX I2S0\_RXD0 | PTA12 | IO/WAKE`FTM1\_CH0 I2C2\_SCL`I2S0\_TXD0`FTM1\_QD\_A |
| PTA16 | SPI0\_SOUT UART0\_CTS\_B/COL\_B I2S0\_RX\_FS I2S\_RXD1 | NC |  |
| PTA14 | SPI0\_PCS0 UART0\_TX I2C2\_SCL I2S0\_RX\_BCLK I2S0\_TXD1 | PTA13 | FTM1\_CH1 I2C2\_SDA I2S0\_TX\_FS FTM1\_QD\_PHB |
| GND |  | GND |  |
| 3.3V |  | 3.3V |  |

## 4布线标准

### 4.1线宽

该线路板仅为物联网应用设计，因此布线线宽不考虑大功率大电流场合。

GND最大线宽20mil。

电源类最大线宽15mil。

信号类线宽5~10mil。

### 4.2等长线

FlexBus设计时钟速度30MHz，实际SRAM信号速度小于15MHz。参考MAPS-K64的布线，没有采用等长走线方式。

### 4.3板层

参考K64手册布线建议，4层板分配如下：

Top Layer：走主要信号线，放置主要元件。

GND Plane：地平面

Mid Layer：为Bottom Layer重要信号线铺地。次要信号线，辅助BGA扇出，辅助跳线。

Bottom Layer：走主要信号线，尽量少放元件。

## 5测试方案（使用鉴湖规范）

0版本主要为技术验证，需要验证的的技术如下：

* MK64最小系统
* FT2232可行性
* SRAM可行性及极限速度带宽
* 电源可用性
* 电源质量

### 5.1 MK64最小系统独立测试

1. 在仅贴装MK64的情况下，通过JTAG排针口供电并进行连接，下载。
2. 如能完成上一步，贴入高速晶振，复位电路，PTA4，EZport上拉电阻进行代码运行测试。
3. 如可以完成上一步，则可以接入模拟电源，RTC时钟等进行全部功能测试。

### 5.2 FT2232D测试

1. 如MK64最小系统测试通过，测可以直接通过MK64对FT2232进行测试。
2. 如MK64测试未通过，FT2232串口可以通过测试焊盘测试。
3. 如MK64测试未通过，FT2232的JTAG协议可以通过以下两种方式进行测试：
4. JTAG排针接口和另外的处理器进行连接验证可用性。
5. JTAG排针接口与SN74BCT8244A进行详细测试。

### 5.3 SRAM测试

该测试需要在MK64可用情况下进行代码测试。

### 5.4电源测试

5V输入和3.3V输入各带一个自恢复保险，可以拿掉保险管进行空载测试。

其余可以按需求进行测试。

### 5.5整块电路板测试顺序（参照鉴湖实验室测试规范）

1. MCU不带晶振系统测试
2. MCU带晶振最小系统测试（仅做一次）
3. MCU带RAM低速通信测试（仅做一次）
4. 电源独立测试（软起动）（仅做一次）
5. 整块电路电源软起动测试（每次必做）
6. USB下载口功能测试（仅做一次）
7. 其余外设测试（每次必做）