# ARM+FPGA专用开发平台

# ——YJ 4-3-2设计文档

##### 李锐戈

[ARM+FPGA专用开发平台 1](#_Toc519634305)

[——YJ 4-3-0设计文档 1](#_Toc519634306)

[1设计需求 3](#_Toc519634307)

[2图纸分布 4](#_Toc519634308)

[3电源设计说明 5](#_Toc519634309)

[3.1电源输入 5](#_Toc519634310)

[3.2选型 5](#_Toc519634311)

[4 MCU设计说明 6](#_Toc519634312)

[4.1最小系统 6](#_Toc519634313)

[4.2外设扩展 6](#_Toc519634314)

[5 FPGA设计说明 7](#_Toc519634315)

[5.1基本信息 7](#_Toc519634316)

[5.2系统设计 8](#_Toc519634317)

[5.2.1 配置方式 8](#_Toc519634318)

[5.2.2 BANK配置 9](#_Toc519634319)

[5.2.3 时钟源 9](#_Toc519634320)

[6 系统I/O 10](#_Toc519634321)

[6.1 PS端设定I/O 10](#_Toc519634322)

[6.2 PS端扩展I/O 10](#_Toc519634323)

[6.3 PL端设定I/O 10](#_Toc519634324)

[6.4 PL端扩展I/O 14](#_Toc519634325)

[7 测试 15](#_Toc519634326)

[7.1功耗 15](#_Toc519634327)

[7.2 发热 15](#_Toc519634328)

[7.3信号 15](#_Toc519634329)

## 1设计需求

设计一款专用开发平台，使其满足以下要求：

* ARM+FPGA架构
* FPGA作为存储器，通过Flexbus挂载在ARM上
* 使用最高冗余连接
* ARM可以配置FPGA
* 选型满足最新趋势及发展要求

尽量满足要求：

* ROM、RAM足够大
* 迷你板
* 引出IO数量及合理性满足开发需求
* 功耗

系统板命名方式：

* 此版本为推进型号：使用鹰击标志（YJ）。
* 此版本为整个项目第四大类：使用版本4。
* 这是第三块带YJ标志的PCB板：使用3作为子版本号。
* 此版本修正第2次：末尾标2。

## 2图纸分布

根据需求，设计原理图有8张。分别为：汇总图纸，系统电源，FPGA电源，FPGA配置，FPGA输入输出，处理器，SRAM配置，系统IO。

## 3电源设计说明

### 3.1电源输入

系统电源有三个输入：USB0输入，raspberry-HAT输入，Arduino-Shiel输入。输入电压范围4.8V-5.5V。常规使用三者选其一输入，违规使用情况下可能发生多个输入同时接入情况。因二极管存在，USB电源不能流向排针排座电源接口

### 3.2选型

* LDO：TLV71210
  + 600mA峰值输出，SOT-23-5小封装。
  + 0.5V压降
* LDO:TPS70151
  + 上电时序管理：RC延时启动1.8V，自动延时启动3.3V
  + 使能端负逻辑

## 4 MCU设计说明

### 4.1最小系统

K64最小系统设计参考WUT1-3-5。

* 采用50MHz有源晶振作为系统主时钟。
* 不使用USB稳压器

### 4.2外设扩展

MCU扩展外设包括：FlexBus，SDIO，SPI，I2C，I2S, FTM，USB，ADC，DAC，UART。

## 5 FPGA设计说明

FPGA设计参考FP3A 0-3-1设计。

### 5.1基本信息

参考CMod-A7的设计图纸，考虑采购成本等，选用XC7A34T-1FTG256作为核心器件。

第一批采购成本：102元/片

* XC7A35T
  + Xilinx Artix-7系列
  + Vivado 支持
  + 33,280 Logic Cells
  + 5,200 Slices
  + 400 Kb Distributed RAM
  + 90 DSP48E1 Slices
  + 100 \* 18Kb + 50 \* 36 Kb MAX 1800Kb BRAM
  + 5 CMTs
  + 1 PCle
  + 4 GTPS
  + 1 XADC
  + 5 I/O Banks
  + 250 user I/O
* 1FTG256封装
  + 无GTP
  + 5 BANK：BANK0，BANK14，BANK15，BANK34，BANK35
  + 170 I/O
  + 17mm \* 17mm
  + Ball Pitch 1.0mm

### 5.2系统设计

#### 5.2.1 配置方式

使用1K电阻进行设定配置

前期Boot接法：

Mode0 = 1；

Mode1 = 0；

Mode1 = 0；

使用外部Qspi-flash进行配置，同时可以使用JTAG进行配置。

技术成熟后Boot接法：

Mode0 = 1；

Mode1 = 1；

Mode1 = 1；

使用MCU SPI2进行配置：

PTD7 = I/O 读取FPGA INIT

PTD10 = I/O 读取 FPGA DONE

PTD11 = SPI2 PCS0 未作使用

PTD12 = SPI2 SCK 作为时钟

PTD13 = SPI2 SOUT 作为数据输入

PTD14 = SPI2 SIN 未作使用

PTD15 = SPI2\_PCS1 作为I/O触发FPGA PROG

同时可以使用JTAG进行配置。

#### 5.2.2 BANK配置

为满足I/O使用需求，所有BANK使用3.3V的电源。

为降低功耗，可以定制低BANK电压的型号。

#### 5.2.3 时钟源

FPGA具有4个BANK,设计了三个外部时钟源：

* BANK14 MRCC(N11)：GCLK，来源于外部有源晶振设计速度100MHz
* BANK15 MRCC(D13) ：MCU\_CLK\_OUT，来源于MCU的CLK\_OUT口，主要作为flexbus辅助时钟，设计速度40MHz
* BANK35 MRCC(F5)：XCLK，来源于外部有源晶振，设计速度50MHz。

## 6 系统I/O

### 6.1 PS端设定I/O

* TF卡：PTE0、PTE1、PTE2、PTE3、PTE4、PTE5
* USB：USBP、USBN
* 有源蜂鸣器：PTE26
* 用户按键：PTE27
* 用户拨码开关：PTA6、PTA7

### 6.2 PS端扩展I/O

* PMOD4：DAC、PTE24、PTE25、RTC\_WAKE
* Shiel-A：ADC\*11+DAC\*1
* Shiel-B：PTE8、PTE9、PTE10、PTE6、PTE7、PTE12、PTE11、PTE28
* Shiel-C：PTA9、PTA8、PTA11、PTA10、PTA19、PTA5、PTA15、PTA14、PTA17、PTA24、PTA25、PTA16、PTA12、PTA26、PTA13、PTA27
* Shiel-D：PTA29、PTA28、PTB1、PTB0、PTB3、PTB2、PTB5、PTB4

### 6.3 PL端设定I/O

* LED：K13(B)、L14(R)、L13(G)
* 无源蜂鸣器：M12
* 用户按键：K12
* 用户拨码开关：P5、N4
* Flexbus

|  |  |
| --- | --- |
| D10 | AD14 |
| C8 | AD22 |
| C9 | OE |
| A8 | AD23 |
| A9 | AD18 |
| B9 | AD15 |
| A10 | AD29 |
| B10 | AD28 |
| B11 | AD13 |
| B12 | AD20 |
| A12 | AD21 |
| D9 | AD19 |
| A13 | AD16 |
| A14 | AD30 |
| C14 | AD6 |
| B14 | AD10 |
| B15 | AD5 |
| A15 | AD9 |
| C16 | AD25 |
| B16 | AD26 |
| C11 | AD12 |
| C12 | AD17 |
| D13 | CLK-OUT |
| C13 | AD31 |
| E12 | AD4 |
| E13 | AD11 |
| D14 | BE31\_24 |
| D15 | BE15\_8 |
| E16 | AD8 |
| D16 | CS0 |
| F15 | AD27 |
| E15 | AD7 |
| H13 | AD3 |
| G14 | BE23\_16 |
| F14 | RW |
| H16 | BE7\_0 |
| G16 | AD24 |
| J15 | AD0 |
| J16 | AD1 |
| H14 | AD2 |
| G15 | ALE |

* SRAM

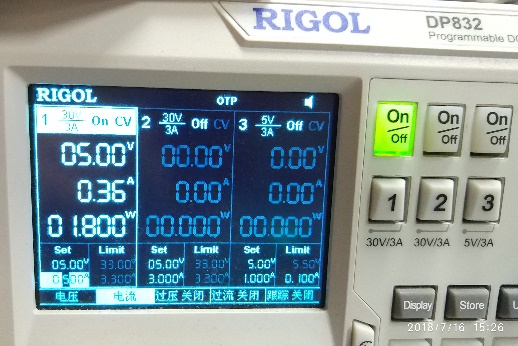
|  |  |
| --- | --- |
| B5 | DQ6 |
| A5 | DQ4 |
| A4 | DQ7 |
| B4 | AD11 |
| A3 | AD10 |
| C3 | AD8 |
| C2 | AD18 |
| B2 | AD9 |
| A2 | AD13 |
| C1 | AD19 |
| B1 | AD12 |
| E2 | AD17 |
| D1 | DQ15 |
| E3 | DQ14 |
| D3 | DQ13 |
| D4 | DQ5 |
| C4 | WR |
| F4 | AD15 |
| F3 | DQ9 |
| F2 | DQ11 |
| E1 | DQ12 |
| G5 | AD14 |
| G4 | OE |
| G2 | DQ10 |
| G1 | DQ8 |
| H5 | AD16 |
| H4 | AD5 |
| J5 | AD6 |
| J4 | AD2 |
| H2 | AD4 |
| H1 | AD0 |
| J3 | CS |
| H3 | AD3 |
| K1 | DQ0 |
| J1 | AD1 |
| L3 | AD7 |
| L2 | DQ3 |
| K3 | DQ2 |
| K2 | DQ1 |

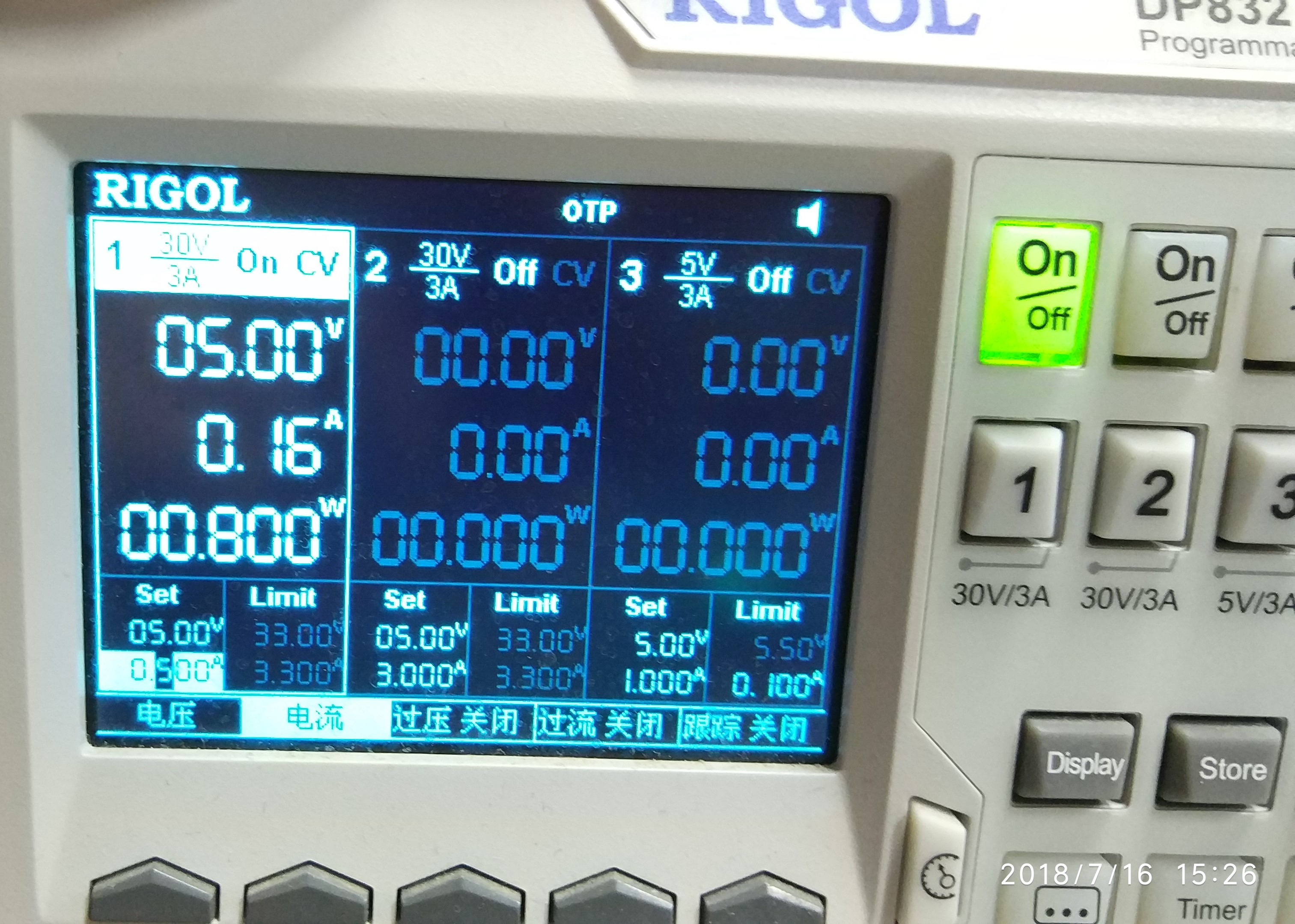
### 6.4 PL端扩展I/O

* HAT：M16、M14、N14、N16、N13、P15、P16、R16、T15、R15、T14、P14、T13、P13、R12、R13、T12、P11、N12、R11、T10、P10、R10、P9、T9、T8、N9、R8。（BANK14）
* PMOD1：R6、R7、T7、P8、M6、R5、T5、P6。（BANK14）
* PMOD2：M4、N3、M5、T4、R2、T2、R3、T3。（BANK34）
* PMOD3：P1、P3、P4、P1、M1、M2、N1、N2。（BANK34）
* Shiel-D2：A7、B7、D6、C7、C6、B6、E6、D5、K5、F5、L5、L4。（BANK34、BANK35）

## 7 测试

### 7.1功耗





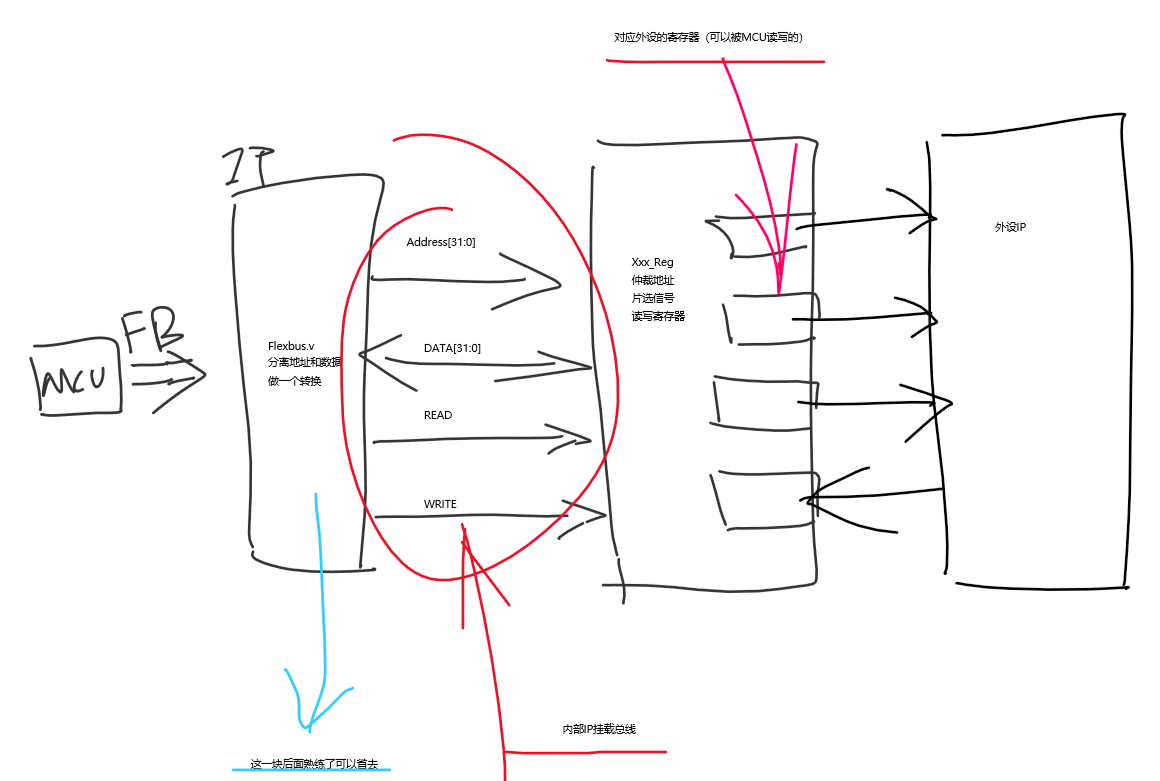
### 7.2 发热



### 7.3信号

## 8 内部电路设计

### 8.1 PS+PL模式



### 8.2 PL内部协同模式

