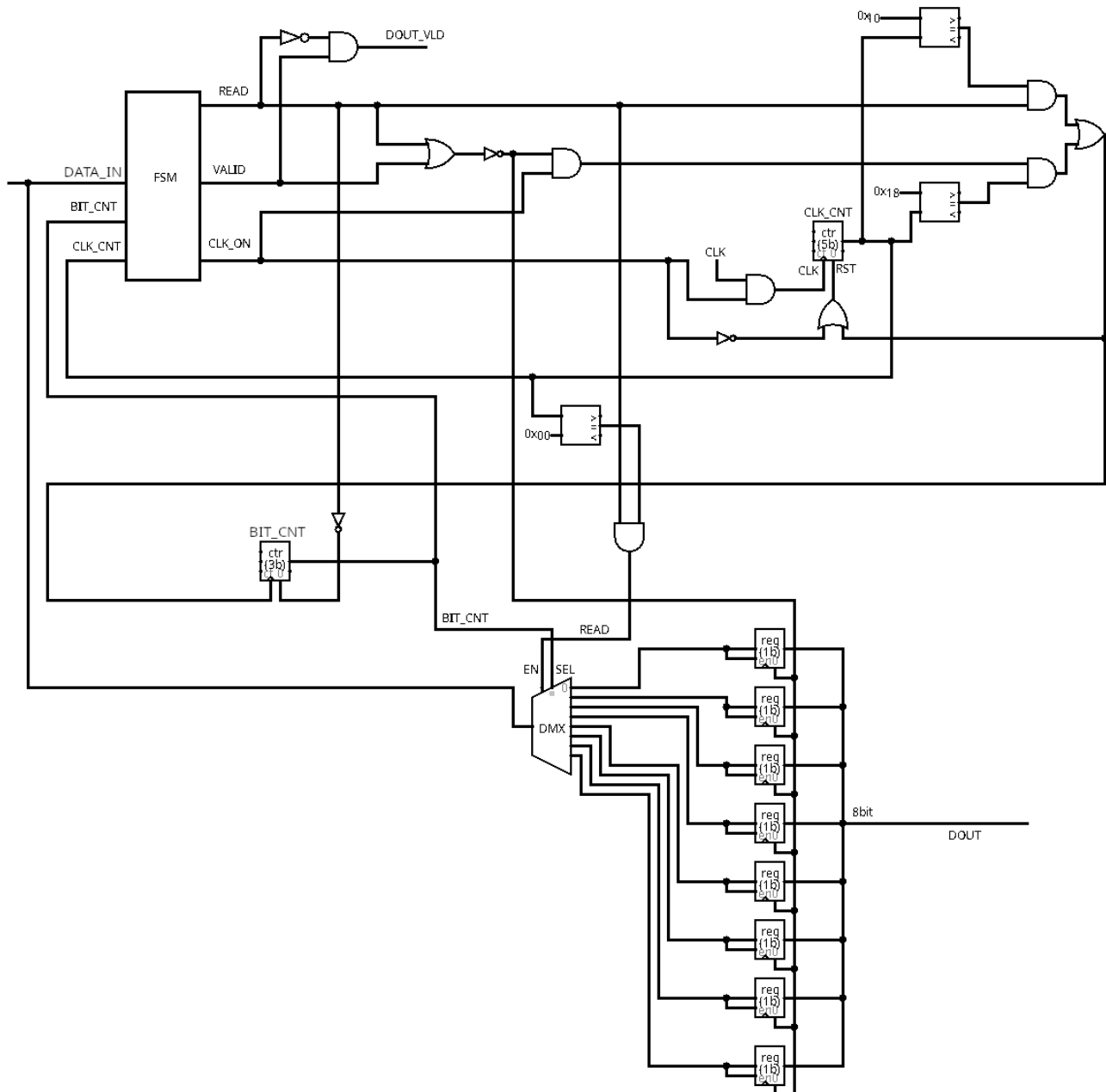


Jméno: Příbyl Ondřej
Login: xpriby20

Architektura navrženého obvodu (na úrovni RTL)

Schéma obvodu



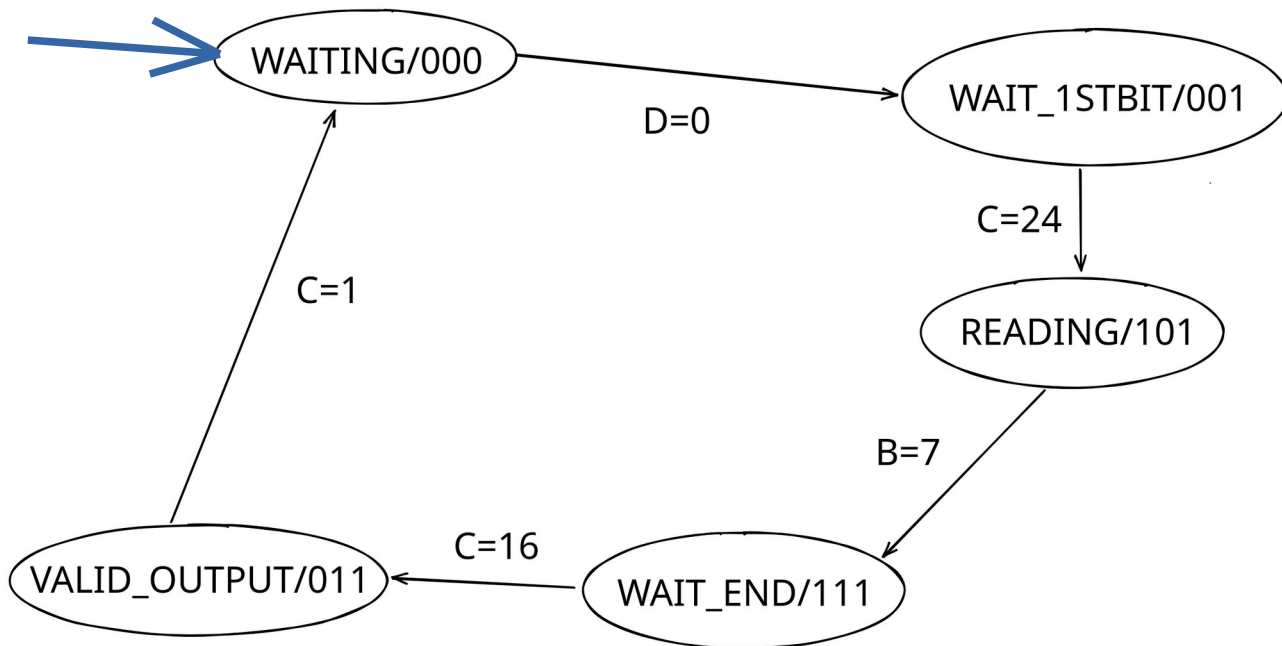
Popis funkce obvodu

Obvod pracuje pomocí finite state machine (FSM) s vstupními daty (v obrázku popsané `DATA_IN`) a dle stavu FSM tyto data: nuluje, zapisuje do svých registrů nebo vysílá na výstup `DOUT` společně s zapnutým výstupem `DOUT_VLD` ve stavu logické 1. V případě přepnutí z výchozího stavu na čekací stav ve kterém se obvod připravuje přijímat data je zapnut counter pomocí FSM výstupu `CLK_ON` (v obrázku označený jako `CLK_CNT`), který svůj výstup vrací zpět do vstupu finite state machine. V případě že se FSM přepne do stavu kdy je obvod připraven

přijímat data je zapnut FSM výstup READ, který povolí zápis do registru, který je vybrán dle counteru (BIT_CNT) demultiplexorem každý 16 clock. Registry jsou vymazány pomocí RST pinu pokud je FSM ve stavu kdy čeká na START BIT.

Schéma automatu

- Vstupy : DATA_IN=D, CLK_CNT=C, BIT_CNT=B
- Stavy automatu: WAITING, WAIT_1STBIT, READING, WAIT_END, VALID_OUTPUT
- Moorovy výstupy: XX_ = CLK_ON, X_X = READ_EN, _XX = VALID



Popis funkce konečného automatu

FSM (Konečný automat) začíná ve stavu WAITING kdy jsou všechny výstupy v poloze logické 1. Jakmile FSM obdrží logickou 0 na vstupu DATA_IN která reprezentuje START_BIT a přepíná se do stavu WAIT_1STBIT. Ve stavu WAIT_1STBIT čeká do doby kdy má vstup CLK_CNT hodnotu 24. V tomto čase je nastaven pouze výstup CLK_ON na logickou 1. Po dosažení hodnoty 24 na vstupu CLK_CNT se automat přepne do stavu READING kdy jsou přepnuty výstupy READ_EN a CLK_ON na logickou 1. Po dosažení hodnoty 7 na vstupu BIT_CNT se automat přepíná do stavu WAIT_END ve kterém jsou všechny výstupy CLK_ON, READ_EN a VALID nastaveny na logickou 1 a automat v tomto stavu setrvá do doby dosažení hodnoty 16 na vstupu CLK_CNT. Poté se přepne do stavu VALID_OUTPUT kdy jsou výstupy VALID a CLK_ON nastaveny na logickou 1. V tomto stavu setrvá pouze do doby kdy je vstup CLK_CNT nastaven na 1 a poté se vrací do původního stavu WAITING.

Snímek obrazovky ze simulací

