

Laboratorium #II-6. Implementacja protokołu UART

- Wykorzystanie terminala TeraTerm,
- Implementacja modułów UART.

Używane elementy: Basys3

Temat ćwiczenia.

Zadanie do wykonania w ramach ćwiczenia to opracowanie programu, który będzie wyświetlał na wyświetlaczu LCD kody ASCII znaków przesłanych do układu FPGA przez interfejs szeregowy oraz odsyłał wybrane znaki z powrotem.

Przebieg ćwiczenia

Obsługa terminala TeraTerm i obserwacja sygnałów UART

Program TeraTerm posłuży w tym ćwiczeniu do przesyłania znaków przez port szeregowy (COM) komputera. Po podłączeniu płytki Basys3 do komputera system operacyjny automatycznie zainstaluje nowy port szeregowy (COM*), przez który będziemy się komunikować z układem FPGA. Płytką Basys3 zawiera mostek USB-UART i komunikacja pomiędzy komputerem i płytką odbywa się przez kabel USB. Sygnały RX/TX protokołu UART nie są bezpośrednio dostępne, dlatego aby je zaobserwować na oscyloskopie, przekierujemy je na wyjścia układu FPGA.

1. Zbuduj moduł do monitoringu sygnałów UART wg opisu poniżej. Układ ma mieć następujące porty:

- **clk** (pin W5) – wejście, sygnał zegarowy o częstotliwości 100 MHz,
- **rx** (pin B18) – wejście, linia wejściowa UART,
- **tx** (pin A18) – wyjście, linia wyjściowa UART,
- **loopback_enable** – wejście, przełącznik SW0, pin V17,
- **rx_monitor** – wyjście, pin J1 złącza pmod JA,
- **tx_monitor** – wyjście, pin L2 złącza pmod JA.

Funkcjonalnie układ powinien:

- buforować sygnały wejściowe **rx** i **tx** pojedynczymi przerzutnikami taktowanymi narastającym zboczem zegara **clk** (**rx** → **rx_monitor**, **tx** → **tx_monitor**),
- zapewniać przełączany loopback, tzn. przy **loopback_enable** ustawionym na 1 wyjście **tx** powinno odtwarzać stan wejścia **rx**, w przeciwnym razie powinno pokazywać zero.

Zaimplementuj układ na FPGA.

2. Podłącz oscyloskop tak, aby obserwować sygnały wyjściowe **rx_monitor** i **tx_monitor**. Piny są dokładnie opisane w manualu do płytki Basys3.

3. Uruchom TeraTerm i podłącz go do odpowiedniego portu COM („serial”) - będzie to prawdopodobnie port o najwyższym numerze. Jeżeli masz wątpliwości – sprawdź w Menadżerze Urządzeń, jaki port COM pojawia się po włączeniu zasilania w płytce Basys3.

- Ustaw dowolnie wybrane parametry połączenia (przy Flow Control = none, Transmit delays = 0)
- Włącz wyświetlanie nadawanych znaków (Setup → Terminal → Local echo)
- Włącz cykliczne wyświetlanie pojedynczego znaku 'a' (Setup → Recurring Command).

Włącz oscyloskop i sprawdź, czy przebiegi są zgodne z Twoimi oczekiwaniami. Czy liczba transmitowanych bitów jest zgodna z ustawieniami w terminalu TeraTerm? Czy czas transmisji bajtu odpowiada ustawionej szybkości transmisji (baud rate)?

Wyłącz automatyczną transmisję i sprawdź działanie układu wysyłając różne znaki przez TeraTerm. Zwróć uwagę, że wciśnięcie niektórych klawiszy wysyła więcej niż jeden bajt danych. Jakie dane wysyła wciśnięcie klawisza „Enter”? Jak to się ma do ustawienia Setup→Terminal→New line w terminalu?

Układ należy zaprezentować prowadzącemu (2 pkt / 5)

Wyświetlanie kodów ASCII otrzymywanych znaków.

Na podstawie dostępnych w ćwiczeniu modułów zbuduj układ do wyświetlania kodów ASCII otrzymywanych znaków na wyświetlaczu LCD. Kody mają być wyświetlane szesnastkowo. Dwie cyfry wyświetlacza mają wyświetlać ostatni otrzymany bajt, a dwie kolejne cyfry – poprzedni. Dodatkowo, po naciśnięciu przycisku BTNU (pin T18) układ ma przysyłać ostatni otrzymany bajt z powrotem przez port szeregowy do terminala.

Przeczytaj załączony rozdział książki „FPGA Prototyping by Verilog Examples”, przejrzyj kody źródłowe. Pochodzą one ze strony http://academic.csuohio.edu/chu_p/rtl/fpga_vlog.html, która jest stroną stowarzyszoną („companion site”) dla książki. Przytoczony rozdział pozwoli Ci zrozumieć zasady działania przedstawionego kodu.

Wykorzystaj dostępne moduły do budowy wymaganego systemu.

Uruchom i przetestuj system. Zwróć uwagę na kody zwracane przez kombinacje CTRL-*

Punktacja: 3 pkt / 5.

Wyniki ćwiczenia

Jako wynik ćwiczenia należy:

- załadować projekt na UPEL (bez katalogu symulacyjnego i implementacyjnego).

ZA BRAK ZAŁADOWANEGO PROJEKTU NA UPEL OTRZYMUJEMY -1 pkt. DO OCENY.

- zaprezentować działanie programu na następnych zajęciach laboratoryjnych i wyjaśnić słownie zasadę działania.

UWAGA: Kod projektowanego modułu powinien być napisany zgodnie z zasadami opisanymi w pliku „Zasady pisania kodu w języku Verilog”, dostępnego na UPEL (gotowych modułów nie trzeba przerabiać). Będzie to oceniane!

Wyniki będą ocenione bezpośrednio na kolejnych zajęciach.