

Architektury systemów komputerowych

Lista zadań nr 11

Na zajęcia 28 maja 2020

UWAGA! W trakcie prezentacji należy być gotowym do zdefiniowania pojęć oznaczonych **wytluszczoną** czcionką.

Zadanie 1. Rozważmy **pamięć podręczną z mapowaniem bezpośrednim adresowaną bajtowo**. Używamy adresów 32-bitowych w następującym formacie: $(\text{tag}, \text{index}, \text{offset}) = (\text{addr}_{31...10}, \text{addr}_{9...5}, \text{addr}_{4...0})$.

- Jaki jest rozmiar bloku w 32-bitowych słowach?
- Ile wierszy ma nasza pamięć podręczna?
- Jaki jest stosunek liczby bitów składujących dane do liczby bitów składujących metadane?

Zadanie 2. Mamy system z pamięcią operacyjną adresowaną bajtowo. Szerokość szyny adresowej wynosi 12. Pamięć podręczna ma organizację sekcyjno-skojarzeniową o dwuelementowych zbiorach, a blok ma 4 bajty. Dla podanego niżej stanu pamięci podręcznej wyznacz, które bity adresu wyznaczają: offset, indeks, znacznik. Wszystkie wartości numeryczne podano w systemie szesnastkowym.

Indeks	Znacznik	Valid	B0	B1	B2	B3
0	00	1	40	41	42	43
	83	1	FE	97	CC	D0
1	00	1	44	45	46	47
	83	0	–	–	–	–
2	00	1	48	49	4A	4B
	40	0	–	–	–	–
3	FF	1	9A	C0	03	FF
	00	0	–	–	–	–

Określ, które z poniższych operacji odczytu wygenerują **trafienie** albo **chybienie** i ew. jakie wartości wczytają:

Adres	Trafienie?	Wartość
832
835
FFD

Zadanie 3. Rozważmy pamięć podręczną z poprzedniego zadania. Mamy następującą sekwencję odwołań do czterobajtowych słów pamięci o adresach zadanych liczbami w systemie szesnastkowym:

0 4 10 84 E8 A0 400 1C 8C C1C B4 884

Założ, że na początku pamięć podręczna jest pusta. Jak wiele bloków zostało **zastąpionych**? Jaka jest efektywność pamięci podręcznej (liczba trafień procentowo)? Podaj zawartość pamięci podręcznej po wykonaniu powyższych odwołań – każdy ważny wpis wypisz jako krotkę $(\text{tag}, \text{index}, \dots)$. Dla każdego chybienia wskaż, czy jest ono przymusowe (ang. **compulsory miss**), czy wynika z kolizji na danym adresie (ang. **conflict miss**) czy ograniczonej pojemności (ang. **capacity miss**).

Wskazówka: Definicje rodzajów chybień można znaleźć w §6.3.1 podręcznika.

Zadanie 4. Powtórz poprzednie zadanie dla poniższych organizacji pamięci podręcznej. Zakładamy, że bloki są długości dwóch słów pamięci. Ile dodatkowych bitów na linię pamięci podręcznej potrzeba na implementację określonej **polityki wymiany** (ang. *replacement policy*).

- sekcyjno-skojarzeniowa 2-drożna, 16 bloków, polityka NRU (ang. *Not Recently Used*)
- w pełni asocjacyjna (ang. *fully associative*), 8 bloków, polityka LRU (ang. *Least Recently Used*).

Zadanie 5. Odpowiedz na następujące pytania dotyczące organizacji pamięci podręcznej:

1. Do wyboru zbioru pamięci podręcznej używamy bitów znajdujących się w środku adresu, zaraz przed offsetem bloku. Czemu jest to lepszy pomysł niż używanie najbardziej znaczących bitów adresu?
2. Zdecydowana większość procesorów posiada odrębną pamięć podręczną pierwszego poziomu dla danych i dla instrukcji. Jakie korzyści to przynosi?

Zadanie 6. Rozważmy system z dwupoziomową pamięcią podręczną z **polityką zapisu** write-back z write-allocate. Dodatkowo zakładamy, że blok o określonym adresie może znajdować się tylko na jednym poziomie pamięci podręcznej (ang. *exclusive caches*). Przy pomocy **schematu blokowego**¹ przedstaw algorytm obsługi zapisu słowa maszynowego do pamięci. Pierwszym elementem diagramu ma być predykat „Czy słowo jest w L1?”. Pamiętaj o bicie dirty i o tym, że pamięć podręczna może być całkowicie wypełniona! Zakładamy, że pamięć podręczna pierwszego poziomu nie może komunikować się bezpośrednio z pamięcią operacyjną.

Zadanie 7. Załóżmy, że dostęp do pamięci głównej trwa 70ns, a dostępy do pamięci stanowią 36% wszystkich instrukcji. Rozważmy system z pamięcią podręczną o następującej strukturze: L1 – 2 KiB, współczynnik chybień 8.0%, czas dostępu 0.66ns (1 cykl procesora); L2 – 1 MiB, współczynnik chybień 0.5%, czas dostępu 5.62ns. Procesor charakteryzuje się współczynnikiem **CPI** (ang. *clocks per instruction*) równym 1.0, jeśli pominiemy instrukcje robiące dostępy do pamięci danych. Odpowiedz na poniższe pytania:

- Jaki jest średni czas dostępu do pamięci dla procesora: tylko z pamięcią podręczną L1, z L1 i L2?
- Procesor wykonuje wszystkie instrukcje, łącznie z dostęпами do pamięci danych. Oblicz jego CPI kiedy posiada: tylko pamięć podręczną L1, z L1 i L2.

Uwaga: Zakładamy, że wszystkie instrukcje wykonywane przez program są w pamięci podręcznej L1i.

Zadanie 8. Dla czterodrożnej sekcyjno-skojarzeniowej pamięci podręcznej implementujemy politykę zastępowania LRU. Masz do dyspozycji dodatkowe $\lceil \log_2(4!) \rceil$ bitów na zbiór. Nie można modyfikować zawartości linii w zbiorze, ani zamieniać elementów kolejnością. Jak wyznaczyć kandydata do usunięcia ze zbioru? Jak aktualizować informacje zawarte w dodatkowych bitach przy wykonywaniu dostępów do elementów zbioru?

¹https://pl.wikipedia.org/wiki/Schemat_blokowy