PAG 87 n ÷ 1

CPU

- 16 BIT INDIRIZZAMENTO $(A_0 \div A_{15})$
- 8 BIT DI BUS DATI $(D_0 \div D_7)$
- 1 BIT $\overline{MREQ}$
- 1 BIT $\overline{IORQ}$
- 1 BIT $\overline{RD}$
- 1 BIT $\overline{WR}$

ROM

4 KB, PAROLE DA 1 BYTE

$0000_H \rightarrow ?$

RAM

4 KB, PAROLE DA 1 BYTE

$C000_H \rightarrow ?$

82 55 A

MEMORY-MAPPED I/O

INDIRIZZO SUCCESSIVO DELLA RAM $\rightarrow$?

- LA MEMORIA ROM È DI 4 KB, RICORDIAMO CHE LA DIMENSIONE È DATA DALLA FORMULA

$$2^n \cdot p$$

DOVE n SONO LE LINEE DI INDIRIZZAMENTO, E p È LA LUNGHEZZA DELLA MEMORIA MEMORIZZATA. QUINDI

$$4 \cdot 2^{10} = 2^n \cdot 1$$

$$2^2 \cdot 2^{10} = 2^n$$

$$2^{12} = 2^n \Rightarrow n = 12$$

POICHÉ LA ROM VA INSERITA A PARTIRE DALL'INDIRIZZO 0000_H, LO SPAZIO DI INDIRIZZAMENTO DELLA ROM SARÀ:

$$0000 \quad \overbrace{XXXX \quad XXXX \quad XXXX}^{12}$$

QUINDI LA ROM È NELL'INTERVALLO $0000_H \div 0FFF_H$

QUINDI DOVRÀ ESSERE ATTIVATA ATTRAVERSO IL SEGNALE DI ABILITAZIONE

$$\overline{MREQ \cdot \overline{A_{15}} \cdot \overline{A_{14}} \cdot \overline{A_{13}} \cdot \overline{A_{12}}}$$

· LA MEMORIA RAM È SEMPRE DI 4 KB E UTILIZZA PAROLE DA 1 BYTE, PERCIÒ

$n = 12$

POICHÉ LA RAM VA INSERITA A PARTIRE

DALL'INDIRIZZO $E000_H$, LO SPAZIO DI INDIRIZZAMENTO DELLA RAM SARÀ:

$$1110 \quad \overbrace{XXXX \quad XXXX \quad XXXX}^{12}$$

QUINDI LA RAM SARÀ ATTIVA NELL'INTERVALLO

$$E000_H \div EFFF_H$$

QUINDI DOVRÀ ESSERE ATTIVATA ATTRAVERSO IL SEGNALE DI ABILITAZIONE

$$\overline{MREQ} \cdot A_{15} \cdot A_{14} \cdot A_{13} \cdot \overline{A_{12}}$$

- LA MEMORY MAP PARTE DALL'INDIRIZZO SUCCESSIVO A QUELLO DALLA RAM, E POICHÉ HA 3 MODALITÀ DI FUNZIONAMENTO, HA 3 LINEE DI INDIRIZZAMENTO, PERCIÒ È ATTIVA NELL'INTERVALLO

$$F000_H \div F002_H$$

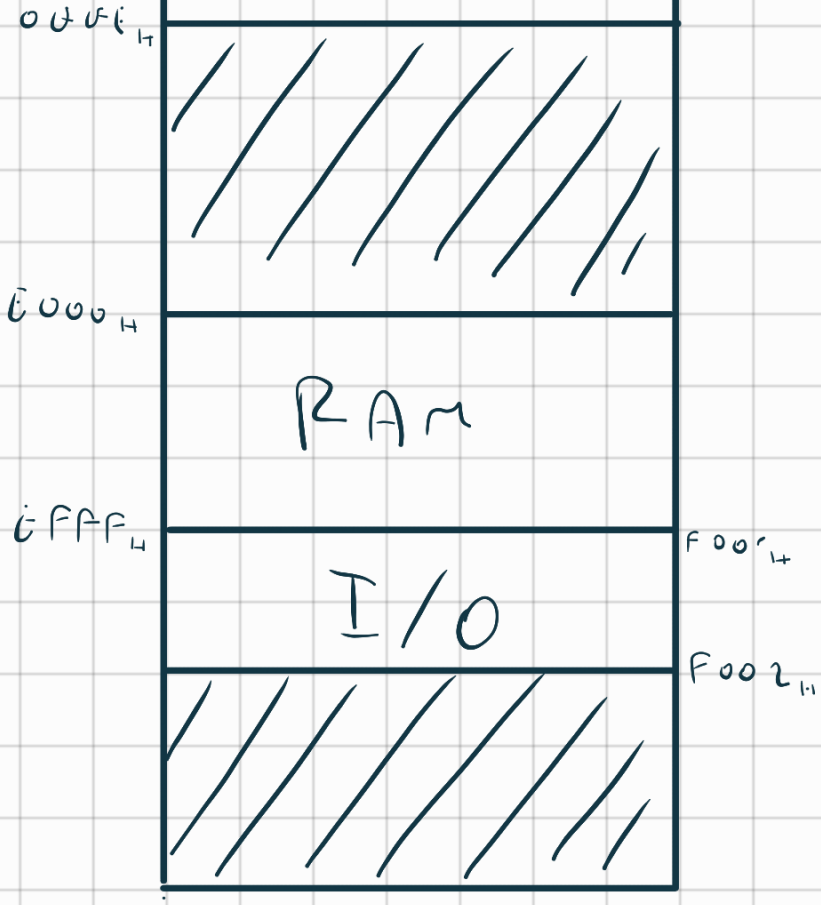
$$1111 \quad 0000 \quad 0000 \quad 00XX$$

QUINDI DOVRÀ ESSERE ATTIVATA ATTRAVERSO IL SEGNALE DI ABILITAZIONE

$$\overline{MREQ} \cdot A_{15} \cdot A_{14} \cdot A_{13} \cdot A_{12} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_3} \cdot \overline{A_2}$$

0000_H

ROM



PAG 87 n.: 2

CPU:
- 12 BIT DI INDIRIZZAMENTO $(A_0 \div A_{11})$
- 8 BIT DI DATI $(D_0 \div D_7)$
- 1 BIT $\overline{MREQ}$
- 1 BIT $\overline{IORQ}$
- 1 BIT $\overline{RD}$
- 1 BIT $\overline{WR}$

ROM: 1KB che memorizza parole da 1 byte

$C00_H \rightarrow$?

RAM: 512 B che memorizza parole da 1 byte

$F00_H \rightarrow$?

82SSA : DATI : MEMORY MAPPED I/O $000_H \rightarrow ?$

CONTROLLO : PORT MAPPED $F0_H$

· LA MEMORIA ROM È DI 1KB, PERCIÒ

$$1 \cdot 2^{10} = 2^m \cdot 1$$

$$2^{10} = 2^m \Rightarrow m = 10$$

POICHÉ LA MEMORIA ROM VA INSERITA A PARTIRE DALL'INDIRIZZO $C00_H$, LO SPAZIO DI INDIRIZZAMENTO DELLA ROM SARÀ:

1 1 X X X X X X X X X X X X

QUINDI LA ROM SARÀ ATTIVA NELL'INTERVALLO

$C00_H - FFF_H$

QUINDI DOVRÀ ESSERE ATTIVATA ATTRAVERSO IL SEGNALE DI ABILITAZIONE

$\overline{ABEN} \cdot A_{11} \cdot A_{10}$

· LA MEMORIA RAM È DI 512 B, PERCIÒ

$$512 = 2^n \cdot 1$$

$$2^9 = 2^n \Rightarrow n = 9$$

$L = 2 \Rightarrow n = 3$

POICHÉ LA MEMORIA RAM VA ISCRITA A PARTIRE DALL'INDIRIZZO 400_H, LO SPAZIO DI INDIRIZZAMENTO DELLA RAM SARÀ:

0 1 0 X X X X X X X X

QUINDI LA RAM SARÀ ATTIVA NELL'INTERVALLO

$400_H \div 5FF_H$

QUINDI DOVRÀ ESSERE ABILITATA ATTRAVERSO IL SEGNALE DI ABILITAZIONE

$\overline{MREQ} \cdot \overline{A_{11}} \cdot A_{10} \cdot \overline{A_9}$

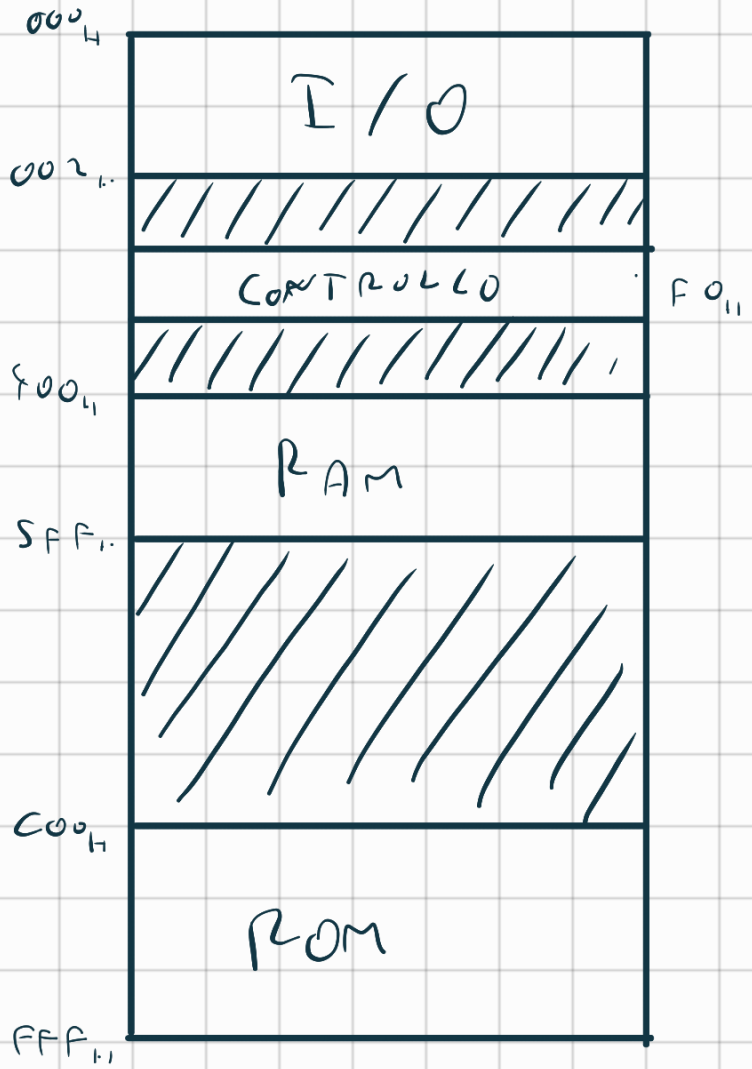
- SLOT A, È IN MODALITÀ MEMORY-MAPPED I/O PER I DATI, DATO CHE LO SPAZIO DI INDIRIZZAMENTO INIZIA DA 000_H, E CHE L'INTERFACCIA HA 3 LINEE DI INDIRIZZAMENTO, FUNZIONERÀ NELL'INTERVALLO

$000_H \div 002_H$ 0000 0000 00XX

PERCIÒ VERRÀ ATTIVATO ATTRAVERSO IL SEGNALE DI ABILITAZIONE

$\overline{MREQ} \cdot \overline{A_{11}} \cdot \overline{A_{10}} \cdot \overline{A_9} \cdot \overline{A_8} \cdot \overline{A_7} \cdot \overline{A_6} \cdot \overline{A_5} \cdot \overline{A_4} \cdot \overline{A_2}$

- REGISTRO CONTROLLO È IN MODALITÀ PORT-MAPPED I/O NELL'INDIRIZZO E0

QUINDI SARÀ ATTIVATO ATTRAVERSO IL SEGNALE ABILITANTE

$$\overline{IORQ} \cdot D_7 \cdot D_6 \cdot D_5 \cdot D_4 \cdot \overline{D_3} \cdot \overline{D_2} \cdot \overline{D_1} \cdot \overline{D_0}$$