

數位邏輯設計 Project 2

四工管二乙 王蔚 B10501109

Verilog Code

```
module hw(input[2:0]s,input[7:0]A,input[7:0]B,output reg[7:0]y); //module
always@(s or A or B)begin
    case(s)
        3'b000:y=8'b0;
        3'b001:y=A&B;
        3'b010:y=A|B;
        3'b011:y=A^B;
        3'b100:y=~A;
        3'b101:y=A-B;
        3'b110:y=A+B;
        3'b111:y=8'hFF;
    endcase
    $display("base 2:%dns:s=%b A=%b B=%b y=%b",$stime,s,A,B,y);
end
endmodule

module main; //test
    reg[7:0]A,B;
    wire[7:0]y;
    reg[2:0]s;

    hw M(s,A,B,y);
    initial begin

        A=8'b01010101;
        B=8'b10101010;
        s=3'b000;

    end

    always #100 begin
        s++;
    end
    initial #800 $finish;initial $dumpvars;
endmodule
```

\$Display output 與 波形圖 (test data: A=01010101, B=10101010)

可看出，波形與顯示資料相同：

